

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114581

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 31/12

(21)Application number : 11-287380

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.10.1999

(72)Inventor : YOSHIMURA TETSUZO

TAKAHASHI YASUHIITO

INAO MASAACKI

MICHAEL G LEE

WILLIAM CHO

BEILIN SOLOMON I

WEN CHO VINCENT WANG

JAMES J ROMAN

THOMAS J MASSINGIL

(30)Priority

Priority number : 98 103726

Priority date : 09.10.1998

Priority country : US

99 295431

20.04.1999

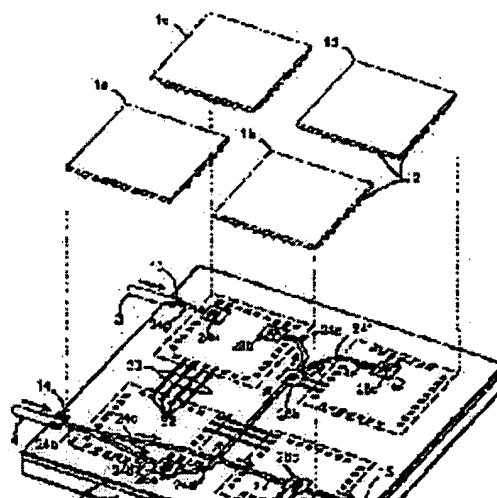
US

(54) MULTILAYERED PHOTOELECTRON SUBSTRATE WITH ELECTRICAL INTERCOUPLING AND OPTICAL INTERCOUPLING, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce losses in optical connections and to improve optical coupling efficiency by forming a polymer waveguide integrally with an optical switch and a light receiving element.

SOLUTION: An intercoupling substrate 10 includes both inter-chip connections and intra-chip connections for signals from one or more IC chips 1a to 1d using both optical links and electrical paths. The substrate 10 includes a base substrate 12 and an activated layer 20. The layer 20 includes optical waveguides 24a to 24b,



photoelectron switching devices 26a to 26c, light receiving devices 28a to 28c, electrical paths 30, and electrical connection pads 32 for the chips 1. The waveguides 24 and the devices 26 and 28 are preferably embedded in the layer 20. Signals between chips are electrically propagated through the paths 30, or optically propagated through the waveguides 24. When a signal is propagated through a waveguide 24 by means of light, the devices 26 and 28 perform a conversion between an optical representation and an electrical representation of the signal.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The 1st layer by which polymer waveguide is formed in inside, and the 2nd layer by which polymer waveguide is formed in inside, The 1st vertical mold light coupler which was formed in the layer of the above 1st and was optically combined with the 1st waveguide in the layer of the above 1st, So that it may be formed in the layer of the above 2nd and light may be combined between the 1st waveguide of the above, and the 2nd waveguide of the above including the 2nd vertical mold light coupler optically combined with the 2nd waveguide in the layer of the above 2nd The vertical mold light coupler of the above 1st is a substrate possessing the optical link and electric link which are characterized by being arranged next to the vertical mold light coupler of the above 2nd.

[Claim 2] The substrate possessing the optical link and electric link which are characterized by laminating mutually so that polymer waveguide may have the polymer layer of at least one layer currently formed in inside, and the polymer layer of at least one layer in which two or more photoelectron devices are formed in one and the above-mentioned layer may form a laminated structure.

[Claim 3] The substrate possessing the optical link and electric link which are characterized by laminating mutually so that it may have the polymer layer of at least one layer in which two or more electronic integrated-circuit devices are formed, and the polymer layer of at least one layer in which two or more photoelectron devices are formed in one and the above-mentioned layer may form a laminated structure.

[Claim 4] The substrate possessing the optical link and electric link which are characterized by laminating mutually so that it may have two or more polymer layers in which two or more electronic integrated-circuit devices are formed and the above-mentioned layer may form a laminated structure.

[Claim 5] It is the substrate which has the 1st board possessing the micro lens prepared in the output of the optical switch device of the vertical sense, and the above-mentioned optical switch device, and the 2nd board possessing the micro lens prepared in the input of the photo detector device of the vertical sense, and the above-mentioned photo detector device, and is characterized by for corresponding switch devices and photo detector devices to counter like together, and to arrange the 1st board of the above, and the 2nd board of the above.

[Claim 6] The 1st photoelectron multi chip module possessing the bottom membrane layer by which at least one waveguide was prepared in the top face and list which mount a chip in order to combine a lightwave signal with the interior and the exterior, The 2nd photoelectron multi chip module possessing the bottom membrane layer by which at least one waveguide was prepared in the top face and list which mount a chip in order to combine a lightwave signal with the interior and the exterior, It is arranged near the underside of the photoelectron multi chip module of the above 1st, and the photoelectron multi chip module of the above 2nd. The optical link system which communicates information among two or more chips characterized by having the passive film possessing the optical waveguide layer which combines a lightwave signal between the above 1st and the 2nd photoelectron multi chip module of at least one layer.

[Claim 7] The substrate possessing passive polymer waveguide, the substrate with which the electronic

light corpuscle child was embedded on the polymer film, At least one substrate separately chosen from the group which consists of a substrate with which the electric element was embedded, and a substrate possessing passive PARIMA waveguide, the embedded electric element, and the embedded electronic light corpuscle child, the above -- with an optical waveguide means to make a lightwave signal spread within one substrate even if few the above -- a source means of a lightwave signal to generate a lightwave signal within one substrate even if few, and the above -- the electronic light module which communicates a lightwave signal between at least two electrical circuit terminals characterized by having a photodetection means to detect a lightwave signal within one substrate even if few.

[Claim 8] The substrate possessing passive polymer waveguide, the substrate with which the electronic light corpuscle child was embedded on the polymer film, At least one substrate separately chosen from the group which consists of a substrate with which the electric element was embedded, and a substrate possessing passive PARIMA waveguide, the embedded electric element, and the embedded electronic light corpuscle child, the above -- with an optical waveguide means to make a lightwave signal spread within one substrate even if few the above -- the above which switches the optical power or the lightwave signal in one substrate even if few -- the electronic light module which communicates a lightwave signal between at least two electrical circuit terminals characterized by having an optical switch means in one substrate even if few.

[Claim 9] The manufacture approach of the substrate characterized by having the process which laminates the above-mentioned layer in one so that the process which manufactures independently the waveguide road layer by which at least one electric beer was formed in inside, an integrated-circuit-chip layer, and a photoelectron layer, and at least one electrical installation may be performed between two different layers and step may be kept with the photoelectron device of a layer with which the edge of the waveguide of one layer adjoined.

[Claim 10] At least one side face established between the base layer which has a top face and an underside, and a top face, an underside, the above-mentioned top face and the above-mentioned underside, The photoelectricity device with which it has the 1st electric terminal and the 2nd electric terminal, and at least one side in the above-mentioned electric terminal is prepared in the above-mentioned top face, The substrate which has the optical link and electric link which are characterized by including the optical waveguide core which has the edge which it is formed in the above-mentioned top face of the above-mentioned base layer, and carries out termination in contact with the side face of the above-mentioned photoelectricity device.

[Claim 11] The substrate containing two or more VCSEL components embedded at the 1st polymer layer and above-mentioned polymer layer, and two or more photo detectors embedded at the above-mentioned polymer layer.

[Claim 12] An electronic light substrate including two or more optical couplers which have the 1st field, and the 1st field of the above and the 2nd field which countered, are arranged in the polymer substrate with which waveguide is formed in inside in one, and the above-mentioned substrate, and combine a lightwave signal between the 1st field of the above and the 2nd field of the above, and the above-mentioned waveguide, and the Bahia connection prepared in the above-mentioned substrate.

[Claim 13] (a) The process which forms the layer of the charge of a clad plate, and the process which arranges and pastes up the mini chip containing some (b) photoelectron devices [ at least ] on the layer of the above-mentioned charge of a clad plate, (c) The process which forms the layer of core materials after the layer of the above-mentioned charge of a clad plate, and the above-mentioned mini-chip so that core materials may paste the above-mentioned mini-chip, (d) The manufacture approach including the process which forms the waveguide which carries out termination within the above-mentioned mini-chip in the above-mentioned core materials, and the process which forms the layer of the charge of a clad plate on the (e) front face of a substrate.

[Claim 14] (a) The manufacture approach of the waveguide including the process which forms the layer of the charge of a clad plate, the process which form the layer of core materials on the layer of the charge of the (b) above-mentioned clad plate, the process which form optical waveguide in the layer of the (c) above-mentioned core materials, the process which form the layer of the charge of a clad plate on



the (d) front face, and the process which grind the above-mentioned charge of a clad plate in order to carry out flattening of the (e) above-mentioned front face more for substrates.

[Claim 15] (a) The process on which the 1st substrate is made to deposit a polymer bottom cladding layer, and the process which makes (b) polymer core layer deposit on the above-mentioned bottom cladding layer, (c) The process which makes a mask layer deposit on the front face of the above-mentioned core layer, and the process which carries out patterning of the above-mentioned mask layer in order to form (d) aperture, (e) The process which forms at least one trench which has the side attachment wall with which at least one side attachment wall inclines with the tilt angle of 45 degrees in the above-mentioned aperture, (f) The process which removes the above-mentioned mask layer, and some above-mentioned side attachment walls [ at least ] which inclined at (g)45 degree The process which metalizes a part with the flat bottom of the above-mentioned trench, and by etching a substrate caudad to the height of the metal layer of a part with the flat bottom of the (h) above-mentioned trench So that (i) VCSEL beam may be combined with the process which removes some substrates in the field in which VCSEL should be inserted by the above-mentioned core layer and the electric contact layer of VCSEL may contact a part of above-mentioned metal layer of the bottom of the above-mentioned trench The manufacture approach of a photoelectron substrate including the process which turns the luminescence aperture of VCSEL to the above-mentioned metal layer bottom, and arranges VCSEL, and the process which joins Above VCSEL to the above-mentioned metal layer so that (j) metal side may give the electric contact to Above VCSEL.

[Claim 16] (a) The process which installs a dismountable substrate, and the process which makes (b) metal layer deposit on the front face of the above-mentioned substrate, (c) The process which carries out patterning of the above-mentioned metal layer to a contact pad and an electrode, (d) In order to form the process arranged to the contact pad which deposited the metal contact side of a thin film device, the process which joins the (e) above-mentioned thin film device to the above-mentioned metal contact side, and (f) composition composite-construction object, The process which covers the above-mentioned thin film device with the polymer layer of one or more layers, and the process which grinds the (g) above-mentioned composite-construction object, (h) -- the process which forms a surface contact on the above-mentioned composite-construction object by which flattening was carried out, and (i) above -- the manufacture approach of the photoelectron device embedded on the polymer film including the process which removes a dismountable substrate.

[Claim 17] (a) The process which installs the 1st substrate, and the process which forms (b) adhesiveness buffer layer in the front face of the 1st substrate of the above, (c) In order to form the process which attaches in the above-mentioned buffer layer the underside of two or more thin film devices which have an underside and a top face, and the composite-construction object which has the underside and top face which are attached in the (d) above-mentioned buffer layer, The process which covers the above-mentioned thin film device with the polymer layer of one or more layers, and the process which grinds the (e) above-mentioned composite-construction object, (f) The process which forms at least one up electrode in at least one thin film device, and forms at least one surface contact in the top face of the composite-construction object by which polish was carried out [ above-mentioned ], (g) The process which attaches the 2nd substrate in the top face which the above-mentioned composite-construction object exposed, (h) -- the process which removes the 1st substrate of the above, and (i) -- at least one electrode -- the above -- the manufacture approach of the photoelectron device embedded on the polymer film including the process which forms in the underside of one thin film device even if few, and forms at least one surface contact in the underside of the above-mentioned composite-construction object.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach for manufacturing this electronic system in the photoelectron (optoelectronics) substrate and list which are used in order to connect digital ones and/or analog electronic system. especially this invention relates to the manufacture approach at the optoelectronics substrate and list which have both an electric (target) link and an optical (study ---like) link.

[0002] Moreover, this invention is applied to MCM (multi chip module) etc.

[0003]

[Description of the Prior Art] With the increment in the clock rate of the processing system mounted on the link substrate, and the I/O number of counts, the problem of the connection length in such a link bottleneck of a processing system, a noise, signal attenuation, and electrical connection who can be synchronized arises. There is an advantage of the high admissibility over low RC delay, low signal attenuation, the delay that can be predicted, low power, a low noise, opening, and a short circuit in an optical link. However, there is a serious failure which prevents using an optical link with high-speed digital one / analogue system. In order to change conventionally between the lightwave signal in optical interconnect, and the electrical signal which is generated by the electronic chip and used, a huge driver chip and an amplifier tip are required. In order to make an electrical signal spread optically covering a long distance, a luminescence device and the driver chip made to generate the electric power which switches a luminescence device are needed at one edge of optical connection. In the receiving end of optical connection, in order that a photodetection device and amplifier may change a lightwave signal into an electric format, it is needed. The reason amplifier is needed is that optical power originates in the very large loss in the usual optical way, and becomes small by the photodetection device side.

[0004]

[Problem(s) to be Solved by the Invention] Since the components of a driver and an amplifier need a tooth space on the circuit board, in case much optical connection is used for them within a substrate like a multi chip module, they serve as an obstruction. An area required for an area required for these components and a list for a luminescence device and a photodetection device in practice makes size of a module substrate larger than a module substrate only including electrical connection. A manufacturing cost also raises these excessive components and those assemblies. Moreover, the usual optical connection originates in electronic-light (EO) conversion and photoelectron (OE) conversion, it has longer delay, and a significant rate-advantage is not acquired to the module which consisted of only electric modules.

[0005] This invention aims at offer of the approach of manufacturing the optical connection structure and the optical connection which solve the trouble of the above-mentioned conventional technique.

[0006]

[Means for Solving the Problem] In order to attain the object of above-mentioned this invention, the substrate possessing the optical link and electric link by this invention indicated by claim 1 The 1st layer

by which polymer waveguide is formed in inside, and the 2nd layer by which polymer waveguide is formed in inside, The 1st vertical mold light coupler which was formed in the layer of the above 1st and was optically combined with the 1st waveguide in the layer of the above 1st, So that it may be formed in the layer of the above 2nd and light may be combined between the 1st waveguide of the above, and the 2nd waveguide of the above including the 2nd vertical mold light coupler optically combined with the 2nd waveguide in the layer of the above 2nd The vertical mold light coupler of the above 1st is arranged next to the vertical mold light coupler of the above 2nd.

[0007] Polymer waveguide has the polymer layer of at least one layer currently formed in inside, and the polymer layer of at least one layer in which two or more photoelectron devices are formed in one, and it laminates the substrate of each other possessing the optical link and electric link by this invention indicated by claim 2 so that the above-mentioned layer may form a laminated structure. The substrate possessing the optical link and electric link by this invention indicated by claim 3 has the polymer layer of at least one layer in which two or more electronic integrated-circuit devices are formed, and the polymer layer of at least one layer in which two or more photoelectron devices are formed in one, and it laminates each other so that the above-mentioned layer may form a laminated structure.

[0008] The substrate possessing the optical link and electric link by this invention indicated by claim 4 has two or more polymer layers in which two or more electronic integrated-circuit devices are formed, and it laminates each other so that the above-mentioned layer may form a laminated structure. The substrate by this invention indicated by claim 5 The optical switch device of the vertical sense, The 1st board possessing the micro lens prepared in the output of the above-mentioned optical switch device, It has the 2nd board possessing the photo detector device of the vertical sense, and the micro lens prepared in the input of the above-mentioned photo detector device, and corresponding switch devices and photo detector devices counter like together, and the 1st board of the above and the 2nd board of the above are arranged.

[0009] The optical link system which communicates information among two or more chips twisted to this invention indicated by claim 6 The 1st photoelectron multi chip module possessing the bottom membrane layer by which at least one waveguide was prepared in the top face and list which mount a chip in order to combine a lightwave signal with the interior and the exterior, The 2nd photoelectron multi chip module possessing the bottom membrane layer by which at least one waveguide was prepared in the top face and list which mount a chip in order to combine a lightwave signal with the interior and the exterior, It is arranged near the underside of the photoelectron multi chip module of the above 1st, and the photoelectron multi chip module of the above 2nd, and has the passive film possessing the optical waveguide layer which combines a lightwave signal between the above 1st and the 2nd photoelectron multi chip module of at least one layer.

[0010] The electronic light module which communicates a lightwave signal between at least two electrical circuit terminals by this invention indicated by claim 7 The substrate possessing passive polymer waveguide, the substrate with which the electronic light corpuscle child was embedded on the polymer film, At least one substrate separately chosen from the group which consists of a substrate with which the electric element was embedded, and a substrate possessing passive PARIMA waveguide, the embedded electric element, and the embedded electronic light corpuscle child, the above -- an optical waveguide means to make a lightwave signal spread within one substrate even if few, and the above -- a source means of a lightwave signal to generate a lightwave signal within one substrate even if few, and the above -- even if few, it has a photodetection means to detect a lightwave signal within one substrate.

[0011] The electronic light module which communicates a lightwave signal between at least two electrical circuit terminals by this invention indicated by claim 8 The substrate possessing passive polymer waveguide, the substrate with which the electronic light corpuscle child was embedded on the polymer film, At least one substrate separately chosen from the group which consists of a substrate with which the electric element was embedded, and a substrate possessing passive PARIMA waveguide, the embedded electric element, and the embedded electronic light corpuscle child, the above -- an optical waveguide means to make a lightwave signal spread within one substrate even if few, and the above -- the above which switches the optical power or the lightwave signal in one substrate even if few -- even

if few, it has an optical switch means in one substrate.

[0012] The manufacture approach of the substrate by this invention indicated by claim 9 The process which manufactures independently the waveguide road layer by which at least one electric beer was formed in inside, an integrated-circuit-chip layer, and a photoelectron layer, At least one electrical installation is performed between two different layers, and it has the process which laminates the above-mentioned layer in one so that step may be kept with the photoelectron device of a layer with which the edge of the waveguide of one layer adjoined.

[0013] The substrate which has the optical link and electric link by this invention indicated by claim 10 At least one side face established between the base layer which has a top face and an underside, and a top face, an underside, the above-mentioned top face and the above-mentioned underside, It has the 1st electric terminal and the 2nd electric terminal, and it is formed in the photoelectricity device with which at least one side in the above-mentioned electric terminal is prepared in the above-mentioned top face, and the above-mentioned top face of the above-mentioned base layer, and the optical waveguide core which has the edge which carries out termination in contact with the side face of the above-mentioned photoelectricity device is included.

[0014] The substrate by this invention indicated by claim 11 contains two or more VCSEL components embedded at the 1st polymer layer and above-mentioned polymer layer, and two or more photo detectors embedded at the above-mentioned polymer layer. The electronic light substrate by this invention indicated by claim 12 The polymer substrate with which it has the 1st field, and the 1st field of the above and the 2nd field which countered, and waveguide is formed in inside in one, It is arranged in the above-mentioned substrate and two or more optical couplers which combine a lightwave signal between the 1st field of the above and the 2nd field of the above, and the above-mentioned waveguide, and the Bahia connection prepared in the above-mentioned substrate are included.

[0015] The manufacture approach of the substrate by this invention indicated by claim 13 (a) The process which forms the layer of the charge of a clad plate, and the process which arranges and pastes up the mini chip containing some (b) photoelectron devices [ at least ] on the layer of the above-mentioned charge of a clad plate, (c) The process which forms the layer of core materials after the layer of the above-mentioned charge of a clad plate, and the above-mentioned mini-chip so that core materials may paste the above-mentioned mini-chip, (d) The process which forms the waveguide which carries out termination within the above-mentioned mini-chip in the above-mentioned core materials, and the process which forms the layer of the charge of a clad plate on the (e) front face are included.

[0016] The manufacture approach of the waveguide for substrates by this invention indicated by claim 14 (a) The process which forms the layer of the charge of a clad plate, and the process which forms the layer of core materials on the layer of the charge of the (b) above-mentioned clad plate, (c) The process which forms optical waveguide in the layer of the above-mentioned core materials, the process which forms the layer of the charge of a clad plate on the (d) front face, and the process which grinds the above-mentioned charge of a clad plate in order to carry out flattening of the (e) above-mentioned front face more are included.

[0017] The manufacture approach of the photoelectron substrate by this invention indicated by claim 15 (a) The process on which the 1st substrate is made to deposit a polymer bottom cladding layer, and the process which makes (b) polymer core layer deposit on the above-mentioned bottom cladding layer, (c) The process which makes a mask layer deposit on the front face of the above-mentioned core layer, and the process which carries out patterning of the above-mentioned mask layer in order to form (d) aperture, (e) The process which forms at least one trench which has the side attachment wall with which at least one side attachment wall inclines with the tilt angle of 45 degrees in the above-mentioned aperture, (f) The process which removes the above-mentioned mask layer, and some above-mentioned side attachment walls [ at least ] which inclined at (g)45 degree The process which metalizes a part with the flat bottom of the above-mentioned trench, and by etching a substrate caudad to the height of the metal layer of a part with the flat bottom of the (h) above-mentioned trench So that (i) VCSEL beam may be combined with the process which removes some substrates in the field in which VCSEL should be inserted by the above-mentioned core layer and the electric contact layer of VCSEL may contact a

part of above-mentioned metal layer of the bottom of the above-mentioned trench The process which turns the luminescence aperture of VCSEL to the above-mentioned metal layer bottom, and arranges VCSEL, and the process which joins Above VCSEL to the above-mentioned metal layer so that (j) metal side may give the electric contact to Above VCSEL are included.

[0018] The manufacture approach of the photoelectron device embedded on the polymer film by this invention indicated by claim 16 (a) The process which installs a dismountable substrate, and the process which makes (b) metal layer deposit on the front face of the above-mentioned substrate, (c) The process which carries out patterning of the above-mentioned metal layer to a contact pad and an electrode, (d) In order to form the process arranged to the contact pad which deposited the metal contact side of a thin film device, the process which joins the (e) above-mentioned thin film device to the above-mentioned metal contact side, and (f) composition composite-construction object, the process which covers the above-mentioned thin film device with the polymer layer of one or more layers, the process which grinds the (g) above-mentioned composite-construction object, the process which forms (h) surface contact on the above-mentioned composite-construction object by which flattening was carried out, and (i) above -- the process which removes a dismountable substrate is included.

[0019] The manufacture approach of the photoelectron device embedded on the polymer film by this invention indicated by claim 17 (a) The process which installs the 1st substrate, and the process which forms (b) adhesiveness buffer layer in the front face of the 1st substrate of the above, (c) In order to form the process which attaches in the above-mentioned buffer layer the underside of two or more thin film devices which have an underside and a top face, and the composite-construction object which has the underside and top face which are attached in the (d) above-mentioned buffer layer, The process which covers the above-mentioned thin film device with the polymer layer of one or more layers, and the process which grinds the (e) above-mentioned composite-construction object, (f) The process which forms at least one up electrode in at least one thin film device, and forms at least one surface contact in the top face of the composite-construction object by which polish was carried out [ above-mentioned ], (g) The process which attaches the 2nd substrate in the top face which the above-mentioned composite-construction object exposed, (h) -- the process which removes the 1st substrate of the above, and (i) -- at least one electrode -- the above -- the process which forms in the underside of one thin film device even if few, and forms at least one surface contact in the underside of the above-mentioned composite-construction object is included.

[0020] According to the whole surface of above-mentioned this invention, since the need for the large driver of \*\* and amplifier is lost, the requirements of area are mitigated remarkably. Instead of the source of luminescence, the external light source and an optical switch device (for example, modulator) are used. An optical switch device answers the output of IC chip, and does not need the driver chip for actuation. As compared with the case where the source of luminescence is used, the power of the lightwave signal in the example of implementation which uses an optical modulator increases remarkably by increasing the size and power of the external light source. Since the external light source does not have the need of becoming irregular, it is possible to make it increase easily in such a form. For example, the external light source may be realized as a source of a pulse train of an easy continuous wave (CW) or optical power. Furthermore, loss of optical connection is reduced. Therefore, the power in a photo detector increases and can omit amplifier now. By forming polymer waveguide in one with an optical switch and a photo detector, loss of optical connection is reduced and optical coupling effectiveness rises. Moreover, according to the production approach of this invention, it is possible to produce short optical connection. The optical power to a photo detector increases by using extraneous light power. Furthermore, the optical waveguide integration approach of this invention can make dramatically efficient optical connection with VCSEL and LD (laser diode) bleedoff device, and, thereby, in addition to the source of the exterior, these devices may be used as a source of release of optical power.

[0021] Another field of this invention realizes integration to a device and/or the photoelectron layer of an ingredient, increases the area for chip mounting, and removes the difficulty of optical alignment between a photoelectron device and optical waveguide. A photoelectron device may be embedded at a

waveguide road layer using the wafer processing technique by this invention. The approach by this invention makes it possible to integrate photoelectron devices (for example, a modulator, VCSEL, a photo detector, an optical switch, a laser diode (LD), a driver chip, an amplifier chip, etc.) with optical waveguide within 1 micrometer thru/or the 250-micrometer super-thin film polymer layer of order.

[0022] Other fields of this invention offer a photoelectron substrate by accumulating the above-mentioned photoelectron layer in order, and joining to one according to a manufacture process like a lamination (lamination) or a build up (lamination). The thing on the front face of the usual electric substrate to pile up is possible for a photoelectron layer, without needing the excessive location for a photo detector, an optical switch, a light-emitting part article, a driver chip, an amplifier chip, etc. In practice, since all the photo detectors needed, an optical switch, a luminescence device, a driver chip, an amplifier chip, etc. are offered, the laminating of many photoelectron layers can be carried out. This invention offers several kinds of production approaches which form these photoelectron layers, and some kinds of substrate structures.

[0023] Still more nearly another field of this invention is the approach of carrying out the laminating of the photoelectron film more than two-layer [ which can improve the function of the structure by which the laminating was carried out rather than the photoelectron film of a monolayer ]. Each photoelectron layer is constituted by the monolayer structure containing the electric layer by the Z connection method, or the multilayer-structure object. The photoelectron layer and the electric layer on each photoelectron film are optimized separately. The flexible link section, the photoelectron insertion section, a film photoelectron and a multi chip module, double-sided packaging, back connection, and a film optical link module (FOLM) are contained in the desirable example of the laminating photoelectron film. Moreover, a cascade screen is \*\* which can use manufacture processes more various than monolayer. Especially a cascade screen enables double-sided processing by reversing the processed layer inside out.

[0024] The advantageous effectiveness that a large-scale light link can be added to an electric substrate has the above-mentioned description, without making the need area of a substrate increase. These descriptions can improve the optical coupling effectiveness of an optical link again. These descriptions are applicable to an optical juxtaposition link module. In this invention, the example of a multi chip module is shown in principle. However, the same description and same aspect of affairs of this invention are applicable to an electric back plane, a printed circuit board (PCB), a chip-size package (CSP), and other substrates.

[0025]

[Embodiment of the Invention] The amplification perspective view of the 1st example of the photoelectron link substrate 10 by this invention is shown in drawing 1 . The link substrate 10 makes the format of a photoelectron multi chip module (OE-MCM) substrate of performing a link including both one piece or the connection between chips of two or more signals from IC chip 1a-1d, and the connection in a chip, using both an optical link and an electric path. A substrate 10 contains the base substrate 12 and a barrier layer 20. A barrier layer contains optical waveguide 24a-24h, photoelectron switching device 26a-26c, light-receiving device 28a-28c, the electric path 30, and the electrical connection pad 32 for IC chip 1. IC chip is attached to a barrier layer 20 by the flip chip type, and electrical connection is carried out to the connection pad 32 of a barrier layer 20 by the usual connector 2 of the type of two or more arbitration. As an example, as shown in drawing 1 , a connector 2 is constituted by the solder bump. Since optical waveguide 24 and the photoelectron devices 26 and 28 are built into a barrier layer 20 and it is embedded preferably at a barrier layer 20, the top face of a barrier layer 20 is substantially flat (for example, except for a small hole, a slot, a bump, etc., there is surface homogeneity within the limits of \*\*10 micrometers to the area of 1 square cm).

[0026] The signal between chips is electrically spread according to the electric path 30, or is optically spread by waveguide 24. When waveguide 24 is spread by the signal by light (optically), the photoelectron devices 26 and 28 perform conversion between the electric expressions with the optical expression of a signal. As an example used in order for light to make a signal spread, the source of optical power is led to the photoelectron multi chip module 10, and is connected to optical waveguide 24a by the optical fiber 4. The source of optical power supplies the continuous source of light energy

working [ the circuit formed with a chip 1, or a system ], or supplies the pulse train of a light pulse. Coupling between a fiber 4 and waveguide 24 is attained with an optic fiber communication technique by the standard V groove connector 14 which has well-known structure. Moreover, it is the front face of a layer by positioning each fiber so that a 45-degree mirror, a grid, etc. may be incorporated in the core region of the layer which waveguide mode spreads and a core may align with a mirror or a grid, and it is possible to connect the optical fiber containing a two-dimensional fiber array and a fiber image array to waveguide. the light source -- waveguide 24 -- meeting -- spreading (for example, the case where the light of each shunt obtains also in another stage, and is once divided when light is divided in another stage -- the ratio of 50% of 50% pairs --) Or when the light in one shunt is further divided in another stage, it is divided by the Y shape shunt usual by preselected ratio like the ratio of 67% of pairs between two waveguides 4b and 24c 33%. The light in waveguide 24b is delivered by photoelectron switch 26a, and the photoelectron switch 26 is selectively delivered on 24d of waveguides depending on the electrical signal supplied to a switch. An electrical signal is supplied to switch 22a through two connection pads 32, next is connected to the circuit on chip 1a through the solder bump connector 2. Thus, the electric-generating-power signal from the circuit on chip 1a is changed into an optical expression by switch 26a by 24d of waveguide on the street.

[0027] As for 24d of waveguides, a path is prepared in 2nd electronic optical switch 26b which has the electrical input connected to the chip 1d circuit through the same connection pad 32 and the same connector 2 from switch 26a. Switch 26b has one optical input connected to 24d of waveguides, and one electrical input connected with the circuit on chip 1d. Switch 26b has two optical outputs connected to Waveguides 24e and 24f, respectively. Depending on the electrical input to switch 26b, switch 26b delivers the light of the optical input side to which optical output. An example of the configuration of switch 26b is explained with reference to drawing 2 and 3. The lightwave signal on waveguide 24e and 24f is supplied to two light-receiving devices 28b and 28c, respectively. The light-receiving devices 28b and 28c change each lightwave signal into the electric corresponding expression, and supply the electric expression to the input circuit on IC chip 1c and 1d through the corresponding connection pad 32 and the corresponding connector 2, respectively. Switch 26b always is not used or is not necessarily required of this situation. In such a case, the output of 24d of waveguides is directly linked with receiver 28b, 28c, or both receivers for a substrate excluding the switch for a path change-over.

[0028] In a similar mode, the source of optical power on waveguide 24c is delivered by photoelectron switch 26c controlled by the electric-generating-power signal from IC chip 1b. The modulated optical output is delivered on 24h of waveguides which carry out termination with an optical fiber 5 from the optical output of switch 26c, and is sent out from the photoelectron multi chip module substrate 10. The usual V groove connector 15 is used in order to connect a fiber 5 to 24h of waveguides. It is also possible as above-mentioned to connect an optical fiber to waveguide on the surface of a layer by incorporating a 45-degree mirror, a grid, etc. in the core region of the layer which waveguide mode spreads, and positioning each fiber so that a core may align with a mirror or a grid. When waveguide 24c which supplies the input to switch 26c is referred to again, it turns out that waveguide 24c intersects 24d of waveguides, and an abbreviation right angle. This crossover is a crossover of the usual optical waveguide, and the amount of the light which intersects 24d of waveguides from waveguide 24c, and the amount of the light which intersects reverse from 24d of waveguides at waveguide 24c are stopped as that result to the minimum.

[0029] A light-receiving device is used in order to receive a lightwave signal from the exterior of the photoelectron multi chip module 10. Photo detector 28a shown as the example receives a lightwave signal through 24g of waveguides from an optical fiber 3. The usual V groove connector 13 is used in order to connect a fiber 3 to 24g of waveguides. A 45-degree mirror, a grid, etc. may be used as above-mentioned. The electric generating power of light-receiving device 28a is supplied to the input circuit on IC chip 1c through the connection pad 32 and a connector 2.

[0030] Although not illustrated, optical waveguide can set a path as another terminal of the same chip from a terminal with a chip, and, thereby, can establish a chip intrinsic-light link. The waveguide 24 and the devices 26 and 28 which were shown in drawing 1 , the electric path 30, the interconnect pad 32, a



fiber 3-5, and the number of chips 1 are maintained by the small value for visual intelligibility. Although a chip and a fiber may be excepted, the typical photoelectron multi chip module substrate 10 holds many components rather than the number of the illustrated components. Moreover, the size of components is exaggerated for visual intelligibility. The width of face of waveguide 24 of a type target is order (1 micrometer thru/or 50 micrometers), and die length of one side of typical IC chip is 1cm thru/or 4cm. The width of face of the typical devices 26 and 28 is order (1 micrometer thru/or 50 micrometers), and this width of face is the die length of the shorter one in the magnitude of two sides of a lateral front face. The die length of the typical devices 26 and 28 is order (1 micrometer thru/or 5000 micrometers), and this die length is the longer one of an in [ the magnitude of two sides on the front face of a longitudinal direction ]. The thickness of the typical devices 26 and 28, i.e., the magnitude of a lengthwise direction, is settled in 1 micrometer thru/or 20 micrometers. Typically, a device with larger size is used in free-space light connection application. Although two electrical connection is prepared in drawing 1 from IC chip with which each device corresponded, another electric terminal is connected to the output or input of IC to which, as for a device 26 or 28, one electric terminal was connected to the interior at this field, and the barrier layer 20 corresponded inside including the ground plane (or power-source side). Instead of a fiber 3-5, an array fiber, film waveguide, or a imaging guide may be used.

[0031] The fragmentary sectional view of the barrier layer 20 of a near [ photoelectron switch 26c ] is shown in drawing 2 , and the plan of photoelectron switch 26c is shown in drawing 3 with Waveguides 24c and 24h. With reference to drawing 2 , a barrier layer 20 is constituted by the layer 24 by which core materials with a thickness of about 5 micrometers were patternized, and waveguide 24a-24g of an individual exception is formed from there. A waveguide road layer is formed on the additional (when the base substrate 12 is not suitable as a cladding layer, used selectively) cladding layer 21, and is covered with the 2nd cladding layer 23. A cladding layer extends on the side face of waveguide 24, and a top face. Optical waveguide is made from the ingredient of two types called the core materials and the charge of a clad plate which have two kinds of refractive indexes ( $n_1$  and  $n_2$ ) as known in the conventional technique. Core materials have a refractive index higher than the charge of a clad plate. Cladding layers 21 and 23 have a refractive index which is different within the limits of a refractive index lower than the refractive index of a core layer 24. A cladding layer can be manufactured from fluorination poly IMIDE OPI-N1005 by the Hitachi chemical company, and a core layer can be manufactured from fluorination poly IMIDE OPI-N3405 by the Hitachi chemical company. The epoxy waveguide ingredient in which ultraviolet curing is possible can also be used for low temperature treatment. When a base layer may function as a suitable cladding layer, a cladding layer 21 can be excluded.

[0032] Switch 26c is embedded at a barrier layer 20, and the underside counters with the top face of the base substrate 12. The photoelectron switch device of many different species can be used. In this photoelectron switch device, for example, a total-internal-reflection switch, Mach TSUENDA modular, a digital switch, a skeleton pattern switch and an electronic absorption (EA) optical modulator, a semiconductor light gate switch, etc. are included. The switch device illustrated by drawing 2 is a total-internal-reflection switch, and when electric field are impressed, it is constituted by the body section of the electronic light (EO) ingredient 626 from which a refractive index changes. With reference to drawing 3 , the body section of the electronic light ingredient 626 is formed in the Y shape body section which has a passage section between waveguide 24c and 2nd output waveguide 24i, and a shunt section used as the origin of a 24h [ of output waveguides ] passage section. An ingredient 626 is formed in the path between input waveguide 24c and the output waveguides 24h and 24i, and is held between a cladding layer 21 and a cladding layer 23. Electric field are impressed with two counterelectrodes 27 which function also as an electric terminal of a device. The short electric path which is not illustrated in the sectional view of drawing 2 connects an electrode 27 to each connection pad 32. Although the connection pad 32 is not illustrated by drawing 2 , the location in a plane background is shown by the broken line. When there is no potential difference between electrodes 27, light advances along a passage section from waveguide 24c to waveguide 24i. When the potential difference is added between electrodes 27, as for some electronic light ingredients 626, a refractive index changes, and for this



reason, the propagation direction of light changes so that it may go into the inside the amount of [ of light / whose ] body is 24h of output waveguides. More, since light arrives at the section where a refractive index is low with the section of the electronic light ingredient 626 between electrodes 27, it is reflected in a shunt section by the detail. The inheritance of the electronic light ingredient 626 is done by the applicant for this patent, and it is constituted by the organic material containing an electronic light polymer which is indicated at U.S. Pat. No. 5,444,811 quoted for reference. The electronic light ingredient 626 is constituted by many the quantum well devices and quantum dots which are made from the compound of an III-V group like  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ / $\text{Al}_y\text{Ga}_{1-y}\text{As}$ . When reverse sense electrical-potential-difference bias is added, these devices can change a refractive index as a function of the impressed bias.

[0033] Generally, a barrier layer 20 is formed using a laminating technique. By the following explanation, a laminating technique means the combination of the arbitration of formation of the underground work of the membrane layer deposition process for forming the film with which the waveguide and/or the electronic light device were embedded, and an electronic light device of beer and a contact layer in a list. As an example, a cladding layer 21 is first formed on the base substrate 12, then formation and patterning of the optical core layer 24 are performed, and then a cladding layer 23 is formed, then the electric path 30 and the link pad 32 are formed. The photoelectron devices 26 and 28 are formed according to an individual, and are built into a barrier layer 20 during formation of a cladding layer 21, or after formation and formation of a cladding layer 24. Depending on the case, a photoelectron device can be simultaneously formed during formation of a layer 21-24. For example, the lower electrode of switch 26c of drawing 2 is formed before formation of a cladding layer 21. A rectangle-like electronic light ingredient is formed in the location where switch 26c should be arranged after formation of a cladding layer 21. Next, a front face is covered and hardened with the core materials for a layer 24. In order to expose the upper part of the electronic light ingredient 626, flattening of this front face is carried out. In order to form the pattern of the final Y shape shunt configuration of the electronic light ingredient 626, patterning of both the electronic light ingredients 626 of the shape of a core layer and a rectangle is carried out to Waveguides 24c and 24h and a list using pattern NINGU of the conventional photoresist layer or a mask layer, and etching. A cladding layer 23 and the metal layer of the up electrode 27 and a pad 32 are formed in a degree.

[0034] (a) of drawing 4 is the fragmentary sectional view of the barrier layer 20 of a near [ photo detector device 28c ], and (b) of this drawing is the plan showing photo detector device 28c with 24f of waveguides. Like switch 26c, photo detector device 28c is embedded at a barrier layer 20, and the underside counters with the top face of the base substrate 12. The profound component device of a class with which a large number differ can be used. The instantiation photo detector device shown in (a) of drawing 4 and (b) is constituted by the body section 628 of a semiconductor material or a mini chip, and two electrodes 27 formed in the front face of the body section. Two simple straight-line-like electrodes are illustrated for visual conspicuousness. The typical MSM photo detector device used in the example of this invention has the electrode put together in order to raise electron hole-electronic collector efficiency. Photo detector device 28c of this example is constituted separately, is arranged in the upper part of a cladding layer 21, and before it forms waveguide 24a-24i, it is pasted up on a cladding layer 21. The ingredient of the body section 628 generates an electrical potential difference between electrodes 27, generates a current between electrodes 27, and/or makes the conductivity between electrodes 27 produce change. For example, the body section 628 is constituted by \*\*\*\*\* including the pn junction formed in the ingredient, p mold doped field by which electrical connection was carried out to one electrode 27, and n mold doped field by which electrical connection was carried out to the electrode 27 of another side. Pn junction generates a current, when light is irradiated, and this current is detected by the well-known usual detector with the conventional photo detector technique. Or the body section 228 has the pin junction and nip junction which were formed in the ingredient, and is constituted from another example by the semiconductor material possessing the doped field by which electrical connection was carried out to each electrode 27. When light is irradiated by the intrinsic (i) semiconductor region, the consistency of an electron and an electron hole increases and the conductivity

of a field increases. Thereby, in the conventional photo detector technique, the conductivity between the electrodes 27 detectable [ with the well-known usual detector ] changes. Moreover, the easy body section of the intrinsic semiconductor equipped with two ohmic contacts may be used. A more complicated photo detector device like a bipolar photo transistor and field effect phototransistor may be used. The structure of these devices is well-known in the conventional technique, and about the example of this invention, since it arranges a photon capture field on one side of the mini chip of a semiconductor material, or the side face beyond it, it may suit. In (a) of drawing 4 , it is displayed that the thickness of a photo detector layer becomes almost the same as the thickness of the core layer of waveguide. However, it is more desirable to make thickness of a photo detector larger than the thickness of a core layer more generally, in order to realize light-receiving efficiency-of-element-optical absorption.

[0035] As above-mentioned, photo detector device 28c depended on this example is manufactured separately, is prepared in the upper part of a cladding layer 21, and before waveguide 24a-24i is formed, it is pasted up on the upper part of a cladding layer. When constituted by the polymer ingredient which a cladding layer 21 is first applied in a liquid format, and then is hardened, photo detector device 28c may be set as a layer 21, that a layer 21 is liquefied or when it is in an adhesive condition, and a layer 21 may be made to paste firmly into a hardening process. When a cladding layer 21 is constituted by the laminating, or when it is hardening or a non-adhesiveness layer, before the body section of polymer adhesiveness arranging, it is stuck on the rear face of photo detector device 28c, and subsequently to a layer 21, it hardens in order to paste up device 28c. After being installed in a right location, waveguide 24a-24i and the up cladding layer 23 are formed in order, and Bahia is formed even to the electrode 27 of photo detector device 28c. An up metallization layer is formed in order to obtain a path 30 and a pad 32 as shown to (b) of drawing 4 by the continuous line.

[0036] The device of (a) of drawing 4 is a finger-like electrode as shown as an electrode put together. One side of a finger-like electrode is formed in the underside of the chip of a device. In this example, the contact to a lower electrode is produced by carrying out diffusion bonding of some electrodes to the electric path formed in the front face (or on the hardening layer 21) of a base substrate. Since it is preferably filled up with the air pocket of the components bottom by which diffusion bonding is carried out, an elevated-temperature under-filling ingredient is applied. Since it is filled up with an air pocket, core materials may be used.

[0037] The photo detector used by this invention is not limited to the component of the type put together. For example, the electrode structure of a sandwiches form may be used. Moreover, the top face of a photo detector contains the 2nd electrode including the electrode equipped with the aperture in which the underside of a photo detector, i.e., the front face as for which light carries out incidence, receives light. drawing 5 -- (-- a --) -- and -- (-- b --) -- this invention -- depending -- a photo detector -- being another -- being desirable -- an example -- 28 -- c -- ' -- being shown -- drawing 6 -- (-- a --) -- and -- (-- b --) -- this invention -- depending -- a photo detector -- being another -- being desirable -- an example -- 28 -- c -- " -- being shown -- drawing -- it is . Although these examples are examples over a vertical mold photo detector, this arrangement and consideration are applied also like a horizontal-type photo detector. Since a voltage signal is outputted from a photo detector as everyone knows, load resistance is required. As shown in (a) of drawing 5 , and (b), load resistance 29 is united with electronic light and a photo detector 628. Or you may also build a preamp into electronic light and a photo detector 628 in the location of resistance 29. In this case, the upside pad 32 may be connected to the amplifier output instead of a background electrode of a photo detector. The background electrode of a photo detector may be connected to an amplifier input. Another load resistance 29' which contains the NiCr film equipped with the thickness of 300nm, width of face of 3 microns, and the overall length of 500 microns which wound in (a) of drawing 6 and (b) is shown. Although it is an example in the case of being needed for the device actuation with a suitable, suitable electrical circuit like the resistance for amplifier impedance matching, or load resistance, more generally a photo detector is needed, in order that suitable resistance, a capacitor, a driver, or other circuits may connect other electrical and electric equipment or a photoelectron device like a laser diode to a power source (or a gland or other electrical and electric equipment, and/or a photoelectron device). In the case of the example of illustrated this

invention, only two electrodes per device are shown. However, generally each device has two or more power sources and/or signal electrodes by the approach which was similar with the non-embedding mold device.

[0038] Drawing 7 is the amplification perspective view of the 2nd example of photoelectron link substrate 10' by this invention. Link substrate 10' is similar with the substrate 10 shown in drawing 1, and makes the form of the photoelectron multi chip module (OE-MCM) substrate which links one piece thru/or two or more signals from IC chip 1a-1d using both an optical link and an electric path. The common reference number is attached to the component which was common in the substrate 10 of drawing 1 in substrate 10' of drawing 7. As one point of difference, substrate 10' uses the luminescence devices 36a and 36b instead of the photoelectron switch devices 26a and 26b of a substrate 10. Since the luminescence device 36 does not need the external light source which is supplied with the optical fiber 4 of a substrate 10, an optical fiber 4 is not needed for substrate 10'. Light emitting diode (LED), (laser diode LD) vertical mold resonance surface bleedoff laser (VCSEL), a quantum well, a quantum dot device (under a forward-bias condition), or other light emitting devices are contained in the luminescence device 36.

[0039] Drawing 8 is the fragmentary sectional view of the 1st example of luminescence device 36b by this invention, and drawing 9 is the plan of luminescence device 36b relevant to 24h of waveguides. Like switch 26c, luminescence device 28c is embedded at a barrier layer 20, and the underside counters with the front face of the base substrate 12. Luminescence device 36b contains the body section 636 of luminescent material or the mini chip like a semi-conductor, and two electrodes 27 formed in the top face and underside of the body section 636. Luminescence device 36b emits light from one or more side faces, and is constituted by the light emitting diode or the laser diode formed in the semiconductor material. Luminescence device 36b of this example is constituted separately, is arranged on the electrode prepared in a cladding layer 21 top or the interior, and before it forms waveguide 24a-24i according to the above-mentioned adhesion process including solder or a metal diffusion process etc., it is pasted up on a cladding layer. Since the method of producing these light-receiving devices arranges a photon bleedoff field to the one side of the mini chip of a semiconductor material about those with common knowledge, and this invention in the conventional technique, it may suit.

[0040] During production, the alignment mark on the base substrate 12 is used for the arrangement to the cladding layer 21 of light-receiving device 36b, and patterning of 24h of waveguides, and they are performed. During a fabrication, since equipment 36b or the pattern of 24h of optical waveguides becomes bad alignment somewhat about an alignment mark, bad alignment produces it between the optical output of light-receiving device 36b, and the optical input of 24h of waveguides. In order to take such bad alignment into consideration, a taper is attached to a flare mold, i.e., outwardness, as the optical input of 24h of waveguides is shown in drawing 9. When there is bad alignment, it is guaranteed that incidence of the light from light-receiving device 36b is carried out to 24h of optical waveguides by this taper.

[0041] This bad alignment's possibility becomes a problem also when producing the Bahia contact from a path 30 to an electrode 27. This is solved by specifying additional tolerance as the Bahia dimension (for example, thing for which a larger dimension than the lower limit restrained according to the lithography and the etching process which are used is used). Or you may arrange so that a path 30 and the form of an electrode 27 may be extended in the Bahia field and the extended configuration may be made to cross at the include angle of 90 degrees.

[0042] The fragmentary sectional view of the 2nd example of luminescence device 36b' by this invention is shown in drawing 10, and the plan of luminescence device 36b' is shown in drawing 11 with 24h of waveguides. Luminescence device 36b' contains the vertical mold resonance surface bleedoff laser (VCSEL) 638 formed in the semi-conductor mini chip (or die) 636. Unlike light having been generated from the side face of a mini chip, in the 1st example of the above-mentioned luminescence device, the VCSEL component 638 generates the light of the vertical sense to the top face of the mini chip 636. A substrate 636 is in the core layer 24 bottom, and since the vertical light beam of a component 638 is reflected in 24h of waveguides (i.e., in order to meet horizontally and to make it

reflect), a mirror 639 is arranged at the front of the VCSEL component 638. The front face of a mirror 639 makes the include angle of 45 degrees to the light beam of a component preferably. The end of 24h of optical waveguides is on the VCSEL component 638, and a tilt angle is prepared about the normal vector on the front face of a substrate (at include angle which is 45 degrees preferably). A normal vector is a vector vertical to the top face of the base substrate 12. Dip is realized by the laser polish using the laser leaned at the include angle of 45 degrees about the normal vector on the front face of a substrate. Reactive ion etching (RIE) may be used. When sensitive material is used, the inclined RISOGURAFU exposure may be used. A mirror 639 is built on the sloping front face by making for example, a reflective metal or the charge of a reflector deposit on this field. Silver (Ag), aluminum (aluminum), gold (Au), copper (Cu), chromium (Cr), a tungsten (W), titanium (Ti), etc. are contained in the example of a reflective metal. For the example of the charge of a reflector The multilayer dielectric coating constituted with a titanium dioxide (TiO<sub>2</sub>), the silicon dioxide (SiO<sub>2</sub>), the alumina (aluminum-oxide aluminum 2O<sub>3</sub>), the zinc oxide (ZnO), and an ingredient like chrome oxide (Cr 2O<sub>3</sub>) is contained. Depending on the difference of the refractive index of a core layer and a cladding layer, as for the include angle of a mirror 639, only few amounts change from 45 degrees. When a refractive-index difference is  $\Delta n = 0.02$ , the  $\pm 3$ -degree maximum include-angle dispersion is permitted. When refractive-index difference  $\Delta n$  is given, this contractor can calculate the maximum include-angle dispersion easily. It means that the include angle of 45 degrees or the include angle of about 45 degrees includes all the include angles in the include-angle tolerance to the value of corresponding  $\Delta n$ , and when the value of  $\Delta n$  is 0.02, the include angle from 42 degrees to 48 degrees which has the  $\pm 3$ -degree above-mentioned include-angle tolerance is included so that it may be used by this example. An optical grid may be used instead of a mirror 639. An optical grid is the refractive index  $n_1$  replaced by turns.  $n_2$  It is constituted by the sequence of the ingredient layer which it has, and is formed at the include angle of 45 degrees to a substrate normal vector. Such an optical grid forms in the edge of 24h of waveguides the notching section which the lot estranged, and is produced by filling up with the optical ingredient which has a refractive index which is different in this notching section. The group of the notching section with an include angle of 45 degrees is most easily gained by passing an exposure exposure in the optical device made to generate the interference pattern which has the mutual field of the high intensity light which used the photosensitive light ingredient, and has been approached and arranged, and low-strength light. An interference pattern inclines at the include angle of about 45 degrees to the normal vector of a substrate, and are collected on the field in which a grid should be formed. Like the case where a mirror is used, dispersion in a small include angle is permitted and this tolerance may be calculated by this contractor of an optical technique from a refractive index. About a grid, it is formed of the anisotropic etching technique later mentioned by the detail with reference to the device shown in drawing 23 thru/or 26.

[0043] As shown in drawing 10, luminescence device 36b' is embedded at ingredient layer 25b under a cladding layer 21. Before adhesive layer 25a forms ingredient layer 25b so that the base substrate 12 may be certainly equipped with luminescence device 36b', it is formed on the base substrate 12. The suitable polymer nature ingredient containing the ingredient of a cladding layer 21 or a core layer 24, the usual poly IMIDE ingredient, and an ultraviolet curing possible epoxy ingredient can constitute Layers 25a and 25b. A different ingredient is sufficient although to constitute from same ingredient is more desirable. With other components devices, the electrode 27 of luminescence device 36b' may be arranged on the underside of a device, or may be arranged to both sides (the so-called counterelectrode). In this case, diffusion bonding of the lower electrode is carried out to the electric path formed in the front face of a base substrate (or formed in hardening layer 25a). Since it is filled up with the air pocket which is preferably under the components by which diffusion bonding was carried out, an elevated-temperature under-filling ingredient is applied. Moreover, an air gap may be buried with the ingredient of layer 25b. When VCSEL is used, a vertical mold photo detector is embedded using a similar process, and has the structure shown in drawing 10 and 11, and similar structure.

[0044] Next, the example of the approach of producing the active group plate 20 for a substrate 10 and 10' is explained with reference to drawing 12 thru/or 19. Drawing 12 thru/or 19 are the sectional views

of the layer of the active group plate 20 under production. In the illustrated sectional view, the photoelectron switch device 26 and the photo detector device 28 adjoin each other mutually, and are formed, and as shown in drawing 19, as for optical waveguide, a path is made from the optical output of the photoelectron switch device 26 by the optical input of the photo detector device 28.

[0045] With reference to drawing 12, the lower electrode 27 of the switch device 26 is formed in the top face of the base substrate 12 in the conventional technique of the well-known usual deposition and a well-known optical RISOGURAFU process. In addition to formation of an electrode 27, the alignment mark for the further down stream processing is formed, or before these alignment marks form an electrode 27, they are etched on the front face of the base substrate 12. As a following process, a cladding layer 21 is formed by carrying out spin coating for example, of the fluorine polymer on the base substrate 12. In order to equip with components 28, an ingredient with fluorination poly IMIDE OPI-N1005 by the Hitachi chemical company, poly IMIDE, or adhesion capacity like a nonsolvent (non-gas) epoxy ingredient is chosen as a layer 21. The thickness of a layer 21 is settled in the range of 1 to 20 micrometers after contraction by the following hardening process.

[0046] Before the solvent for fluorination of a layer 21 evaporates thoroughly from a layer 21 preferably, the photoelectron components according to an individual like the photo detector device 28 are arranged on a layer 21, and are pasted up on a layer 21. The ingredient of the non-solvent base like an epoxy ingredient may be used for a layer 21. Generally, it should be taken into consideration that an epoxy ingredient decomposes at temperature lower than the poly IMIDE ingredient when choosing the ingredient of a consecutive layer. If a fluorination solvent exists, in order that a layer 21 may remove a fluorination solvent and may construct a bridge in some alternative polymer ingredients, soft baking processing is performed to it. A layer 21 is hardened by the process suitable next for an ingredient presentation which is exposed to heat, an exposure, time amount, or these combination. Evaporation of a solvent is gradually performed so that horizontal-type diffusion of the solvent under each components 28 may be received. Since the front face of a layer 21 is made into adhesiveness before each components are arranged by using a certain kind of charge of a clad plate, a partial software baking process may be performed. Partial software baking shortens required time amount in order to make a longitudinal direction diffuse the fluorination solvent under set components (for example, components 28).

[0047] The rear face of the arranged each part article (for example, components 28) is covered with chromium in front of an adhesion process so that it may be easy to paste up components on the polymer ingredient of a layer 21 and they may become it. Patterning of the chromium film is carried out at a certain kind of case so that the lower electrode of components may be formed. Since components are arranged, the device for surface mounts marketed, the device for flip chip bonding, or a custom-made application aligner can be used. An alignment mark is prepared on each components (for example, components 28) and/or the base substrate 12 for the object which arranges components. Or an alignment mark may be created on some points of the substrate section with which some components or components are arranged instead of attaching an alignment mark to the components according to individual. The device for surface mounts, the device for flip chips, or a custom-made application aligner can arrange components within the limits of  $\pm 2$  micrometers thru/or  $\pm 5$  micrometers.

[0048] As above-mentioned, preferably, the thickness of each components (for example, components 28) is dramatically thin, for example, is order (1 micrometer thru/or 20 micrometers). Thus, thin photoelectron components are reference: Yablonovitch, "Vapor Phase Epitaxial Lift-off Process of GaAs", and the Fall Materials Research Symposium. It is manufactured using the gaseous-phase epitaxial lift-off process indicated. A liquid-phase-epitaxial lift off or other processes like polish can be used. An epitaxial lift-off (ELO) process has the advantageous point that the difference of the dirty rate between GaAs (gallium arsenide) and AlAs (aluminum arsenic) or between GaAs and  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (an aluminum gallium and arsenic) is very large. The layer of AlAs is formed in a top face starting with a GaAs substrate of epitaxial growth (for example, MBE (molecular-beam epitaxial growth), OMVPE, etc.). The layer of GaAs and  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  is formed in an AlAs layer of epitaxial growth next. A photoelectron device is formed in an up GaAs layer with an electrode and an up passivation layer. A polish stop layer is formed in the upper part and the electrode of a passivation layer like [ in the case of

the example of this invention ] the after-mentioned. By this event, an electrode is not necessarily required. The polymer film 23 and 24 by which the electrode was formed and covered at the process after the device was attached in the cladding layer 21 may be hardened. Next, a deep trench is formed in an up GaAs layer in order to make a device divide into the components according to individual, or the array chip according to individual (chip which holds two or more devices). In case such an array chip realizes the optical bus which grouping is collectively carried out by many signals and is delivered by bank of a photo detector from a bank of an optical switch device (or emitter), it is useful. As a substrate for support, polymer film like a Mylar (Mylar (R)), glass, or Xtal is made into the shape of a layer on the top face of GaAs components including an array chip. The whole substrate receives hydrofluoric-acid etching which carries out etching processing of the AlAs layer in a longitudinal direction, and while the polymer film had been equipped with GaAs and  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  components (for example, mini chip) (when the polymer is used as a substrate for support), it is dissociated from a GaAs substrate. These components are held at the polymer film until they are cut out from the polymer film or are used. When held at the polymer film, when software baking processing of the strong adhesive strength is carried out even to the point with which it is obtained and components are pushed against the adhesive layer 21 rather than the stratified polymer film, a layer 21 is held on a layer 21, when the stratified polymer film is pulled apart, and components separate from the polymer film. A metal may be made to deposit on the underside which the epitaxial device [ that the support film is equipped ] exposed as an alternative plan. The corresponding metal pad is formed on the hardening layer 21, and an epitaxial device is attached in the metal pad which corresponded according to the bonding process to which diffusion bonding, AuSn bonding, AuInSn bonding, AuIn bonding, Pd bonding, or others was similar. Dimensional stability is improved when a hard substrate like glass is used for the substrate for support. [0049] A similar epitaxial lift-off process is developed by using the etching fluid which produces a difference between SiGe and silicon (Si) for the silicon (Si) substrate which uses a medium SiGe (silicon germanium) layer instead of an AlAs layer. Thereby, the epitaxial lift-off process of the high yield is realizable to a silicon chip.

[0050] In the following down stream processing, the front face where the layer of core materials was formed on each components (for example, components 28), and was obtained is passed to a polish process in order to obtain a flatter front face. In the example of the desirable creating method, a polish process removes the parts of the core materials which lap on the electrode of each components (for example, components 28), and exposes the top face of an electrode 27. For this object, an electrode 27 has initial height preferably higher than the height needed for a general target, is polished according to a polish process, and becomes low. Moreover, an electrode 27 has preferably the composite construction which consists of a metal sublayer more than two-layer, and one sublayer is constituted by polish stop ingredient like a tungsten. In the case of the example shown in drawing 12, an electrode 27 contains lower sublayer 27x of copper, medium sublayer 27y of a tungsten, and copper up sublayer 27z. Tungsten sublayer 27y has the thickness of the range of 0.1 micrometers thru/or 1 micrometer, and the copper sublayers 27x and 27z have the thickness of the range of 2 micrometers thru/or 20 micrometers. In order to decrease copper diffusion during polymer hardening, a copper top face is covered with a diffusion barrier layer (for example, titanium or a nickel layer). Other metals like Gold Au may be used instead of Copper Cu. In order to decrease the metal diffusion under polymer hardening, a diffusion barrier layer like a nickel layer or a titanium layer is used. In the case of the slurry which contains an alumina particle as an abrasive material, copper is ground at a rate quicker than a tungsten.

[0051] After a layer 21 is hardened, in order that a layer 21 may form the beer to the lower electrode 27 in time amount after software baking processing of the layer 21 is carried out until it hardens, patterning of it is carried out to it. This patterning is realized by carrying out laser-beam-drilling processing of the Bahia aperture, next filling up aperture with a conductive ingredient like copper. The location of Bahia is shown as "Bahia" in drawing 12. Instead of laser-beam-drilling processing, the Bahia aperture is formed of etching which penetrates the thick photoresist layer by which patterning was carried out in photograph RISOGURAFU using the aperture corresponding to the aperture which should be formed in a layer 21. When a layer 21 is hardened, the dry etching is more desirable and, generally wet etching is

used with the layer 21 which software baking processing is carried out and is not hardened. Bahia in a layer 21 may be further formed at a next process as below-mentioned.

[0052] the Bahia aperture in a layer 21 -- sputtering of a conductive ingredient (for example, copper), and chemical vapor deposition (CVD) -- it may be filled up with a conductive ingredient by the conventional method of depositing a large number including the plating of law and a conductive ingredient. Since it is filled up with the Bahia aperture, without making the whole substrate deposit an ingredient, nonelectrolytic plating, direct plating (electrolysis plating), and chemical vapor deposition are used. Nonelectrolytic plating takes time amount dramatically. Other approaches cover the whole front face, make a conductive ingredient deposit, and remove the ingredient in the field which is not desirable by etching processing. Before performing uniform deposition of such an ingredient, it is recommended that a protection patch of a photoresist ingredient covers these components and the components (for example, components 28) arranged so that a metal electrode may not be damaged especially by the next etching processing. When electrolysis plating is used, in order that a conductive seed layer may create the conductive pass for plating currents, sputtering of it is first carried out on a layer 21. Generally a seed layer is constituted by a thin chromium adhesiveness layer (for example, 200Å) and the following thicker copper layer (for example, 2 micrometers). An excessive conductive ingredient is removed by the usual chemical etching which uses the cap for masks on the Bahia aperture with which it filled up. The cap for masks is covered on the copper layer which newly deposited the layer of a photoresist, next may be simply formed by carrying out pattern exposure and developing a photoresist layer. After excessive copper (and all seed layers) is removed by etching processing, the cap for masks is removed by a suitable stripper or a suitable solvent. The above-mentioned Bahia formation process is used also in order to form Bahia in other dielectric layers and polymer layers which are explained by this example.

[0053] The electronic light ingredient 626 for switch device 26 is formed referring to drawing 13 on the components according to a layer 21 and individual (for example, components 28). Patterning of the layer of the electronic light ingredient 626 is carried out so that it may leave some ingredients (body section) to the location in which the switch device 26 is formed. Typically, this left-behind part is a progress part of an ingredient, and differs from the final pattern of the body section of the electronic light ingredient 626 used for the switch device 26. For example, this left-behind part encloses the body section of the electronic light ingredient 626 which is an abbreviation rectangle-like part (when it sees from the top face of the base substrate 12), and is actually used for the switch device 26 (refer to drawing 20 ). The following process performs final pattern NINGU of the part of this electronic light ingredient typically (refer to drawing 21 ). In-between patterning of the layer of this electronic light ingredient 626 is performed by the conventional patterning technique of the number of arbitration. When photograph image formation is possible, patterning of the electronic light ingredient 626 is carried out, and it is exposed by chemical-rays exposure and developed. When photograph image formation is not possible, a photoresist layer is formed on the layer of the electronic light ingredient 626, and patterning of the photoresist is carried out so that it may leave the dirty mask which covers the progress part of the electronic light ingredient 626 which should be held. Since both wet and dry etching processes remove an unnecessary part, they can be used, and it is an anisotropy, and since a dry etching process gives a sharper vertical wall, it is more desirable [ the dry etching ]. A plasma dry etching technique may be used, and a photoresist layer is lost in a dry etching process, as long as a part of the thickness is held to the last of an etching process.

[0054] In drawing 13 , the further example of the realizable patterning approach is used preferably. The tungsten layer whose thickness is 0.1 micrometers thru/or 1 micrometer is specifically formed on the layer of the electronic light ingredient 626, and patterning of this tungsten layer is carried out so that it may leave the tungsten dirty mask 627 for the part of the electronic light ingredient 626 which should be held. This patterning forms a photoresist layer on the tungsten layer 627, and a photoresist layer is performed patterning and by developing negatives, for example, etching an unnecessary tungsten using a hydrogen-peroxide solution that an unnecessary tungsten should be exposed. The result of pattern etching of the layer of the electronic light ingredient 626 is shown in drawing 14 . In a consecutive



polish process, since the tungsten dirty mask 627 is used as a polish stop layer which protects the part in which the electronic light ingredient 626 was held, it is useful for two objects. It is admitted that other ingredients may be used instead of a tungsten, and the creation approach of this invention is not limited to the activity of a tungsten. For example, other metals, the deposited silicon dioxide, and the deposited silicon nitride may be used. If needed, a dirty mask is used as an electrode for polling, in order to reinforce the electronic light multiplier of an electronic light ingredient.

[0055] The chip of the semiconductor material which has an electric light property or an electronic absorption property may be arranged instead of forming some electronic light ingredients 626 by spin coating, CVD, or MLD. For example, the quantum well device of a large number containing the mutual layers (or InGaAlAs (indium-gallium-aluminum-arsenic) or InGaAsP (indium-gallium-arsenic-Lynn) etc.) of AlGaAs and GaAs changes a reflection factor as a function of the impressed potential difference. These chips may be created according to the above-mentioned epitaxial lift-off process, and when components 28 are arranged at a layer 21, they may be simultaneously arranged in a layer 21 (simultaneous arrangement or sequential arrangement is also available). This possible example is shown by the broken line in drawing 12 as a chip which consists of ingredient 626'. In this example, both the processes that cover the layer of the polymer nature electronic light ingredient 626 shown in drawing 13 can be skipped with the process which forms the ingredient 626 covered except for the case where an ingredient 626 and ingredient 626' are used, on the same active group plate 10, and is stiffened. Before the polish stop layer 627 is arranged, it is preferably formed on chip 626'. In order that a layer 627 may form the final configuration of chip 626', patterning is carried out, and before a core layer is formed, a semiconductor chip is etched so that some semi-conductors which are not in the bottom of the layer 627 by which patterning was carried out may be removed. Processing of this chip 626' is the same to the process explained about drawing 14 thru/or 21.

[0056] With reference to drawing 15, the layer 24 of optical core materials is formed at the following process on electronic \*\*\*\* (or electronic absorption section) of a cladding layer 21, the components according to individual (for example, components 28), and an ingredient 626. For this object, a spin coat process is used and core materials are constituted by the polymer ingredient (the shape of viscous fluid) fluorinated using the solvent. Fluorination core materials are constituted about this point by fluorination poly IMIDE OPI-N3405 by the Hitachi chemical company as above-mentioned. In the case of low temperature treatment, the epoxy in which ultraviolet curing is possible is useful. A layer 24 is processed at the process of the hardening process which was processed at the software baking process next in order to remove a fluorination solvent, and was suitable for the ingredient presentation, for example, heat, an exposure, time amount, or these combination. The guideline for hardening processing is given to the software baking list of core materials, the charge of a clad plate, and an electronic light ingredient by the manufacturer. The thickness of a components mini chip (for example, components 628) or the thickness of some electronic light ingredients 626 is 90% or more of the smaller one either, and the thickness of a layer 24 is thicker than some of mini chips and electronic light ingredients 626 more preferably. The typical thickness of the layer 24 which was formed first and hardened is less than 30 micrometers, and, more typically, falls within the range of 3 micrometers thru/or 20 micrometers.

[0057] With reference to drawing 16, the front face of a substrate is ground so that a front face may carry out flattening more. Although a polish process removes the part of the layer 24 which laps with electronic parts 26 and 28, it holds the ingredient in the field in the bottom where optical waveguide is formed. Especially a polish process often makes small thickness of the layer 24 in the field which is downward, when the thickness of the layer which was formed first and hardened is larger than the thickness of a photoelectron device.

[0058] Smoothness is defined as a localization field to the flat (or it curves gradually) geometric flat surface which passes along the medium height or average height of surface topology in breadth and a field. This smoothness is the measurand of dispersion in the surface topology from a geometric flat surface. This measurand is mathematically defined by various approaches and a typical (it is the simplest) measurand is the maximum of dispersion in the height from the geometric flat surface in a localization field most. The base substrate 12 which is downward depending on the case has the front



face which curved slightly, and is not completely flat. In this case, the concept of smoothness is applied by using the geometric flat surface which has the curved front face which pursues the profile of the substrate which is downward in the localization field under view. In the example of this invention, it is called for that generally cover the surface area (namely, 4cm<sup>2</sup>) whose one side is 2cm, and the maximum of dispersion in the height from a geometric flat surface does not exceed 0.5 micrometers. [0059] In order to acquire good partial smoothness, the double pad structure containing the soft pad for polish, or a hard outside pad and a soft bottom pad may be used. Selection of a scouring pad is well-known with this contractor's technique. As above-mentioned, a tungsten polish stop layer is used on the component in order to protect various components. About this point, the effectiveness of the tungsten as a polish stop layer is raised by adding a phosphoric acid to a slurry, and does not have copper and largest effect at the polish rate of a polymer nature ingredient. The phosphoric acid of the amount in which pH of a slurry is reduced to the value between 2 and 4 is added for this object. Finally, at a polish process, it needs to be cautious of being distributed on the front face of the base substrate 12 in the field in which optical waveguide or a photoelectron device does not exist with the polish stop layer 627 to which some "dummy" parts in the electronic light ingredient 626 lap upwards. Such a dummy part is shown in the lower left corner of drawing 21 . Although never used as activity components, a dummy part functions in order to reduce the "dish INGU" phenomenon of a polish process by making the total surface area of the polish stop layer 627 increase. Here, the polish actuation resulting from lack of a neighboring polish stop field or a high spot expresses the situation that the localized hollow is formed in a front face, and the soft pad of "dish INGU" is [ the dish INGU effectiveness ] larger than a hard pad.

[0060] As shown in drawing 16 , by the following production process, Bahia which passes along a layer 24 is formed until it arrives at Bahia where even the lower electrode 27 was previously created through the layer 21. This Bahia is formed by filling up aperture with a conductive ingredient using one which etched the Bahia aperture using laser or plasma dirty processing, next was explained about formation of Bahia in a layer 21 of the above-mentioned restoration processes. Formation of Bahia in the previous layer 21 may be delayed until Bahia in a layer 24 is formed, and it turns out that it does not matter even if it forms Bahia of a layer 21 and a layer 24 simultaneously by the single Bahia formation processing. Moreover, before a layer 24 is ground, or before a layer 24 is hardened, it is possible to form Bahia within a layer 24.

[0061] With reference to drawing 17 , the following process includes the 2nd polish process which removes an alternative and excessive conductive ingredient from the top face of Bahia formed in the layer 24. This polish phase is comparatively easy and does not need to remove all surplus objects. As a following process, polish stop layer 27y is selectively removed by exposing this layer to suitable etching fluid with the polish stop layer 627. Since a tungsten polish stop layer is easily removed by hydrogen peroxide solution, it does not add breakage to copper Bahia or almost all PARIMA \*\*\*\*. Optical waveguide is formed by the layer 24 at the following process. This exists along with the both sides of each waveguide, and is performed by removing the part 624 of the layer 24 which defines the boundary of the side face of the photoelectron device which is not used as an optical input. The plan of the active group plate 20 before the part 624 of a core layer 24 is removed by drawing 20 is shown, and in order to form optical waveguide 24j-24l. of three pieces to drawing 21 , the plan of the active group plate 20 after the part 624 was removed is shown. The part of the layer 21 under the part from which the layer 24 was removed is shown in drawing 21 . As a part of this process, patterning of the partition of the electronic light ingredient 626 is carried out twice so that final Y mold shunt configuration of the switch device 26 may be acquired. A part of patterning of a layer 24 and the electronic light ingredient 626 may be performed to the dry etching processing and coincidence which use the dirty mask which was prepared on [ some ] the layer 24 and electronic light ingredient which should be maintained, and by which patterning was carried out. Wet etching processing may be used. Generally, the width of face of the electronic optical waveguide section 626 and waveguide 24j-24l. width of face are not necessarily in agreement. the [ like gallium-arsenic (GaAs) ] -- like [ in case an III-IV group's compound is used as a section 626 ], when only an amount with the refractive index of the electronic optical waveguide section 626 more substantial than the refractive index of a core layer 24 is large, it is desirable to expand or

reduce the width of face of an electronic optical waveguide section, and to make thin gradually the dimension of the width of face of the section in waveguide 24i-24l. and the hitting location. Since the beam width of the light which this spreads within two ingredients with which refractive indexes differ is maintained at a suitable dimension, an echo on the boundary between two different ingredients decreases.

[0062] As a following process, the layer 23 of the charge of a clad plate is formed on the field which the layer 24 and the lower cladding layer 21 exposed. Thereby, an optical waveguide 24j-24l. side face is covered at the charge of a clad plate. The result of this treatment is shown in drawing 18 . Although the charge of a clad plate is not perfect to the upper part of the removed part 624, all are substantially continued and filled up with it. A small hollow is shown in the front face of the layer 23 which laps on the part 624 from which the layer 24 was removed. Since these hollows are formed general little by little smoothly, a metal line is formed on a hollow, without fracturing. The following processes are performed to make size of a hollow small or remove a hollow. Again with reference to drawing 16 and 17, a polish stop layer is maintained at a right location during clearance of a part 624, and when the 1st layer 23 of the charge of a clad plate is formed on a front face, it is maintained at a right location. Next, flattening of this 1st layer is carried out, and it is ground so that a polish stop layer may be exposed. Next, this polish stop layer is removed and the 2nd layer of the charge of a clad plate is formed on a substrate.

[0063] It is admitted at the process which forms optical waveguide that the following further modifications may be carried out. When the 1st patterning of the electronic light ingredient 626 uses the final patterning processing image to the ingredient as deformation of the 1st, the 2nd patterning process which carries out patterning of some electronic light ingredients 626 is nothing, and may be finished. The dimension of the configuration of Y shunt is expanded in consideration of bad alignment's possibility. The advantage using patterning of two processes is that perfect alignment is attained between Y shunt configuration of the switch device 26, and optical waveguide 24j-24l. by using the 2nd etching process in order to carry out patterning of both layers 24 to the electronic light ingredient 626.

[0064] As the 2nd modification used with the 1st modification, the core materials (namely, light reflex nature) which can limit light may be used. Such an ingredient has the initial refractive index changed by the chemical-rays exposure which is the light which generally has the wavelength of the range of 365nm thru/or 400nm. Since the ingredient which is deposited first in this example has a low refractive index, in early stages, it acts as a cladding layer. In order that this layer may define optical waveguide by next raising a refractive index in the field in which waveguide should be arranged, pattern exposure of it is carried out by exposure. This pattern exposure makes the side face of waveguide surround automatically at the charge of a clad plate. When the active group plate 20 is completed and it is used as a link device, optical waveguide spreads the light (generally light of the range of 600nm thru/or 1.6 micrometers) which has wavelength shorter than the light generally used in order to form optical waveguide. When patterning of the electronic light ingredient 626 is carried out to a final configuration before the layer 24 was formed, the core materials which can limit light can be easily used for a layer 24. However, in order to carry out patterning of the electronic light ingredient 626 after making it waveguide have light limited, excessive down stream processing is added. Moreover, since some electronic light ingredients are equipped with the property which can limit light, a presentation may be changed. The example of the electronic light ingredient which can limit light is McFarland. It is indicated by U.S. Pat. No. 5,541,039 of the name of the invention "Method for Forming Optically Active Waveguides" otherwise published. It realizes, when that an ingredient enables it to limit light generally finds the approach of changing a refractive index according to the light exposure to a chemical-rays exposure. This change is realized by producing chemical change and/or concentration change of an ingredient according to the amount exposed by chemical-rays exposure.

[0065] In the core layer coat process shown in drawing 15 , an alternative cladding layer can be covered on a core layer. After effectiveness of the core layer is carried out (to partial or completeness), an alternative cladding layer is covered and, subsequently soft perfect hardening is performed. The front face where the thickness of a core layer was ground when only a few was lower than the height (an up electrode is included) of a photoelectron device may be included in a cladding layer. In this case, an

alternative cladding layer is formed on a core layer, before a polish process is performed. The approach by two-layer [ this ] improves flat [ of the interface between a core and a layer ], and reduces optical loss. Moreover, since optical field strength is slightly small in the direction of a cladding layer, interface scattering loss is reduced rather than the case where a CMP front face is formed in the boundary of a core and a cladding layer. The thickness of a core layer is chosen so that it may become same extent as the thickness of the photoelectron device / ingredient except an up metal, or less than [ it ]. In this example, optical clad layer thickness may be adjusted by adjusting the thickness of an up metal. Another approach is the approach of performing CMP processing in neither of the layers, a core layer nor an up cladding layer.

[0066] When using the photo detector ingredient hardened by the optical exposure, it is not necessary to perform CMP processing. A core layer is suitable thickness, namely, when covered after the process shown in drawing 15 at the height of the photoelectron device / ingredient except an up layer, comparable, or under its height, the optical exposure by which patterning was carried out can perform waveguide patterning to it easily. If required, the further planar-ized layer and further down stream processing will be applied after an exaggerated cladding layer is formed.

[0067] With reference to drawing 19 , at the last process, Bahia which passes a cladding layer 23 is formed and the up electrode 27, the electric path 30, and the link pad 32 for switch 26 are formed. If the Bahia aperture needs to harden, it will be formed in a layer 23 by the approach of usual [ much ] for any before and after hardening a layer 23 their being. The wet etching or dry etching which uses laser-beam-drilling processing and the dirty mask formed by the photolithography type is included in such an approach. After the Bahia aperture is formed, Bahia is filled up with a conductive ingredient using which the above-mentioned conventional restoration approach. An ingredient is a conductive ingredient preferably, for example, copper is one in the most desirable metal. In order to reduce down stream processing, it is desirable to use a sputter deposition method or uniform electroplating using the seed layer by which sputtering was carried out, and to cover the whole front face of a layer 23 with a conductive ingredient. By performing a uniform coat, according to the etching process which uses the dirty mask formed in photograph RISOGURAFU, since the electric path 30 and a pad 32 are formed, a consecutive etching process can be used. A dirty mask is a wrap about Bahia, in order to be among an etching process and to protect Bahia. Or sputtering of the seed layer may be carried out on the whole front face of a layer 23, and the Bahia aperture. According to the usual photograph RISOGURAFU-process, the mask for plating can be formed on the field in which Bahia, a path, and a pad should not be formed. As the result, a part of exposed seed layer laps on the location of Bahia, a path, and a pad, and the exposed part is galvanized so that Bahia, a path, and a pad may be formed. After plating, in order to remove the mask for plating and to remove the part of the seed layer beforehand covered with the mask for plating, easy uniform etching is performed. When forming a metal layer on a polymer layer in the conventional technique so that it may be well-known, before forming a metal layer, it is desirable to carry out sputtering of the adhesive layer on a polymer layer first. Since thickness (200A thru/or 400A) of a chromium layer is this object, it is used. An adhesive layer is well joined into both a metallic material and a polymer ingredient.

[0068] By adding some down stream processing, VCSEL device 36b' shown in drawing 10 is included in the above-mentioned production process. Before a cladding layer 21 is formed in the first place, adhesive layer 25a is formed on the base substrate 12, and a VCSEL device pastes layer 25a. The top face of the VCSEL device containing an epitaxial lift off is covered with a polish stop layer like a tungsten (0.1 micrometers thru/or 1 micrometer) before pasting layer 25a. Software baking processing is carried out and layer 25a is hardened. A device is not pasted up on layer 25a, a metal layer deposits on the underside of a VCSEL device, and a device is made to adhere to the metal pad formed in the front face of a substrate 12 of various metal bonding processes like \*\*\*\*. Next, ingredient layer 25b is formed on layer 25a. When ingredient layer 25b contains a fluorination polymer ingredient, software BEKU processing is carried out and it hardens. This process substrate is ground in order to remove the part of layer 25b which laps on a VCSEL device. (Tungsten) A polish stop layer protects a VCSEL device in a polish process. A polish stop layer is removed after a polish process. A production process advances the

procedure which begins from formation of the above-mentioned cladding layer 21. The mirror 639 shown in drawing 10 can be formed at any time, after a layer 24 is formed, and after a layer 23 is usually formed, it is formed. As already explained in full detail, a mirror cuts a layer 24 at the include angle of 45 degrees in the field which laps on the bleedoff layer 638, and is obtained by forming the layer of a reflective metal or a refraction metal. Moreover, nonmetal coat-ized VCSEL (namely, VCSEL which does not contain an electrode) may be used instead of VCSEL by which metal formation was carried out. Electrode formation and other semi-conductor manufacture processes may be performed after an upside cladding layer is formed of an upside and bottom processing. In this case, it is used instead of the tungsten (W) layer covered by the front face of metal layer 25b being an electrode on VCSEL as a CMP stop layer. Since it is used in order that the same primitive operation process used in order to unify VCSEL and a mirror may manufacture a vertical mold photo detector, a vertical mold photo detector is preferably manufactured in the above-mentioned example.

[0069] In the above-mentioned example of production, each component part is pasted up on a cladding layer 21 (or layer 25a to a VCSEL device) by ostensible arrangement. However, the component part according to these individuals may be arranged with the inside-out sense by adding the following modification. In the case of components 28, patterning of the layer 27 is carried out so that the connection pad from components 28 may be included, and components 28 have the electrode connected to the connection pad by metal diffusion bonding. It is patterning \*\*\*\*\* so that a cladding layer 21 may expose the contact of the lower layer 27 before that. When components 28 are joined in this way, it becomes unnecessary to prepare the elevated-temperature under-filling ingredient for preventing an air pocket in the bottom of components 28. Bahia is created to the path in a layer 27, in order to complete the electrical connection of components 28. It is as having already explained such formation of Bahia.

[0070] Turning components 28 over and arranging to a substrate has the following advantages, when components 28 are formed of the above-mentioned epitaxial lift-off process. That is, the AlGaAs etching process used in order to remove components from a GaAs wafer is delayed until components are arranged inside out on a cladding layer 21. After the arrangement on a substrate 412, an AlAs etching process is performed in order to separate a bulk GaAs substrate from the epitaxial layer which holds components. In this way, since a GaAs bulk substrate offers the function which supports photoelectron components in an arrangement process therefore, the need of it of using the polymer film, a glass substrate, or other substrates is lost. The whole GaAs wafer is arranged inside out at a cladding layer 21, or it turns out that the dicing of it may be carried out in order that a GaAs substrate may separate the components of each other according to individual first. Another advantage is that a device may be embedded after a waveguide formation process. Thereby, the amount of metal diffusion and device degradation are reduced. In the case of a VCSEL device, these processes are performed using layer 25a and the metal layer formed in the bottom of layer 25b.

[0071] Another processing which unites a thin film device integrated object with waveguide is indicated by drawing 83 thru/or 90. As shown in drawing 83, an epitaxial waveguide photoelectron layer grows on a GaAs substrate, metallization processing is carried out, and in order to form two or more photoelectron devices 620, patterning of it is carried out. A GaAs waveguide core layer has the pin waveguide core layer which has preferably a refractive index which is used for a spot-size conversion laser diode, and which becomes small gradually (for example, the shape of a core is made along the propagation direction of light), although a refractive index changes rapidly. An epitaxial film constitutes an electronic absorptivity optical modulator, a electron optics optical modulator, a photo detector, an optical gate device, an optical switch, a wavelength filter, a tunable filter, a wavelength converter, etc. by using much quantization wells or quantization dot structures. A metal contact layer is deposited on a front face with Au contact layer, and if needed, since the membrane surface of a tungsten is next down stream processing, a CMP process is stopped. The usual patterning technique is used for an up electrode and an epitaxial layer next, and patterning is carried out.

[0072] As shown in drawing 84, the epitaxial thin film containing a device 620 is moved to the transfer substrate for support (glass, recommendation, a Mylar, or other substrates) by the epitaxial lift off. Adhesion between the epitaxial lift-off film and the substrate for support is performed by the base line

(Vaseline), a black wax or epoxy, poly IMIDE, a bonding sheet, thermoplastics, or adhesives like electroconductive glue.

[0073] As shown in drawing 85 , after the lift off of the semi-conductor substrate is carried out, the epitaxial lift-off device 620 is moved on the bottom cladding layer 21 prepared in the substrate 12 made from glass, Xtal, Si, aluminum and AlN, or other various substrate ingredients. The epitaxial lift-off device 620 is attached in the bottom cladding layer 21 using a mechanism better known than the former including Van der Waals force and adhesive bonding. When a metal pad is formed on a cladding layer, since the epitaxial lift-off device 620 is attached, diffusion bonding, solder bonding, transient liquid bonding (TLB), and a wiring link technique (WIT) may be used. In this example, the front face of an epitaxial lift-off device is covered with a metal as shown for the example explained about drawing 91 thru/or 98.

[0074] In order to form the three-dimension waveguide optically combined with the pin mold waveguide waveguide of an epitaxial lift-off partition, a core layer 24 and a cladding layer 23 are continuously formed using the above-mentioned liquid polymer coat process, as shown in drawing 86 . It is desirable to adjust the thickness of a core to under the thickness of the thickness of the pin mold semi-conductor film, an EQC, or the semi-conductor film, and to realize strong optical coupling to a pin core layer. However, the non-uniformity and/or fluctuation with the slight thickness of the core near the edge of an epitaxial lift-off partition do not degrade the effectiveness of optical propagation remarkably. The reinforcement (namely, non-uniformity) of fluctuation may be reduced by using the gaseous-phase depositing method like CVD, MLD, and vacuum evaporation or poly metallization. If needed, in order that the front face of the deposited core layer 24 may raise surface smoothness and uniformity, flattening of it is carried out by CMP. CMP is stopped by the tungsten (W) film of the upper part of the epitaxial lift-off device 620.

[0075] As shown in drawing 86 , the upside cladding layer 23 may be covered on a core layer 24. Thereby, some advantages are acquired. One advantage is that make a core layer in agreement with the height of a photoelectron device, or can thicken slightly, and the degree of freedom of a design becomes large. Moreover, since loss of light scattering is ground to the front face which stops and depends and has a uniform interface, the waveguide loss of a cladding layer 23 decreases. For example, the comparatively thick cladding layer deposited on the core layer 24 can be optically ground easily to the reverse sense to a smooth front face, and since optical field strength is typically smaller than a core layer 24 in the direction of a cladding layer 23, the optical loss in the polish front face in a clad decreases rather than the case where a CMP polish front face is located in the interface of a core/clad. after a core layer 24 is hardened, the alternative upside cladding layer 23 covers -- having -- next, software -- and it fully hardens. Since partial hardening of a core layer 24 makes the adhesion reinforcement between a core and a cladding layer increase, it is desirable.

[0076] As shown in drawing 87 , patterning of the core layer 24 is carried out to the form of long and slender waveguide, next as shown in drawing 88 , another cladding layer 23' is formed around long and slender waveguide. As Bahia and an electrode 27 are shown in drawing 89 , even the electronic light device 620 is formed, next the substrate 12 for bottom clads is moved to another substrate, and as shown in drawing 81 , in order to produce the lower electrode 27 and Bahia, rear-face processing is performed. However, when metallization of a substrate and the bottom cladding layer 21 is performed before mounting of a thin film device, substrate clearance and rear-face processing are unnecessary. Before a barrier layer removes a substrate, it is attached in an another layer or an another substrate. This is suitable in order to acquire the stability on a dimension. If needed, the buffer polymer layer 613 is inserted between a substrate and a cladding layer, and metallization is performed to a buffer layer 613 and a cladding layer so that it may be carried out in drawing 91 thru/or the example by 98. In the case of the example shown in drawing 91 thru/or 98, division of a device is performed after an epitaxial lift off and metallic coating.

[0077] In order to decrease light scattering by the electrode of a device, another example by which thickness of a core layer is made thicker than the thickness of a device is shown in drawing 91 thru/or 98. As epitaxial lift-off device 620' is shown in drawing 93 , it is attached in the pad formed in the

substrate 12, and a substrate 12 is formed on a buffer layer 613 and the dielectric tooth-space layer 614. The spacer layer 614 may be produced from the same ingredient as a cladding layer 21. A cladding layer 21 is formed using device 620' in a right location, next a core layer 24 is formed. The obtained structure is shown in drawing 94. Distortion of a part arises in a core layer 24 in the short field arranged on the outskirts of an edge of epitaxial lift-off device 620'. For this reason, although optical loss of a certain kind arises, since overall optical loss has short dispersion length, it is small. In the example shown in drawing 91 thru/or 98, it is used in order to form a core and a bottom cladding layer so that, as for CVD, MLD, vacuum evaporation metallization, or other gaseous-phase depositing methods, the smoothness of a core layer may be improved, in order to deal with this.

[0078] Next, as are shown in drawing 95, and patterning of the core layer 24 is carried out using one of the above-mentioned approaches, next it is shown in drawing 96, a cladding layer 23 is covered. Bahia and the electrode which were formed in drawing 97 as already explained are shown. A device is removed from a substrate 12, and as shown in drawing 98, it is attached in suitable components. After a device is attached in suitable components, it is removed from a substrate 12.

[0079] As drawing 83 thru/or 90 and drawing 91 thru/or 98 were explained, the thickness of the core of the epitaxial lift-off partition of an activity device is thicker than the thickness of other parts preferably. Thereby, high field strength is obtained with low operating voltage. Furthermore, capacity is reduced when the width of face of an epitaxial lift-off light core is reduced, as shown in drawing 74. As this result, high-speed device actuation is obtained easily.

[0080] Although Bahia connected to the epitaxial lift-off electrode is shown in drawing 90 and drawing 98, other connection methods may be used. It is also possible to form directly the electrode especially connected to the epitaxial lift-off electrode. Many modifications can be considered in the above-mentioned process. When the sensitive material hardened by the optical exposure is used with reference to drawing 86 thru/or 88 once again, CMP is not necessarily required. When the core layer is covered with suitable thickness as the result after a core layer is covered, waveguide patterning may be easily performed by pattern exposure. Flattening is carried out after an upside cladding layer will be formed, if required. The sequence of metallization is also changed. For example, CMP may be performed by making a clad front face deposit the tungsten film of - 3000Å thickness before CMP, using the tungsten film as a CMP stop layer. In this case, the tungsten film on Au is unnecessary. Moreover, to the process shown in drawing 83 thru/or 98, the electrode of a thin film device may be produced after formation of an upside cladding layer, and by this example, after attaching in a cladding layer 21, patterning of the thin film device which is an epitaxial layer may be carried out. The metal diffusion problem produced during hardening of a core and a cladding layer is avoided by this. About these processes, it is later mentioned with reference to drawing 66 thru/or 77 and drawing 12 thru/or 21.

[0081] Although the above-mentioned example explains one epitaxial lift-off technique, this invention is deposited or formed on a substrate, and it is necessary to notice it about being applied to the optical ingredient or device of arbitration by which a lift off is selectively carried out from a substrate. An epitaxial lift off may be realized by using GaAs substrate etching including an aluminum<sub>1-x</sub>Ga<sub>x</sub>As dirty stop, or the layer which can be AlAs etched. However, a semi-conductor substrate is not limited only to GaAs. The epitaxial film relevant to InGaAsP can be used for the application of wavelength (- 1.3micrometer thru/or -1.5micrometer). The lift off of other ingredients may be carried out. For example, it is possible to make the film of high refractive indexes, such as TiO<sub>2</sub>, WO<sub>3</sub>, SiN<sub>x</sub>, and Si, deposit on Si, a metal, or a substrate like a polymer, to remove a substrate by etching selectively, and to embed these film in the form by this invention. Therefore, instruction of this invention may be applied to the thin film material and device of the large range. As an example, when rare metal dope glass membrane is embedded, it acts as a light amplifier. You may also embed organic [ like the luminescence film, the optical refraction film, and the nonlinear optics film ], or the inorganic functional film. The optical delay line constituted with the high refractive-index ingredient is embedded similarly. Therefore, this invention can offer the general-purpose method of integrating two or more optics optically. For example, you may also embed resistance, a capacitor, an amplifier chip, and a driver chip. In the case of the electronic device manufactured on the silicon chip, polish is effective in order to decrease the



thickness of a chip instead of an epitaxial lift off. An adhesion process is included in wearing of the epitaxial lift-off film at processes, such as many ingredients, metal diffusion and AuSn bonding, Pb bonding or a solder process, and WIT, TLB, and a list.

[0082] All the processes and structures that were indicated during explanation of this invention are applied to a matrix optical switch including the waveguide switching for crossbar (XBAR) switching by connecting two or more parts of switch of the moved thin film by the polymer waveguide of the network structure. A switching element contains the optical gate device based on a total-internal-reflection switch, a Mach TSUENDA switch, a digital switch, a directive coupler and a semi-conductor light amplifier, a waveguide filter, or a tunable filter. Since the active group plate equipped with the matrix optical switch function is realized, the approach of this invention may be used.

[0083] The production approach of the active group plate of a high order is extended to various forms in order to produce a more complicated photoelectron link system. For example, in drawing 22, the above-mentioned active group plate 20 is horizontally attached to a back plane (or mother board) 100. A back plane 100 can produce an optical substrate by the production approach of the above-mentioned active group plate including the active group plate 20 and the optical substrate 120 of the dedication which has similar structure. In another example, the active group plate 20 is perpendicularly attached at a back plane (or mother board) 210, as shown in drawing 32 and 33. In still more nearly another example, the active group plate of each other is accumulated on both sides of the inclusion layer containing an integrated circuit chip in between, as shown in drawing 36 thru/or 38, drawing 80 and drawing 118 thru/or 120.

[0084] With reference to drawing 22 the 1st multi chip module structure of a system by this invention was indicated to be, horizontal mounting to the back plane (or mother board) 100 of the active group plate 20 is explained. A back plane 100 contains the active group plate layer 120 which has two or more optical waveguide 124a-124h formed in the interior using the bottom cladding layer 121, the core layer 124 which patterning was carried out and was limited, and the upside cladding layer 123 so that drawing 23 may show. For convenience, moreover, the back plane 100 in this example of explanation holds the active group plate 20 four same MCM (multi chip module) type, and each active group plate carries four IC chips so that generality may not be lost. In order to show the path of optical waveguide 124, since it is removed, two active group plates 20 in four active group plates in drawing 22 are not illustrated. As for each above-mentioned MCM active group plate 20, the V character ditch type optical connector 13 thru/or 15 are replaced by the corresponding vertical-type light couplers 44 and 48 including two or more vertical-type light couplers 154, 156, and 160 to which a back plane 100 transmits and receives a lightwave signal between the MCM active group plates 20. These modification is explained after general explanation of a back plane (or mother board) 100.

[0085] In drawing 22, the location of waveguide with the MCM substrate 20 bottom of the upper left and the upper right and a vertical-type coupler is the same as the location of waveguide with the MCM substrate 20 bottom of the lower left and the lower right, and a vertical-type coupler. The back plane 100 the time (location of the upper left and the upper right) of the substrate 20 being mounted and when the substrate 20 is not mounted (location of the lower left and the lower right) is illustrated by these.

[0086] The light source for back-plane 100 is generated by the luminescence device 136 which is which luminescence device 136 illustrated by drawing 7 thru/or 11. The output of the luminescence device 136 is connected to waveguide 124a, and a path is made to the location where waveguide 124a adjoined the upper left MCM substrate 20. From this location, about 90 degrees waveguide 124a is bent, is wired under the upper left MCM substrate 20, and from it, it is extended so that it may pass through the bottom of the upper right MCM substrate 20. Between the luminescence device 136 and the upper left MCM substrate 20, waveguide 124a passes the level beam splitter 164. The level beam splitter 164 distributes a part of light (for example, 50%) to waveguide 124b which intersected perpendicularly with waveguide 124a. The structure of this level beam splitter 164 is explained in full detail after general explanation of a back plane 100. Waveguide 124b is led to the location where the lower left MCM substrate 20 is arranged, and a path is further made to the location where the lower right MCM substrate 20 is arranged. With the location down side of each MCM substrate, waveguide 124b passes the vertical beam splitter

154 which advances a part of light upward [ of the MCM substrate 20 ], and waveguide 124b is connected to waveguide 24a in the location using the vertical mold coupler 44 (refer to drawing 23 ) for reception. The structure of the vertical beam splitter 154 and the vertical mold coupler 44 for reception is explained in full detail after general explanation of a back plane 100.

[0087] Waveguide 124c transmits a lightwave signal between the lower left MCM substrate 20 and the lower right MCM substrate 20. In order to receive a lightwave signal from a lower left MCM substrate, a back plane 100 contains the vertical mold coupler 160 for reception in the termination bottom of 24h of waveguides of an MCM substrate. The lightwave signal from the lower left MCM substrate 20 is vertically transmitted toward a back plane 100 by the vertical mold coupler 48 for transmission. This light is received by the vertical mold coupler 160 for reception of a back plane 100, and the vertical mold coupler 160 for reception bends only 90 degrees of this light, and advances it to the direction of waveguide 124c. Waveguide 124c transmits a lightwave signal to the vertical mold coupler 156 for transmission with the lower right MCM substrate 20 bottom. A coupler 156 bends 90 degrees of lightwave signals, and advances them at vertical facing up into the vertical mold coupler 44 for reception of the lower right MCM substrate 20. A coupler 44 receives light and is horizontally advanced into 24g of waveguides of bending and a substrate 20 only 90 degrees. The structure of the vertical mold couplers 44, 48, 156, and 160 is explained in full detail after general explanation of a back plane 100. Waveguide 124e is constituted like waveguide 124c, and transmits a lightwave signal to the upper right MCM substrate 20 from the upper left MCM substrate 20 in the same form using the same structure as a vertical mold coupler.

[0088] The usual V groove connector 112 connects with an optical fiber 102 at one edge, and 124d of waveguides receives the lightwave signal on the fiber 102 from the external source by it. It connects with the 2nd vertical mold coupler 156 for reception at another edge, and the 2nd vertical mold coupler 156 advances [ d / of waveguides / 124 ] a lightwave signal up into the vertical mold coupler 44 for reception of the lower left MCM substrate 20. This vertical mold coupler 44 advances a lightwave signal to 24g of waveguides of the lower left MCM substrate 20. It connects with an optical fiber 103 at one edge through the V groove connector 113, and 124f of the optical waveguides itself is connected to the 3rd vertical mold coupler 156 at another edge. 124f of waveguides receives an external signal from an optical fiber 103.

[0089] 124g of waveguides is connected to the 2nd vertical mold coupler 160 for reception at one edge. This vertical mold coupler 160 for reception receives a lightwave signal from the lower right MCM substrate 20, and advances it into 124g of waveguides. Another edge of 124g of waveguides is connected to an optical fiber 104 by the usual V groove connector 114, and the lightwave signal in 124g of waveguides is transmitted as an output signal of a back plane 100. It connects with the 3rd vertical mold coupler 160 for reception similarly (although not illustrated by drawing 22 , it is under the upper right MCM substrate 20), and 124h of optical waveguides is connected to an optical fiber 105 through the V groove connector 115. 124h of waveguides transmits an output signal to an optical fiber 105 from an upper right MCM substrate.

[0090] Supply voltage is transmitted to the MCM active group plate 20 from a back plane 100 with the conductive pads 151 and 152, as shown in drawing 22 . A power source is distributed to a back plane 100 by the conductive layer in the active group plate 120. The activity MCM substrate 20 increases so that the power-source pad to pads 151 and 152 with which it corresponded for connection may be included. A back plane (mother board) 100 has an electric path for transmitting an electrical signal between MCM modules. An electric path is formed in the layer insulated in dielectricity using Bahia in which even each connection pad was formed.

[0091] Instead of using an optical fiber, in order to transmit a lightwave signal between an MCM module or a back plane, a "film waveguide array" or the array simply called a "waveguide array" may be used. Such waveguide is constituted by the thin flexible sheet of the polymer ingredient which has two or more optical waveguides surrounded by the charge of a clad plate, and usually possesses a vertical mold coupler to an end or ends. One edge of a waveguide array is pasted up on the field of a barrier layer 120 so that the vertical mold coupler in an edge may align with the vertical mold coupler to which



it corresponded in the layer 120. A fiber array or a imaging guide is also effective. It does not matter even if the source 136 of photoelectricity may be arranged at a photoelectron MCM substrate side or the source of photoelectricity is supplied by the external light source. When the source of photoelectricity is supplied by the external light source, the active group plate of a back plane 120 has only waveguide, a mirror, and a grid reflector, and does not contain a photoelectron device.

[0092] The beam splitter and vertical mold coupler of the MCM substrate 20 are explained to back-plane 100 list with reference to drawing 23 thru/or 27 following general explanation of the structure of a back plane (mother board) 100. These drawings show that the base substrate 12 which is downward is removed from the active group plate 20, and optical coupling of the lightwave signal between a back plane 100 and the active group plate 20 is improved. The base substrate 12 is constituted by aluminum or silicon, glass, or the substrate ingredient in which other clearances are possible, and is removed using etching or other clearance approaches. Other metals and ingredients which can be etched may be used. In this case, the etching stop layer for protection is inserted between the base substrate 12 and the active group plate 20. Furthermore, in order to separate the base substrate 12 from the active group plate 20, a substrate dissociation technique which is indicated by U.S. Pat. No. 5,258,236 published by Arjavalingham etc. may be used. A transparence substrate, the polymer dissociation layer which may be exhausted by the laser beam applied through the transparence substrate, and the reflective metal layer formed on the polymer dissociation layer in order to protect the active group plate 20 from a laser beam are typically used for these approaches. Another approach uses the silicon wafer equipped with the aluminum up layer thick as a substrate 12, and etches an aluminum layer into a longitudinal direction from the side face of a wafer (the protective coating was prepared in the top face of the active group plate 20).

[0093] The sectional view of the vertical mold beam splitter 154 of a back plane 100 and the MCM substrate 20 of the back plane (mother board) 100 in the field of the vertical mold coupler 44 for reception of a substrate 20 and the upper left is shown in drawing 23. A back plane 100 is constituted by the base substrate 12, the conductive layer 151 which supplies the potential ( $V_c$  or gland) of one power source, the bottom clad 121, a core layer 124, the upside cladding layer 123, and the 2nd conductive layer 152 that supplies the potential (a gland or  $V_c$ ) of the 2nd power source. As already explained, the same ingredient as layers 21, 23, and 24 may constitute layers 121, 123, and 125, respectively. moreover -- a certain kind of case -- layers 21, 23, and 24 -- thermal stability -- being low (for example, high processing temperature not being borne like epoxy and acrylate) -- the ingredient with which optical transmission loss was reduced may be used for layers 121, 123, and 124. The vertical mold beam splitter 154 is formed in the pass of waveguide 124b, and forms the optical grids structure 155 which has various structures in the conventional technique so that it may be well-known. A grid 155 has the repeat structure of an optical ingredient of having a different (it being small or it is large) refractive index from the refractive index of waveguide 124b. When incident light shines upon the ingredient of a grid 155, a part of light is perpendicularly reflected from the front face of a grid 155, and a part passes a grid 155. It depends for the ratio of a reflective part and a transparency part on a grid 155, the difference of the refractive index of core materials 124, and the count of the repeat in a grid at this time. In order to realize 90-degree angular difference between incident light and the reflected light, a part of front face of a grid 155 makes the include angle near 45 degree to the pass of optical waveguide 124b at least. Since a grid 155 is detached so that the phase of the echo from a front face may carry out abbreviation coincidence, the echo from each grid is added in configuration, in order to build the light beam transmitted to the active group plate 20. Generally, spacing of this grid is one wave of order of light, as measured with ingredients 124 and 155. Leby In order to manufacture such grids structure, the approach of etching a 45-degree trench into a polymer ingredient is indicated by U.S. Pat. No. 5,116,461 otherwise published. After the etched structure is formed, it fills up with the ingredient which has a different refractive index. The amounts of a slight light reflected up are the number of grids, and a function with the difference of a refractive index, and are calculated by this contractor using well-known photometric analysis.

[0094] In the overall height of waveguide 124b, the known grid structure of the number of arbitration

can be used, and it does not need to spread [ a grid 155 needs to continue and ]. When waveguide 124b is made from photosensitive core materials, the part corresponding to the grid section 155 is removed in it by the optical exposure using an interference pattern which is generated by the holographic means. In the same form, such an exposure is used with optical refraction core materials. Moreover, the repeat grid structure of other types which are indicated by U.S. Pat. No. 4,806,454 may be used. Or instead of using a grid, since the same function which turns a part of light up and is reflected vertically is realized, a semitransparent mirror (for example, chosen so that the reflection factor by which thickness and/or a presentation were controlled may be realized), or a multilayer dielectric filter may be used.

[0095] As for a part of light perpendicularly reflected from the grid 155, even a substrate 20 passes the ball of the optical adhesives ingredient 153. optical adhesives -- the refractive index of core materials 124 and 24 -- becoming -- having approached (for example, refractive index near [ refractive index /  $n = 1$  / of air ] whether you are Haruka) -- it has. Optical adhesives raise the transmission efficiency between a back plane 100 and the active group plate 20 by decreasing the magnitude of a wave reflected. Instantiation-adhesives are reference:NORIO. It is indicated by MURATA, "Adhesives for Optical Devices", and 48th electro nick component - and - technology conference (ECTC, May 1998). The poly IMIDE ingredient may be used. Or the refractility adhesives based on JP,9-157352,A, JP,8-320422,A, JP,7-077637,A, and the refractility compound currently indicated by Europe disclosure patent EP-689,067-A may be formed. The self-condensing beam effectiveness (SOLNET) indicated by the Europe patent application EP-No. 689,067 description may be used in order to form vertical waveguide in the body of the optical adhesives formed between substrates. In this process, since some ingredients which a light beam passes first have the refractive index raised by the light beam, core materials are made from a part of this ingredient, and the remaining part of this ingredient acts as a charge of a clad plate. Thereby, self-alignment mold vertical optical waveguide is produced. The initial beam of light is given by external impression of the write-in light beam which was supplied through one waveguide or was sent from the one side of optical junction. Furthermore, it is effective to give the light from both waveguides or the beam from optical junction [ both ] side.

[0096] In order to raise optical coupling rather than the case where an ingredient does not exist between substrates in addition to these selectable range, the conventional bonding sheet or conventional under-filling ingredient of a large number which have a refractive index very near the refractive index of waveguide may be used. The vertical mold coupler 44 of the active group plate 20 is constituted like the optical waveguide connected to the output of a VCSEL device which was explained with reference to drawing 9 . Optical Bahia 45 forms aperture into Layers 25a and 25b and a cladding layer 21 using laser-beam-drilling processing, laser melting, or plasma etching (preferably, after hardening, carried out), and is formed by filling up such aperture with core materials common when a layer 24 is formed. Next, mirror structure is produced by forming a bevel front face in waveguide as above-mentioned, and forming the layer of a reflective metal or the charge of a reflector on a bevel front face. In a case of a certain kind, optical Bahia is [ like / when the optical absorption multiplier of Layers 25a and 25b is small enough ] unnecessary. Since the acid-resisting (AR) film decreases the echo of light, it may deposit on the surface of a substrate.

[0097] The sectional view of the MCM substrate 20 of the back plane (mother board) 100 in the field to which optical waveguide 124e touches the vertical mold coupler 156, and the upper right is shown in drawing 24 . The vertical mold coupler 156 contains the layer 158 of the reflective metal formed in some [ 157 ] beveled structure edges of an ingredient layer. This beveled structure is formed of the RITOGURAFIKKU exposure which uses laser (laser which has include angle leaned 45 degrees to ingredient layer is used) melting, laser (for example, laser which carried out tilt at include angle of 45 degrees is used as indicated by U.S. Pat. No. 5,116,461) auxiliary plasma etching, or the leaned substrate. The desirable laser melting approach which forms the cut end of beveled structure is explained in full detail with reference to drawing 99 thru/or 110.

[0098] The vertical mold coupler 156 can also be included in the processing step which is formed in a normal location and forms the active group plate 20 explained with reference to drawing 12 thru/or 19. Such a step is explained in instantiation after explanation of other optical couplers. The sectional view of

the back plane 100 in the field which carries out termination to drawing 25 within the vertical mold cup 48 for transmission which has 24h of optical waveguides of the active group plate 20 on the vertical mold coupler 160 for reception of a back plane 100, and the upper left MCM active group plate 20 is shown. The vertical mold coupler 48 for transmission has the same configuration as the vertical mold coupler 44 for reception shown in drawing 24 except for the sense of a mirror layer 46. The vertical mold coupler 160 for reception has the same configuration as the vertical mold coupler 156 for transmission shown in drawing 24 except for the sense of a mirror layer 158. Instead of using the couplers 156 and 158 by the side of a back plane, it needs to be cautious of the couplers 44 and 48 by the the side of a back plane being used.

[0099] Moreover, it is necessary to notice the grids structure of the vertical mold beam splitter 154 about the point which can be used with the grid 155 of the suitable sense instead of the vertical mold couplers 156, 160, 44, and 48 of arbitration. In such structures, the reflected light increases about the transmitted light by choosing the ingredient which has a large difference in a refractive index. Or in order to realize total reflection, a mirror may be used instead of a beam splitter 54.

[0100] The plan of the horizontal-type beam splitter 164 is shown in drawing 26 , and the sectional view is shown in drawing 27 . The structure of this horizontal-type beam splitter 164 is similar with the structure of the vertical mold beam splitter 154 except for the point arranged at the sense from which a grid differs as shown by the number 165. Since it is not leaned to the front face of a core layer 124, a grid 165 can be manufactured more easily than a grid 155. It is used in order that the aperture for grid 165 in easy anisotropy plasma etching or laser melting of a core layer 124 may be formed using a metal, photoresist mask (plasma etching), or dielectric multilayer mirror (laser melting).

[0101] Next, with reference to drawing 99 thru/or 108, the desirable laser melting approach which forms the beveled structure cut section using the inclined laser which collides with a shadow mask by whenever [ tilt angle / of 45 degrees ] is explained. According to this desirable bevel cut approach, the beveled structure mirror aligned in the desirable direction of waveguide of arbitration is manufactured. Moreover, this desirable bevel cut approach can patternize the different bevel cut direction on the same wafer.

[0102] In the 1st step, as shown in drawing 99 , a metal or the mask [ exhausting / dielectric ] layer 810 is deposited on the polymer waveguide substrate 20. The polymer waveguide substrate 20 has a cladding layer and a core sublayer, and may contain other components selectively. Pattern NINGU of the mask [ exhausting ] layer 810 is carried out at a lithography type using aperture 811, and all mirrors are formed eventually. It is used in order to choose the aperture from which the additional metal shadow mask 820-1,820-2,820-3 and additional 820-4 are removed in the specific cut direction in order to decrease the patterning number of steps of a required lithography type. A shadow mask 820 is a block or a part of dark aperture 811 preferably. Preferably, a shadow mask 820 contains the slightly larger aperture 821 than the lithography type aperture 811 which should be removed at a specific step [ exhausting ]. A shadow mask 820 contacts a wafer front face directly, or is arranged up slightly [ a wafer front face ].

[0103] In the 1st bevel cut step, the metal shadow mask 820-1 is arranged on a wafer in order to protect a part of desirable aperture 811 by which pattern NINGU was carried out at the lithography type. With reference to drawing 100 , one edge of each irradiated lithography type aperture 811 is covered by homogeneity with the mask [ exhausting ] 810 during exposure of the polymer layer by the excimer laser beam 830, and a substrate 20 and laser 830 can determine the sense relatively so that the edge of another side may be cut. That is, in the aperture of the exposed mask [ exhausting ], the profile of an illuminance fixed as a function of the depth of a trench forms the field of the shape of a parallel pipe, and the inclination to the field normal of the trench of the parallel pipe is the function of the tilt angle of laser. Since a mirror plane including the effectiveness of refraction and diffraction is formed, a substrate 20 and laser 830 can decide the sense mutually to form the aperture wall which has the include angle of about 45 degrees to the field normal (namely, the top face and underside of waveguide) of the bottom of waveguide. a laser beam moves a laser beam or a substrate -- or the front-face top of a shadow mask and a substrate is scanned with the combination of both migration. A laser beam is fully broad, and such

migration is unnecessary when the whole substrate field can be covered. Such a scan method is called "MUBINGU neon ablation" or the NMA method. However, the laser of other types may be used. Laser radiation forms the parallel pipe-like trench 840 which has whenever [ wall-angle / of 45 degrees ] on two side faces within the aperture which is not covered as a result of the shielding effect of the RISOGU graphic mask layer 811, as shown in drawing 101 as 840-1. However, the shadow mask 820-1 is removed in this drawing. This process changes the sense between the field normal of a substrate 20, and laser 830, it arranges the 2nd shadow mask on a front face in order to expose other aperture, and it is repeated by deciding the sense of a sample suitable for another direction. Among the drawing, in order to distinguish these directions, the sense of 1 thru/or 4 is assigned to the edge of a substrate. For example, in order to form the beveled structure cut section on two another side faces, 90 degrees of samples rotate fixing laser 830, as shown in drawing 102, and they are again exposed using a shadow mask 830-2 which is different as shown in drawing 103. The inclined trench 840-2 obtained by this is shown in drawing 104. By repeating this process, the mirror plane equipped with the cut direction and location of arbitration is formed. This is shown in drawing 105 thru/or 110, and two additional steps [ exhausting ] which use two additional shadow masks 820-3 and 820-4 are expressed with the corresponding trench 840-3 and 840-4.

[0104] The same process [ exhausting ] is changed in order to realize a vertical side attachment wall similarly. Electric shielding is not produced by setting a beam to the sense vertical to the front face of a mask [ exhausting ]. Therefore, a laser beam advances into aperture in the direction of a right angle, as shown in drawing 111 thru/or 113, and a shadow mask 820-4 is used in order to form not the inclined side-attachment-wall cut section but a vertical side attachment wall.

[0105] Drawings 114 and 115 are the plans and sectional views of the corner rotating mirror 850. In the field of integrated optics, a vertical side attachment wall is used in order to make another coplane waveguide turned in the direction which is formed from the same barrier layer and is different deflect waveguide mode as shown in drawings 114 and 115, so that it may be well-known. When forming the corner rotating mirror 850, it is effective to use a 45-degree reflector according to 90-degree angle of reflection, in order to deflect waveguide mode horizontally. It depends for the effectiveness of a corner rotating mirror on the plumbness of a mirror plane like common knowledge in the field of integrated optics. Since the mirror plane of truth is [ a mirror ] vertical, even when only abundance has shifted, effectiveness falls remarkably. Therefore, though RIE is used in order to form a corner rotating mirror, it is more smooth, and since the laser melting approach has the capacity to give the good mirror plane of perpendicularity, it is a desirable approach.

[0106] with reference to drawing 114, the light in the 1st waveguide partition 851 is reflected in the inside inside and the 2nd crossed at right angles in the 45-degree mirror plane 850 and which is boiled waveguide 852. A mirror is preferably constituted by a part of waveguide etched in the direction of a normal on the front face of a wafer. The etched front face is etched in the whole region of a core layer 24 and a cladding layer 23, and a part of layer 21 in order to realize the echo of a perfect light from the 1st waveguide partition 851 substantially to the 2nd waveguide partition 852 preferably. However, since an activation reflection factor decreases when a perfect echo is not required, a mirror should just be selectively etched by the outside cladding layer. As shown in drawing 115, after the polymer cladding layer 23 and a core layer 24 are removed, a side attachment wall is covered with the reflective surface of metal 853, next an upside cladding layer deposits it. This substrate is removed later if needed.

[0107] The mask structure from which a large number differ is used for a laser melting process. The reflective multilayer dielectric mask other than a metal mask may be used. A multilayer dielectric mask contains the ingredient which has a low rate of optical absorption on the frequency of excimer laser. Moreover, the dielectric constant of a multilayer dielectric, i.e., a refractive index, and the thickness of a layer are chosen so that a mask may reflect light efficiently on a excimer laser frequency. Generally, the mask exhausted at a rate very lower than a polymer layer is used. a multilayer dielectric lithography mask -- dramatically -- thin -- an edge -- since resolution is raised, it is desirable. Since a laser melting process irradiates a large area preferably, it includes a means to change a beam to a sample. The movable stage for making a beam scan or a general technique like optical system is used for this object.

Excimer laser is desirable laser and may use other ultraviolet laser like a THG-YAG laser or a FHG-YAG laser. Gas [ exhausting ] like helium may be used as support.

[0108] Many same principles are used in a reactive-ion-etching (RIE) process. It deposits on the surface of a substrate, and patterning of the RIE mask is carried out so that aperture may be formed. An additional shadow mask is used in order to protect a part of aperture from RIE. Directivity RIE makes ion collide on a substrate at the inclined include angle. Since electric shielding of ion is similarly performed by the mask, the inclined side attachment wall is generated. In this way, a RIE process is used for the above-mentioned process shown in drawing 99 thru/or 113 instead of a laser beam, and it is repeated.

[0109] Drawings 116 and 117 are the plans and sectional views of another example of the waveguide coupler possessing a 45-degree waveguide mirror. Fluorination poly IMIDE or a waveguide cladding layer 21 like ultraviolet curing possible epoxy is first deposited on the substrate in which clearance like an aluminum substrate is possible. Next, a core layer 24 deposits. Patterning of the core layer 24 is carried out into waveguide. The upside cladding layer 23 is deposited on the core layer 24 by which patterning was carried out. Next, in order to form a mirror / coupler front face, patterning of a core layer 24 and the cladding layer 23 is carried out using RIE or laser melting. As shown to drawings 107 and 108 by the number 853, metallic coating of the front face is carried out. Clearance of a substrate is performed after the film is attached in an another substrate or the another film. Moreover, while a substrate is removed, other modifications like formation of an electric contact pad and beer may be carried out. An alternative buffer and a passivation layer may be added. As long as it is required, a mirror may be formed after a core layer 24 is formed before deposition of the upside cladding layer 23.

[0110] The fabrication of the vertical mold couplers 156 and 160 as shown in drawing 21 thru/or 27 is easily incorporable into the fabrication process which produces the optical switch 26 explained with reference to drawing 12 thru/or 19 as above-mentioned. This additional process is shown in drawing 28 thru/or 31. With reference to drawing 28, when forming the lower electrode 27 of the switch device 26, the lower metal patch 159 is simultaneously formed for a vertical mold coupler. The metal patch 159 functions as a barrier layer to laser-beam-drilling processing, next laser melting, or a next plasma-etching process, and is prepared mainly in the location where a laser beam collides with a layer 121 at a consecutive etching process. Next, the same ingredient layer 157 as a layer 626 is formed, and the up metal mask layer 161 which has the aperture by which the beveled structure cut section is produced is formed. Next, inclined etching is performed in order to form the inclined aperture 162 and the beveled structure edge for a vertical mold coupler. The process of laser auxiliary plasma etching using the MUBINGU neon ablation (MNA) explained with reference to laser melting and drawing 99 which were already explained thru/or 113, and the inclined laser, plasma etching using the inclined substrate, or the usual plasma etching using the mask with which the point becomes thin may perform inclined etching. A layer 161 functions as a dirty mask for this process by preparing the aperture which the laser beam which collides with a layer 626 passes in order to form the inclined trench. In MNA, the 2nd mask is used, and melting is performed repeatedly, changing an include angle. When an ingredient is photosensitivity, the inclined cut section is formed by irradiating a substrate, next developing the actinic rays to which the sense was leaned to the front face of a substrate. Since a layer 161 acts as a portable conformal mask (PCM), uniform exposure to actinic rays is performed. The result of this process is shown in drawing 28.

[0111] With reference to drawing 28, a layer 161 is removed and the combination layer 627 of corrosion stop / polish stop is formed on the front face of a substrate like the above-mentioned process. Then, the mirror metal 158 for vertical mold couplers is formed on a layer 627, and both layers are simultaneously formed by the standard pattern etching process which passes along the photoresist layer by which patterning was carried out. Next, a substrate is the already explained approach and an anisotropy processes a polymer ingredient in a standard plasma-etching process selectively. Such plasma etching is well-known in the conventional technique. The result of these processes is shown in drawing 29. Next, as shown in drawing 30, a core layer 124 is formed on a substrate and hardened. Finally, a substrate is ground by chemical machinery polish like the above-mentioned approach. The obtained

substrate is shown in drawing 31 . Typically, the topmost part of the mirror ingredient 158 is removed more easily than the polish stop layer 627. Processing of a substrate is resumed from the already explained process which was shown after the polish process at drawing 16 . As an alternative process, the upside cladding layer 123 is formed after a beveled structure partition, and has the aperture filled up with the same ingredient as core layer 124b. Generally, light does not need to etch a cladding layer 123 in the location perpendicularly reflected from core materials. The reason is that the light which comes outside collides with a cladding layer at the include angle of 90 degrees of larger abbreviation than a critical internal reflection angle. However, when a part of cladding layer exists above a mirror, a part of light is reflected, loss of the corresponding effectiveness arises, and the amount of light reflected increases while the difference of a refractive index becomes large.

[0112] It is desirable to transform the process which reduces the waveguide loss accompanying light scattering relevant to the boundary granularity of a CMP polish front face. In the core layer coat process shown in drawing 30 , since an alternative cladding layer improves smoothing of the interface near a core layer, it may be covered on a core layer. After a core layer is hardened (to partial or completeness), an alternative cladding layer is covered and software and perfect hardening are performed. When only a few is thicker than the height of a photoelectron device, a polished surface has the thickness of a core layer in the alternative cladding layer on a core layer. This two-layer approach improves flat [ of the boundary between a core layer and a cladding layer ]. It is because the cladding layer with the alternative reason is ground to a common flat surface and light-scattering loss is decreased potentially. moreover, a polished surface is [ in a cladding layer ] quite long -- continuing distance (for example, thousands of A or more), as the result, it is reduced in a polished surface and optical reinforcement decreases scattering loss. Therefore, as for the thickness of a core layer, it is desirable to choose so that it may become a photoelectron device except an up metal or under the height of an ingredient. The reason is that alternative clad layer thickness is defined by selection of the thickness of an up metal. Or light-scattering loss is reduced when a CMP process is applied not after formation of a core layer but after formation of an upside cladding layer. Another approach applies a CMP process to neither a core layer nor an upside cladding layer. The front face which is not a plane is obtained by this, if needed, this front face forms a flattening layer on an upside cladding layer, and, subsequently flattening is carried out by performing a CMP process on a flattening layer.

[0113] This manufacture process is further changed, in order to skip the CMP polish process of making main interfaces producing light-scattering loss. In order that the sensitive material hardened by the optical exposure may carry out patterning of the waveguide, when being used, CMP is not necessarily the need. After the process shown in drawing 30 , when a core layer is covered with the sensitive material of suitable thickness (i.e., when it is near the height of the photoelectron device / ingredient except an up metal, or under height), waveguide patterning may be performed by optical pattern exposure. Although the waveguide by which patterning was carried out crosses a part of 45-degree front face of a reflector, in case the guided light is reflected by this, the function is not barred remarkably. The further flattening layer is applied after an upside cladding layer is formed if needed.

[0114] The process which forms a beveled structure mirror plane is performed after an up cladding layer is formed on a core layer. Since the wave which dissipates may be reflected in this example, total reflection is predicted. That is, since it can etch through an upside cladding layer and a core layer and can etch through a part of bottom cladding layer at least, all optical modes are interrupted in a mirror plane, and a mirror plane is reflected. The part in optical mode power exists typically as everyone knows as a "tail" which dissipates in a clad field in the field of integrated optics. In this way, the effectiveness of the mirror in reflective mode is somewhat improved, when a mirror plane spreads through an upside cladding layer and a bottom cladding layer.

[0115] The link substrate containing a barrier layer is mounted at right angles to a back plane (or mother board), with the edge of an interconnect substrate, it is transmitted and received, and a lightwave signal is received and transmitted on the surface of a back plane. One example of the structure 200 by which two or more link substrates, i.e., photoelectron multi chip module substrate 10", were mounted in the vertical sense by the back plane 210 is shown in drawing 31 and 32. Although MCM substrate 10" is

manufactured in the above-mentioned MCM substrate 10 and the same format as 10', almost all the waveguides that transmit the signal which frequents MCM substrate 10" are connected with the edge of the substrate which touches a back plane 210. A back plane 210 contains two or more waveguide 224a-224g formed in the base substrate 212, barrier layer 120", and barrier layer 120." Waveguide 224a-224g, it is used in order to transmit a lightwave signal between MCM substrate 10." When being used in order to transmit a lightwave signal instead of an optical switch device (for example, modulator) being a luminescence device, the source of external photoelectricity is used. In order to establish the external light source, the source board 280 of photoelectricity which communicates with a back plane 210 like MCM substrate 10" as an example is used. In this case, the source of the optical power supplied on the source board 280 of photoelectricity is transmitted waveguide 224a-224g. A power-source board contains two or more laser diodes LD. The output of a laser diode LD is delivered by the waveguide of a board 280, and the waveguide of a board 280 is connected with the edge of the board which adjoined the back plane 210. The output of two or more laser diodes LD makes the power level within waveguide increase, and/or by the same waveguide, the light of the wavelength of two or more pieces is combined with a Y shape composition vessel, addition or in order to carry out multiplication. This is shown by two laser diodes LD of the center on a board 280. The wavelength of much light is mutually separated by the grid filter constituted like the above-mentioned grid beam splitter. A grid filter may be realized by forming a dielectric multilayer filter instead of a metallic reflective layer at a certain kind of case. Demultiplexing of a multiple wave length signal is performed on MCM or a back plane. A board 280 is constituted like the MCM substrate 10 and 10'.

[0116] in order that a vertical mold coupler like a coupler 160 may combine a lightwave signal for a lightwave signal between waveguide 224a-224g of the back lane 210, the waveguide of a photoelectron MCM substrate, and the power-source board 280 -- barrier layer 120" of a substrate back plane -- it is prepared inside. Other optical couplers like couplers 154 and 156 shown in drawing 23 -24 may be used, and a mirror may use the coupler same type like the couplers 44 and 48 currently formed in the edge section of a core layer and a cladding layer. The sectional view of the system structure object 200 is shown to drawing 33 by the field in which forefront photoelectron MCM substrate 10" adjoins a back plane 210. By drawing 32 , the detail with which substrate 10" seems to adjoin a back plane 210 is omitted for visual intelligibility. The detail with which substrate 10" seems to adjoin a back plane 210 is shown in drawing 33 . Barrier layer 20of MCM substrate 10"" is separated from the base substrate 12 along with the edge in the location where substrate 10" contacts a back plane 210. There are some advantages in this structure. It can stabilize and hold by the receptacle 225, without adding the base substrate 12 of substrate 10" to the 1st, and adding breakage to waveguide at the edge of substrate 10." The edge of a substrate can be wired and electric path 30' of the top face of a substrate 12 can be mechanically connected [ 2nd ] now to the usual electrical connector 226 in a receptacle 225. It becomes unnecessary therefore, to form Bahia which passes along a substrate 12. When a substrate 12 is constituted by the multilayer electrical-and-electric-equipment substrate, generally Bahia is prepared. Each electrical signal on a connector 226 is sent to the connection pad 232 to which the back plane 210 corresponded with each wire 227 and the connection pad 228. The connection pads 228 and 232 are soldered to one, transmit an electrical signal, a gland, and a power source, and also in order to attach a receptacle 225 in a back plane 210, they are useful.

[0117] separating barrier layer 20" from a substrate 12 as the 3rd advantage -- the waveguide of layer 20" -- layer 120" of a back plane 210 -- it may be made to come to align more with an inner vertical mold coupler (for example, coupler 120) at accuracy Poor large alignment produces a substrate 12 between waveguide and a vertical mold coupler by this distortion, including several microns distortion in many cases. The top face of a back plane 210 is equipped with the 2nd receptacle 235, and it is arranged in a more exact location to the vertical mold coupler in a back plane 210 (for example, coupler 160). When MCM substrate 10" is inserted in a receptacle 235, barrier layer 20" is guided into the 2nd receptacle 235, and comes to be able to carry out alignment to X shaft orientations dramatically to a vertical mold coupler by the flexibility of barrier layer 20" at accuracy. The definition of system of coordinates is shown in drawing 32 . In order to maintain the insulator bridge 237 at the condition of



having estranged layer 20" from the substrate 12 about the direction of X, it is used by MCM substrate 10." In order to align waveguide about the direction of Y at accuracy at a vertical mold coupler, a receptacle 235 includes a slot 239, as shown in drawing 33. The long side of a slot 239 is parallel to a Z direction, as for MCM substrate 10", a key 238 is formed on the top face of barrier layer 20", and a key 238 suits in the form where it nestles up in a slot 239. In order to obtain the optical coupling excellent in the Z direction, a small amount of optical adhesives or a liquid refraction ingredient is arranged at the bottom of a receptacle 235, and is dried to viscosity or an adhesive condition, and the edge of barrier layer 20" contacts the layer of optical adhesives, and is pasted up on the layer. By contacting the edge of barrier layer 20" in a layer 123 soon, in order to obtain comparable good optical coupling substantially, the need of optical adhesives is lost. If needed, in order that an antireflection film may raise barrier layer 20" and the optical coupling of 123, it is applied to both layers.

[0118] Being used in order that the conventional optical coupler may combine waveguide with a back plane 210 from MCM substrate 10" is admitted. Since connection of this type can use the connector marketed, it is convenient. In this case, two or more connections per waveguide are needed, it originates in the optical insertion loss of a coupler, and optical loss increases. With reference to drawing 33, the 1st waveguide connector is attached in the edge or front face of barrier layer 20", and, on the other hand, the 2nd waveguide connector is attached in the front face of a layer 123 near the vertical mold coupler 160. The 1st and 2nd connectors may be combined in one. However, the optical loss relevant to transition exists in every boundary of waveguide and a connector, and a list for every boundary of a connector and a connector. moreover, a lightwave signal and the source of photoelectricity -- the conventional V groove connection 112 or a conventional field normal connector -- barrier layer 20 of substrate 10"" -- it is admitted that MCM substrate 10" is supplied through the optical fiber 102 connected to inner waveguide, film waveguide, an optical fiber array, or a imaging guide.

[0119] In drawing 33, on each substrate 12 and 212, barrier layer 20" and 120" consider the case where it is produced soon, and are illustrated. However, as shown in the example of drawing 34, barrier layer 20" and 120" are produced independently, and it is admitted that each substrate or a printing substrate may be pasted. According to this approach, a technique which is different in order to produce an electric link and an optical link can be used. Moreover, MCM substrate 10" can separate barrier layer 20" from a substrate 12 easily with the edge in contact with a back plane 120. In the case of the example shown in drawing 33, barrier layer 20" is produced on a substrate 12, and the patch for electric anticorrosion of an ingredient is arranged on a substrate 12 along with the edge into which layer 20" should be separated from a substrate 12, before barrier layer 20" is formed. After layer 20" is formed, the patch for electric anticorrosion is etched by the longitudinal direction from an edge.

[0120] IC chip is closed as the further invention based on an active group plate technique by the dielectric film with which the contact pad was formed in the film front face for the installation to an active group plate. In order for this to form the three-dimension multi chip module which has the link of both an electric link and an optical link, it becomes possible to carry out the laminating of IC chip layer and the active group plate layer by turns.

[0121] The abbreviation sectional view of the chip layer 350 attached in the active group plate 320 is shown in drawing 35. In this example, two chips 351 and 352 are closed by the dielectric film, and the active group plate 320 is constituted by the VCSEL emitter device 336 and the photo detector device 328. The laminating of the chip layer 350 is carried out to the active group plate 320 with the anisotropy conductivity film 302. Such film is well-known in the conventional technique. The VCSEL emitter device 336 is controlled by the chip 351, and transmits a lightwave signal to the vertical mold coupler 344 in the active group plate 320. Waveguide 324a is connected to the vertical mold coupler 344. Waveguide 324a transmits a signal to the vertical mold coupler 348 for transmission, and the vertical mold coupler 348 for transmission advances a lightwave signal to the direction of the light-receiving device 328. The electric generating power of a light-receiving device is connected to the circuit on the 2nd chip 352. The chip layer 350 and the active group plate 320 transmit an electrical signal mutually through the contact pad 332 which countered, and have the electric path 330 and electric Bahia 333. The contact pad 332 of each other is connected through the ball of the conductive ingredient distributed in



the anisotropy conductivity film 302. Since the electrical connection obtained with a pad 332 makes connection of the perpendicular direction instead of the direction of a x axis within the field of a substrate, or y shaft orientations, it is often called z-axis connection.

[0122] The structure of an active group plate is roughly shown for visual conciseness. The fundamental layer system of this active group plate is the same as the structure in the 1st example of the above-mentioned multi chip module system, and an active group plate assumes the case where it is produced by the already explained making process. Moreover, the relative size of the activity components to a chip and a pad is expanded and displayed. VCSEL and a photo detector (PD) are expanded. The example of structure with detailed IC chip layer and the production approach is explained below.

[0123] An adhesive bonding sheet may be used instead of joining IC chip layer 350 to the active group plate 320 using an anisotropy conductivity ingredient. In order to join the electric pad 332 of a layer 350 to the pad 332 of a substrate 320, the hole with which it passes along a bonding sheet at the location of a pad (for example, pre punching etc.) is made, and a conductive bonding agent is prepared on 1 set of pads. The laminating of a substrate 320 and the layer 350 is carried out by heat and the quiet pressure in one. moreover, it applies on November 13, 1998, and the name of invention is "Multilayer Laminated Substrates with High Density Interconnects and Methods of Making the Same", and carries out inheritance to the applicant of this application -- having -- an artificer -- Hunt Jiang, Tom Massingill, Mark McCormack, and MichaelLee it is -- the [ United States patent application ] -- the multilayer laminating process indicated by the No. 09/192,003 description may be used. Furthermore, it applies on December 1, 1998, and the name of invention is "Conductive Composition", inheritance is carried out to the applicant of this application, and an artificer may use the soldering paste which does not contain the gas indicated by the United States patent application/[ 09th ] No. 203,126 description which are Hunt Jiang, Solomon Beilin, Albert Chan, and Yasuhito Takahasi for the conductive bonding agent used for the hole of a bonding sheet. Diffusion bonding is useful in the structure of the substrate of this application in one in two metal pads in the Z connection which was invented by Kuo-Chuan Liu and Michael G.Lee and was indicated by the United States patent application description whose name is "Transient Liquid Alloy Bonding." Z-axis connection of a pad 332 may be made by a soldered joint or metal diffusion junction. Metal diffusion junction is effective in order to produce precise z connection (namely, small z connection) especially. Moreover, it is published by Love and the wiring link structure (WIT) indicated by U.S. Pat. No. 5,334,804 by which inheritance was carried out to the applicant of this application is preferably used with an under-filling ingredient. Since it joins to the example explained below, each an above-mentioned approach and an above-mentioned ingredient may be used for the example which already explained various substrates, and a list. An under-filling ingredient can be used instead of the bonding sheet for a soldered joint, metal diffusion junction, TLB (Transient Liquid Alloy Bonding) junction, or WIT connection.

[0124] As shown in drawing 36, the additional IC chip layer 350 and additional active group plate layer 320 of each other are piled up, and are mutually connected by the additional anisotropy film 302 or an additional bonding sheet, or other z connection methods. The active group plate 32 in a laminating is separated from the base substrate 12 preferably used in order to produce an active group plate using which the above-mentioned substrate separation approach. In order to transmit a gland and the supply voltage of one or more pieces to all layers and to transmit an electrical signal to another chip layer 350 from one chip layer 350, the laminating of some Bahia 333 in a layer 350 and a substrate 321 is carried out mutually. The multilayer laminating process developed by the bonding sheet which does not use an anisotropy sheet, Hunt, etc., or the advantage which uses other z connection methods is vertically transmitted between the active group plate 320 and IC chip layer 350, without interrupting a lightwave signal with the conductive ball or nontransparent material often used by the anisotropy conductivity film. Although optical z connection is not illustrated, it is easily realizable with a waveguide coupler like couplers 344 and 348.

[0125] The waveguide and other activity components of the active group plate 320 may be produced in a separate layer, as shown in drawing 37 -38. In this example, an active group plate is divided into waveguide road layer 320a and activity components layer 320b. Layers 320a and 320b are joined to one

by adhesive bonding sheet 302', a multilayer laminating process [ / else / Hunt ], a soldered joint, metal diffusion junction, above-mentioned TLB junction, or above-mentioned WIT connection. When a soldered joint, metal diffusion junction, TLB junction, or WIT connection is used, the conventional under-filling may be used instead of a bonding sheet.

[0126] It is drawing where a luminescence device (for example, VCSEL) and a switch device (for example, optical modulator) express roughly the various gestalten included in a multilayer to drawing 39 thru/or 42. In drawing 39, optical coupling (optical z connection) of the two waveguides in two separate layers is mutually carried out through the vertical mold coupler for transmission and the vertical mold coupler for reception which were attached in the corresponding edge of waveguide. An optical modulator device is installed in the optical way between two vertical mold couplers, and is held in a separate layer. An optical modulator device is constituted by an electronic light ingredient (or electronic absorption (EA) ingredient) and two contacts produced by each field of the body section. Including the chip according to individual by which the body section of an electronic light (or electronic absorption) ingredient was set during manufacture of a layer, the body section may be formed in the original location, as carried out to the electronic light ingredient of the switch device 25 shown in drawing 12 thru/or 19. In drawing 41, it has the same structure except for the point that lower waveguide is replaced by the emitter device (for example, VCSEL). The laminating of the layer of each other is carried out by the laminating fabrication process in both examples, without using a bonding sheet and z connection method. However, if desirable if required or, three layers will be manufactured independently and will be joined by a bonding sheet, under-filling, a soldered joint, metal diffusion junction, TLB junction, or WIT connection in one. The same optical connectability as the layer system which the example was shown in drawing 40 and shown in drawing 41 is offered. Finally, the emitter device of the 1st layer linked to the waveguide of the 2nd layer is shown in drawing 42, without intervening an optical modulator device. In the above-mentioned example, the contact to a photoelectron device is wired on the underside using Bahia. On the contrary, in the case of drawing 35 thru/or the example of 38, the laminating at least of the part in the above-mentioned layer is mutually carried out by the laminating fabrication process. Generally, the laminated structure of the arbitration of this invention is manufactured by the laminating process.

[0127] A layer is manufactured independently and, in the case of the example attached selectively, a refractility under-filling ingredient or a refractility bonding sheet may be used between each layers. the [ which is quoted for reference when using such under-filling / Europe disclosure patent application ] -- the vertical mold waveguide passing through components and the laminating of several layers of under-filling can be formed by using the SOLNET waveguide formation process indicated by EP-689,067-A No. The inheritance of this Europe patent application is carried out to the applicant of this application, and it asserts the priority based on Japanese Patent Application No. No. 140502 [ six to ], Japanese Patent Application No. No. 200974 [ six to ], Japanese Patent Application No. No. 204922 [ six to ], Japanese Patent Application No. No. 59240 [ seven to ], and Japanese Patent Application No. No. 61092 [ seven to ]. In the case of this SOLNET waveguide formation process, a light beam is condensed by the location in which vertical mold waveguide should be formed, a refractility ingredient answers this beam and a refractive index becomes large.

[0128] In order to make a drawing legible, only one luminescence device (VCSEL), one light-receiving device, or an optical modulator (switch) device is shown in drawing 35 thru/or 42. such [ the typical application of this invention ] an electron device -- some -- or a large number are included. The driver accumulation VCSEL, a driver accumulation switch (modulator), and an amplifier accumulation photo detector can be used instead of VCSEL, a photo detector, and an optical switch, respectively. In such a case, as already explained, a power source and the additional pad for glands are required. Chips 351 and 352 are the drivers and/or amplifier of VCSEL. IC chip can carry out a laminating mutually. For example, 1st IC chip layer for a processor chip A laminating is carried out on a driver and the 2nd chip layer for amplifiers, and the laminating of the 2nd IC chip layer is carried out. An active group plate The 1st output and input of a chip layer are supplied to the 2nd driver and amplifier of IC chip layer, and the structure where the 2nd driver and amplifier of a chip layer are connected to the photoelectron device of

an active group plate is offered. In the case of this example, a driver and the connection pad of an amplifier are produced so that it may counter with the pad of 1st IC chip layer. Moreover, it is possible to form Bahia which passes a driver / amplifier thin film chip. Or a chip may be divided into the wafer corresponding to VCSEL and the photo detector which form Bahia in a surrounding polymer layer. Moreover, not the film but the die chip for the usual processors may be used. In this case, structure like a processor die / driver amplifier IC layer / active group plate is produced. The same situation may be realized in drawings 119 and 120, and the divided thin film driver / amplifier chip may be [ a thin film driver / amplifier chip equipped with Bahia which passes a chip may be used, or ] used for the chip of a chip layer. Above-mentioned driver / amplifier chip include other suitable circuits in a driver circuit, an amplifier circuit, a bias circuit, a temperature stabilization circuit, a clock or a signal skew compensating circuit, a synchronous circuit, and a list. Therefore, in some cases, a driver / amplifier chip may be called a transmitter circuit / "receiver circuit" chip. In drawing 35 thru/or 42, 119 and 120, a driver / amplifier chip, and/or the chip containing a processor/memory chip live together in the same layer as a photoelectron device like VCSEL, a photo detector, and other components. The electric noise in each class can be reduced by forming the largest possible gland or a power-source side on the interface between the layers on each class.

[0129] The chip in a chip layer is the thin film driver / amplifier chip possessing Bahia, or the divided thin film driver / amplifier chip. The structure shown in drawing 35 thru/or 42, 119 and 120 may be applied to all the examples of this invention containing FOLM and OE-MCM. Moreover, although the waveguide shown in these drawings does not include branching for visual intelligibility, typical application contains branch-type waveguide as it is shown in drawing explained above. When a connection consistency is high, multilayer structure is sufficient as waveguide. Generally, in all the examples of this invention, when a connection consistency is high, multilayer waveguide is used if needed.

[0130] Multilayer structure may be manufactured according to a laminating process or z connection process. In a part of applications, the waveguide from a switch device (for example, modulator) and/or a luminescence device (for example, VCSEL) is connected to the external optical fiber which bears two or more waveguides, a fiber array, a fiber image guide, or an external thin film. a fiber array, a fiber image guide, or an external thin film -- "a film waveguide array" -- or it is simply called like a "waveguide array." These optical fibers and a waveguide array transmit a lightwave signal outside from the system made with the laminating components shown in drawing 35 thru/or 42. In the same form, these external optical fibers, a fiber array, a fiber image guide, and a waveguide array transmit a lightwave signal to the light-receiving device of a barrier layer. In any case, it is attached in a system layer in an optical fiber, a fiber array, a fiber image guide, or the location where optical coupling of the waveguide array h was directly carried out to internal waveguide, the vertical mold coupler, or the beam splitter. A waveguide array is connected to any one layer in these layers by while exceeding the dimension of the stack by which the laminating was carried out, forming Layers 320, 320a, and 320b or 350 so that it may have the the tab section on a side face, and attaching an external waveguide array in this extended tab. Field normal connection is used in a lower layer and an up layer. The further advantage by this structure is that the gap about which it is not occupied between layers 320, 320a, 320b, and 350 is used as a channel of the gas for cooling or the liquid which flows the inside of the structure.

[0131] An example of the approach of producing IC chip layer 350 is shown in drawing 43 thru/or 50. With reference to drawing 43 , Bahia which passes along IC chip layer 350 takes the provisional substrate 412 first, and is formed by forming the Bahia post in the top face of this provisional substrate. Provisional installation and clearance of a substrate may be performed using which the above-mentioned approach (for example, refer to U.S. Pat. No. 5,258,236 published by Arjavalingham etc.). The Bahia post is formed by electroplating, sputtering, or the other approaches. In the case of the forming method by electroplating, in the conventional technique, sputtering is carried out to the front face of a substrate 412, next a thick photoresist layer is formed in a substrate side, and patterning of the provisional seed layer is carried out by lithography pattern exposure and pattern development so that it may be well-known. The Bahia aperture is formed by this and a conductive ingredient is galvanized in the Bahia aperture by the

usual electroplating. At present, other metals may be used although copper is a desirable ingredient. It is more desirable to galvanize a conductive ingredient so much more than the thickness (or height) needed for final structure. In the case of the sputtering method, sputtering of the layer of a thick conductive ingredient is carried out all over a substrate. Next, a photoresist is formed on the layer by which sputtering was carried out, and pattern exposure is carried out, and negatives are developed so that it may leave the part of a photoresist on the location in which Bahia is formed. The part of the photoresist layer by which the remainder was exposed is etched. The remaining photoresist is removed after etching.

[0132] As a next process of the Bahia formation process, a photoresist layer is removed and a plating seed layer is removed. As a modification over the fundamental approach of forming IC chip layer 350, a seed layer is maintained, and in order to form an electric path in the base of a layer 350, you may use it by next down stream processing. In order that a seed layer may form the electric path 330 and the link pad 332 on the base of IC chip layer 350, patterning of it may be carried out at the general process of this approach. When carrying out patterning of the seed layer at a general process, a seed layer is made comparatively thick by, for example, making an additional conductive ingredient deposit using a uniform electroplating process. After the Bahia post is formed in a photoresist layer, pattern exposure is carried out once again and a photoresist layer is developed, in order to form the path and pad which should be formed in a base. This patterning process removes the photoresist of a positive from a path, a pad, and the location in which Bahia should not be formed. This 2nd patterning process exposes the seed layer which is not desirable, and etches this seed layer with suitable chemical etching liquid. The remaining photoresist is removed next. The thick formation process of a seed layer is postponed to a final process so that it may explain below. In order that a photoresist layer may improve an image depending on the case, after pattern exposure is carried out, software baking processing is performed so that it may be well-known in the conventional technique. When temperature exceeds the value specified by the manufacturer, it is necessary to notice such baking processing after exposure about the point which can decrease the amount of the photocatalyst in the photoresist of a positive. Therefore, in order to perform 2nd effective exposure, critical temperature of a photoresist should not be exceeded in the software baking process after the 1st pattern exposure. When exceeding critical temperature cannot be avoided and the photoresist of a negative is used for a list, patterning of the photoresist layer may be carried out by performing anisotropy plasma etching through a dirty mask.

[0133] With reference to drawing 44, the IC chips 351 and 352 are attached in the front face of the provisional substrate 412 at the next process of this process. Therefore, the thin polymer adhesive layer 414 is formed in the front face of a substrate 412 of spin coating. Chips 351 and 352 (or activity components) are installed in a right location, and are pasted up on a layer 414. When the ingredient of a layer 414 needs hardening and contains a solvent, in order that a layer 414 may raise adhesiveness and may decrease the evaporation of the solvent in the following hardening process, it may carry out software BEKU processing. Since the chip wearing process is the same as the process used by the approach of forming the above-mentioned active group plate 20 shown in drawing 12 thru/or 19, explanation beyond this is not given. When the seed layer of a front process is maintained in a perfect form or the form by which patterning was carried out, before a layer 414 is formed, it is desirable to form a thin chromium adhesive layer on a seed layer. Such an adhesive layer is suitable when an ingredient 414 has only slight adhesion in extent nonpermissible to the specific ingredient of a substrate 412. As another approach equipped with chip 351 \*\* 352, a metal pad may be formed in a seed layer and the rear face of a chip may be covered with a metal. A chip uses the usual soldering for the above-mentioned metal bonding and the TLB method, and a list, and is attached in them. By the time a layer 350 is completed, the metal pad of the rear face of a chip should be insulated from the signal line of the base of a layer 350. However, coupling to a fixed gland or bias potential is used if needed for an electrical circuit.

[0134] Since the following polish process is used, chips 351 and 352 have the electrode 27 containing the above-mentioned multilevel-metal structures 27x, 27y, and 27z ( drawing 12 ) preferably, and sublayer 27y contains a polish stop metal like a tungsten. This multilayer-structure object is best formed,

when IC chip is a wafer format (i.e., when it is not a dice form). When the field where an electrode does not exist on the surface of a chip is large, in order to make it a hollow not generated in the following polish process, it is desirable to make the patch which the polish stop ingredient estranged deposit on those fields. Such a polish stop layer is preferably formed in the passivation layer of the upper part of a chip. Typically, chips 351 and 352 are manufactured in the above-mentioned epitaxial lift-off process, and can produce a very thin chip (the range of several microns to several 10 microns). It is more desirable to be beforehand ground by the rear-face side, in order that a chip may decrease thickness, when a chip is manufactured using a thick wafer technique (pre polish). This well-known pre polish is performed while a chip is still a wafer format in the conventional technique. In the conventional technique, since the very uniform polish approach is learned and amelioration of the polish approach is continued, a thin film chip can be obtained by grinding without using ELO. The thickness of the chip permitted about this point is 5 micrometers thru/or 50 micrometers.

[0135] Although the IC chips 351 and 352 shown in drawing 44 are arranged public, a chip may be arranged inside out. When the pad and the electric path of a layer 350 at the bottom are formed at a front process, the pad of a chip can be contacted for a path at the bottom as it is using metal diffusion bonding, TLB bonding, solder bonding, WIT connection, etc., without using an adhesive layer 414. When a chip is joined in this way, it is not necessary to prepare an elevated-temperature under-filling ingredient in the chip bottom in order to prevent an air pocket. When the pad and the electric path of a layer 350 at the bottom are not yet formed, the top face of the IC chips 351 and 352 can be pasted up on a layer 414. In order to prevent an air pocket, a layer 414 is maintained at the condition which can be plasticity flowed when a chip is arranged, and a chip is pushed against a layer under vacuous conditions. By arranging a chip inside out on a substrate, in case the above-mentioned epitaxial lift-off process is used for a GaAs chip, the following advantages are acquired. That is, the AlAs etching process (or AlGaAs etching process) used in order to remove a chip from a GaAs wafer may be postponed until a chip is arranged inside out at the provisional substrate 412. After arranging to a substrate 412, in order to separate a bulk GaAs substrate from the epitaxial layer which holds the circuit of a chip, an AlAs (or AlGaAs) etching process is performed. Since the function which supports IC chip in an arrangement process is obtained by the GaAs bulk substrate in this way, in order to support IC chip, it is not necessary to use the polymer film, a glass substrate, or other substrates. Not caring about it, even if the whole GaAs wafer is first dice-ized in order to separate mutually the chip of each [ \*\* / which may arrange to a substrate 412 inside out and suits it / substrate / GaAs ] is admitted. When the whole wafer is arranged, arrangement is performed before the Bahia post 333 is formed. Another advantage which equips a substrate 412 with a device wafer is ground since the rear face of a device wafer decreases the thickness of a chip. This is useful when it is difficulty or an unremovable chip to remove especially using an epitaxial lift-off process.

[0136] It is that the next process of this process forms a polymer layer 416 with reference to drawing 45 on the Bahia post 333, chips 351 and 352, and the exposed part of an adhesive layer 414. A layer 416 stores these components in the single polymer film. Core materials, the charge of a clad plate, poly IMIDE, ultraviolet curing possible epoxy, and many polymer ingredients of a refractility ingredient are used. Although it is not indispensable, it is necessary to use a refractility ingredient to form vertical mold waveguide in the layer by which the laminating was carried out in the SOLNET waveguide formation process. A polymer layer 416 is preferably formed by carrying out spin coating of the ingredient. A layer is hardened, when an ingredient generally needs hardening after a layer is formed. When the thickness of chips 351 and 352 is thicker than about 15 micrometers, 2 times or more of separate coats and hardening processes are especially needed to a polymer ingredient of a certain kind and the ingredient contracted dramatically during hardening.

[0137] With reference to drawing 46 , a substrate exposes the electrode (for example, pad) of chips 351 and 352, and the upper part of the Bahia post 333, and it is ground in order to obtain a flatter front face. In the conventional technique, the well-known usual polish and a chemical machinery polish process can be used. With reference to drawing 47 , the group of the electrode path 330 and the connection pad 332 is formed in a top face. This may be performed using which the conventional conductive stratification

approach. Many in the conventional formation approach were already explained with reference to drawing 12 thru/or 19. For example, after sputtering of the conductive ingredient is carried out uniformly, the etching process of the substrate by which patterning was carried out is used.

[0138] Here, processing is advanced in the different direction. When being beforehand formed by carrying out patterning of the thick seed layer as the electric path 330 and the connection pad 332 are the above, formation of IC chip layer 350 is completed and IC chip layer 350 is removed from the provisional substrate 412. However, since a substrate 412 can give the dimensional integrity which was dramatically excellent in the layer 350, before removing the provisional substrate 412, the laminating of the top face of a layer 350 is carried out to another components layer like z connection erector. When the bottom side path and the pad are not yet formed, the next process of a process is attaching the 2nd provisional substrate 418 in the top face of IC chip layer 350 using the fusibility adhesive layer 419. The 1st provisional substrate 412 is removed after termination of this installation. The result of this process is shown in drawing 48. Many fusibility epoxy and adhesion ingredients are well-known in the conventional technique, and have the above-mentioned approach and the compatibility about the 1st provisional substrate 412. In the processing after this event, since the further hardening process is not needed, the width of face of selection of fusibility epoxy and an adhesion ingredient becomes large. Instead of using a fusibility adhesive layer, the usual adhesive layer in the substrate dissociation technique indicated by U.S. Pat. No. 5,258,236 or the transparence substrate 418, and the adhesive layer 419 in which adhesive ability will be lost if ultraviolet rays are irradiated may be used. In the case of the latter which uses the transparence substrate 418, a substrate exfoliates by irradiating the ultraviolet-rays light transmitted through the transparence substrate at an adhesive layer, and is exposed to a solvent. Other above-mentioned substrate dissociation techniques may be used.

[0139] Next, in order to remove the polymer adhesive layer 414 and to decrease the thickness of chips 351 and 352 selectively, alternative polish or an etching process is performed. The result of this process is shown in drawing 49. Next, the bottom side electrical-and-electric-equipment path 330 and the connection pad 332 are formed in an upside side using which process used in order to produce an electric path and a pad. The result of this process is shown in drawing 50. While a provisional substrate is next still in the original location, completed IC chip layer 350 is set like z connection erector, and, generally components layer with an another upside side is equipped with it. In the laminating process for z connection assembly, the integrity on the good dimension of a layer 350 is acquired by this. The 2nd provisional substrate 418 is dissociated by the suitable (as [ irradiate / if an adhesive layer 419 is fusibility, dissolve an adhesive layer 419, carry out the clearance process indicated by United States patent \*\*\*\* 5.258 or No. 236, or / for example, / at an adhesive layer 419 / ultraviolet-rays light ]) clearance process from a layer 350.

[0140] The process process used for drawing 43 thru/or 50 with various gestalten combining other down stream processing explained in the example of this invention is shown. For example, it not only forms a path and a pad, but the process which produces other functional components, such as a 45-degree mirror plane for for example, beam splits and an optical grid, may be included in the above-mentioned bottom side processing. Moreover, after chips 351 and 352 are installed, the process indicated by drawing 43 thru/or 50 may be changed so that the Bahia post may be formed. In this case, there is an advantage which can install chips 351 and 352 smoothly by the substrate top. Furthermore, drawing 43 thru/or the process process of 50 may be repeated using the device (namely, photoelectron film) of the type with which it differs other than a chip 351 and 352, and/or the device embedded at the waveguide road layer, in order that various single substrates or many substrates may manufacture the structure by which the laminating was carried out.

[0141] By replacing IC chip with photoelectron components or an ingredient, the approach indicated by drawing 43 thru/or 50 is similarly applied, in order to produce activity components layer 320b.

Waveguide road layer 320a is produced at the same process as the process shown in drawing 43 thru/or 50 by adding the process process of the arbitration indicated by detailed explanation, in order to form the waveguide core which was embedded at the bottom cladding layer and by which patterning was carried out, and/or deleting a device installation process. For example, the clad stratification, core pattern

formation, the upside clad stratification, CMP, and the process of up metallization (or metallization before the bottom clad stratification) are continued after the Bahia pillar \*\*. Waveguide road layer 320a is formed from some processes in the above-mentioned making process like the fabrication process shown in drawing 12 thru/or 19, and the process which is not used relates to inclusion of activity components.

[0142] In the case of all the examples indicated for explanation of this invention, and the example which has a minute (that is, dramatically fine) pattern and a configuration especially, a polymer layer is formed of the combination of CVD (chemical vapor deposition) which is indicated by U.S. Pat. No. 5,444,811 by which inheritance was carried out to the applicant of this application, the vacuum evaporation metallization method and/or MLD (the molecular layer depositing method) or these approaches, and other usual coat approaches. Furthermore, in all the examples of this invention, the upside side and bottom side face of a components layer are the acid-resisting layer formed on components in order to reduce a reflective noise.

[0143] Since some examples which form IC chip layer 350 were explained next, how to form polymer waveguide road layer 320a is explained. With reference to drawing 51, a cladding layer 21 is formed on the provisional substrate 450, and is hardened by which the above-mentioned approach. The provisional substrate 450 is constituted by the structure of aluminum, Xtal, glass, or the above-mentioned provisional substrate. Before forming a cladding layer 21, an adhesive layer and a seed layer are formed in the front face of a substrate 450, and a seed layer is used in order to carry out electroplating formation of the Bahia post for conductive Bahia which passes along layer 320a. With reference to drawing 52, according to which the above-mentioned approach, a core layer 24 is formed on a cladding layer 21, and is hardened. When layer 320a has a beam splitter or a wavelength filter, at this event, a core layer 24 is etched in order to form the grid of components, or an optical exposure is carried out. Next, a grid is filled up with the ingredient which has a different reflection factor.

[0144] With reference to drawing 53, in order to form the side face of optical waveguide 454, laser beam cutting is used. Drawing 53 and 54 are the side elevations of three parallel optical waveguides. A cladding layer 21 has the thickness of about 10 micrometers, a core layer 24 has the thickness of about 10 micrometers, waveguide has width of face of 10 micrometers thru/or 50 micrometers, and waveguide is mutually estranged in the pitch of about 250 micrometers. Although even the same depth as a core layer 24 is available for laser beam cutting, it may reach the same depth as the thickness by which the actual top, the cladding layer 21, and the core layer 24 were compounded. The width of face of laser beam cutting is about 20 micrometers thru/or 75 micrometers. Preferably, cleaning actuation is performed in order to remove the fragment from a laser-beam-cutting process. This cleaning may be performed according to a plasma-etching process. A plasma-etching process tends to etch a fragment at a rate quicker than a cladding layer 21 and a core layer 24. In order to decrease the amount of the fragment which should be removed, before laser-beam-cutting actuation is performed, a photoresist or the layer of the polymer ingredient with which others are not hardened may be formed on a core layer 24. cutting -- working, since most fragments are left behind to the upper part of a photoresist layer, a fragment can be easily removed by applying and looking a solvent or a development solution like [ a photoresist layer ], and removing a photoresist layer. Easy plasma etching is performed in order to guarantee that the trench etched by laser is not dirty.

[0145] With reference to drawing 54, the up cladding layer 23 is formed on the core layer 24 by which patterning was carried out using which the above-mentioned clad stratification approach, next is hardened. At this time, the Bahia post is formed by carrying out laser-beam-drilling processing, cleaning aperture in a seed layer, and galvanizing it in it. Moreover, an electric path and a pad may be formed in the top face of a cladding layer 23.

[0146] Drawing 55 and 56 are the side elevations of parallel waveguide, and the laser-beam-cutting section which was formed of laser melting is produced at the end of waveguide in order to form the bevel edge for the mirror plane component of a vertical mold coupler. As shown to drawing 55 by the sign 455, the include angle of these cutting sections is the inside sense, or as shown to drawing 56 by the sign 456, it is outwardness. Waveguide has the inner sense cutting section at the end of one side, and has



the outward cutting section at the end of another side. If needed, like the above, it is formed for every laser-beam-cutting part in order to obtain the laser-beam-cutting section with a more exact patch of a metal (refer to the layer 161 of drawing 28 ). At this time, a beveled structure edge is cleaned at an easy plasma edging process, and the layer 458 of a reflective metal or the charge of a reflector deposits it on the beveled structure edge left behind by the outward laser-beam-cutting section 456. When the electric path and the pad are beforehand formed in the top face of a cladding layer 23, before laser-beam-cutting actuation and a uniform deposition process are performed, it is desirable to form a photoresist lift-off layer on a path and a pad first.

[0147] In order to form a mirror plane component on the bevel of the inner sense cutting section, as shown in drawing 57 and 58, by which approach of the above [ the 2nd provisional substrate 452 ], the upper part of layer 320a is equipped and the 1st provisional substrate 450 is removed. In the case of the example shown in drawing 57 , an adhesive layer 453 is between the 2nd provisional layer 452 and layer 320a. A bevel is cleaned by easy plasma etching and covered with the layer 457 of a reflective metal or the charge of a reflector. An electric path and a pad are formed in the bottom side face of layer 320a. Layer 320a is completed in this way, it is attached to IC chip layer 350 or activity components layer 320b, and, subsequently the 2nd provisional substrate 452 is removed. before, as for a reflective metal, being equipped with the 2nd provisional substrate according to another approach which forms a mirror plane component in the bevel of the inner sense cutting section -- direct electrolysis plating, nonelectrolytic plating, direct plating, or high voltage -- it is made to deposit on a medial surface using CVD (a 10mm toll thru/or 100mm toll) In direct electrolysis plating, a seed layer must exist. In the case of nonelectrolytic plating, the suitable activation for a front face and catalyst treatment of a polymer ingredient are taken.

[0148] Waveguide is formed by not laser beam cutting but plasma etching of a core layer 24 as a modification of the process shown in drawing 46 thru/or 58. A core layer is formed, and after hardening ( drawing 52 ), an adhesive layer which contains chromium is formed in a layer 24. Patterning is carried out so that the location in which a thick photoresist layer should be formed in an adhesive layer, and waveguide 454 should be formed may be appointed. The exposed part of a chromium adhesive layer is etched with the high-speed chemical etching liquid for chromium, and as shown in drawing 59 and 60, in order to remove the exposed part of a layer 24, plasma etching of the obtained structure is carried out. In order to guarantee that the leakage of light does not arise to waveguide, only a few is preferably etched into an excess into the bottom cladding layer 21. After plasma etching, the remaining photoresist layers and adhesive layers are removed, and a cladding layer 23 is formed and hardened ( drawing 60 ). The remaining down stream processing is carried out as shown in drawing 55 thru/or 58.

[0149] As mentioned above, in the case of other processes, a core is constituted by the light-receiving ingredient and hardened by optical exposure. In this case, core patterning is performed by not a RIE process but the patternized exposure process. In this case, it is used in order that an inclined lithography exposure technique which is indicated by the Japanese-Patent-Application-No. No. 262265 [ eight to ] description other than laser beam cutting of a RIE technique may produce a beveled structure edge. The direct exposure through a photo mask is suitable because of simplification of a process. However, if the front face is fully suitable after software hardening, it will be formed in a front face so that a metal mask may act as a photo mask. When the further flattening is called for, CMP is performed after an upside cladding layer is formed.

[0150] Generally, while it was shown in drawing 55 , although it is easier to manufacture the mirror plane of the outward cutting section shown in drawing 56 , it is more desirable than the mirror plane of the sense cutting section that the mirror plane structure of both types can be manufactured economically. With reference to drawing 55 and 56, the mirror plane of both the inner sense cross-section section and the outward cross-section section forms the trapezoid which is a mirror image mutually. When a photoelectron substrate is equipped with the top face of the base shaped surface of drawing 56 , it acts as a mirror plane of the inside sense cutting section on the photoelectron substrate with which it was equipped. Therefore, as shown in drawing 56 , another photoelectron front face which functions as a mirror plane of the sense cutting section among drawing 58 is equipped with the mirror plane

manufactured as a mirror plane of the outward cutting section. The high yield process which manufactures the multilayer photoelectron substrate which has the mirror plane of the inner sense cutting section by this approach is realized easily.

[0151] An example of an approach which adds an activity components layer to a waveguide road layer is shown in drawing 61 thru/or 65. The waveguide road layer and the Bahia post which were shown in drawing 61 thru/or 65 are produced by the approach explained with reference to drawing 43 thru/or 50 and drawing 51 thru/or 60. It usually fills up with the void which started with waveguide road layer 320a shown in drawing 57, and was created by the cutting sections 455 and 456 with the ingredient which is a polymer ingredient, and flattening of the front face is carried out. An electric path and a link pad are formed on the exposed surface of a cladding layer 21, and the Bahia post is formed by electroplating of the Bahia formation process explained previously. The result of this process is shown in drawing 61. Next, with reference to drawing 62, the VCSEL luminescence device 36 is arranged inside out on a substrate, and an electrode is joined by the pad 332 and/or path 330 on the cladding layer 21 which corresponded by metal diffusion bonding. Elevated-temperature under-filling is preferably given to the luminescence device 36 bottom. Other devices like a photo detector device are not illustrated for visual plainness, although it is attached similarly and processed. Thus, each device arranged at drawing 62 has the edge of waveguide, or the active region which laps on the mirror plane structure 458 in branching of a vertical mold beam splitter.

[0152] With reference to drawing 63, a polymer layer 25 is formed on a front face in order to close a device 36 and Bahia 333 on the film of a polymer ingredient. In order to form vertical mold waveguide according to a SOLNET process, the effective charge of a clad plate, core materials, poly IMIDE, epoxy, ultraviolet curing possible epoxy, and the ingredient of the type of the arbitration containing an optical refraction ingredient are used. A layer 25 is hardened if needed, exposes the upper part of Bahia 333, carries out flattening of the layer 25 more, and if there is the need that additional electric contact to components is created depending on the case, it will be ground in order to expose the front face of the device embedded in the layer 25. The result of these processes is shown in drawing 64. Next, as shown in drawing 65, an electric path and a pad are formed in the top face of the ground layer 25. A path may be formed using which pad / path formation process already explained. The active group plate 320 is formed in this way, and is attached to other barrier layers like IC chip layer 350 or a waveguide road layer, or a chip using the provisional substrate 452 for dimension control. This assembly may be performed using which the above-mentioned approach. The provisional substrate 452 is removed by which the above-mentioned substrate dissociation approach after assembly.

[0153] Or the laminating of the waveguide road layer may be carried out on an activity device layer in a form as shown in drawing 61 thru/or 68. In this case, VCSEL should be arranged public. Furthermore, the laminating of the combination of various layers like a waveguide road layer, an activity device layer, and a chip layer is carried out by the combination of which process shown in drawing 43 thru/or 65.

\*\*\*\* about drawing 59 thru/or 77 -- as already explained, it is beforehand built on a chip, and when using the switch device or horizontal-type luminescence device which has a refractive index higher than the refractive index of a waveguide ingredient, a certain kind of case is recommended making width of face of a device narrower than the width of face of waveguide in order to realize good optical coupling between waveguide and a chip device. Since the high coupling effectiveness between waveguide and a chip device raises the effectiveness of many electronic light processes, it is desirable. For example, with a high coupling multiplier, since optical mode interacts with a switch/modulator strongly, the switch and modulator of a low battery can be used more. Since device capacity decreases the device width of face of an activity device as it is narrow, high-speed actuation can be realized more. Since it is the same, it is desirable to make \*\*\*\*\* of a chip lower than the height of waveguide, and to arrange a chip at the core of waveguide. Since the electric field in a device become large by decreasing the thickness of an activity device, low power (electrical potential difference) actuation is attained. Although later mentioned about the process which makes height low and positions the core of a chip, this process may be included in the above-mentioned making process. Drawing 67 is the top view of a desirable result, and drawing 68 is the sectional view of a desirable result. It connects the four corresponding shape of waveguide 24a-24d

and a straight line which have large width of face and thickness switch device 26a-26d of four pieces of the chip format of having a high refractive index. In order to decrease an echo with waveguide 24a-24d and device 26a-26d, a taper is attached so that a device 26a-26d edge may become thin gradually. The amount of this taper for the optimal coupling and the decrement of the width of face between each device and waveguide 24 are dependent on the difference of a refractive index. A required value is calculated very well by optical simulation for the optimal coupling. Drawing 76 and 77 are the sectional views showing signs that the chip of switch device 26a has height lower than the height of waveguide 24b, and the core of a chip is positioned in the center of waveguide. Main positioning is performed by the pedestal of cladding layer 21b formed on bottom cladding layer 21a.

[0154] With reference to drawing 66, an example of the process which produces the structure shown in drawing 74 thru/or 77 is explained. Starting with the base substrate 12, 1st cladding layer 21a is formed in the front face of the base substrate 12, and is hardened. Cladding layer 21a may be constituted by which the above-mentioned charge of a clad plate. Next, 2nd cladding layer 21b is formed on cladding layer 21a. Which charge of a clad plate of the above containing the charge of a sensitization clad plate is sufficient as this cladding layer. Before cladding layer 21b is hardened, as carried out by the production approach of a precedent, the device chip 26 pastes cladding layer 21b. Software BEKU processing of the layer 21b is carried out, and the solvent used in order to fluorinate a polymer cladding layer is removed. The result of these processes is shown in the sectional view of drawing 67, and the top view of drawing 68. When cladding layer 21b is not sensitive material, it hardens preferably at this event. In process, although the suitable electrode structure may be formed in a layer like the above, these processes that form the electrode structure are skipped. However, this contractor could build the formation process of the electrode structure into the above-mentioned making process easily.

[0155] In the phase of this process, a chip 26 is the large ingredient piece by which patterning was carried out so that each device 26a-26d might be formed. This forms a photoresist layer in the upper part of cladding layer 21b and a chip 26, pattern-exposes a photoresist layer, develops it, and is performed by leaving the patch of a photoresist to the location in which each device 26a-26d should be formed on a chip 26. The exposure part of a chip 26 is etched with suitable etching fluid, and each device is formed. The result of these processes is shown in the sectional view of drawing 69, and the top view of drawing 70. This patterning and an etching process attach a taper to a chip device. When a chip 26 is a multilayer-structure object, two or more dirty exposure phases which use different etching fluid are needed.

[0156] When cladding layer 21b contains sensitive material, pattern exposure of a photoresist layer can carry out patterning of all the parts of cladding layer 21b except the chip 26 bottom by using exposure long enough. In this case, the part of cladding layer 21b is removed at the development process of a photoresist layer. However, this is not a harmful result. The energy of an exposure process can be adjusted so that a photoresist layer may be exposed thoroughly and cladding layer 21b may be exposed by imperfection if needed. Moreover, the pocket mold conformal masking structure may be used so that cladding layer 21b may not be exposed in this phase.

[0157] As a following process, all the parts of cladding layer 21b except the device 26a-26b bottom by which pattern NINGU was carried out are removed. When layer 21b is photosensitivity, this exposes actinic rays uniformly, and in order to prevent that a radiation collides with the location where cladding layer 21b should be held, it is realized by using each chip 26a-26d. Cladding layer 21b is developed and hardened next. Patterning to which self-alignment of the layer 21b was carried out is performed by this. The result of these processes is shown in the sectional view of drawing 71. The photoresist ingredient left behind to the chip 26a-26d upper part of each [ a front patterning process ] receives this uniform exposure, and is removed by a development solution and the developer used at the development process of cladding layer 21b depending on the case. When it has the chemical property which a photoresist layer and a cladding layer 21 do not suit, a barrier layer is formed between two layers. Preferably, the barrier layer is opaque, and after a photoresist layer carries out patterning of the device 26a-26d, it is removed. Cladding layer 21b is formed by uniform exposure like the above. Chromium or a tungsten layer is used as a barrier layer.

[0158] When cladding layer 21b does not contain sensitive material, the part of cladding layer 21b which is not desirable is removed with a photoresist patch by plasma etching which uses each chip as an etching mask if needed. In this case, an excessive photoresist is removed after an etching process. Etching time is controllable so that only layer 21b may be etched, but after it forms a plasma dirty stop layer on layer 21a and layer 21b is formed by the plasma-etching process before layer 21b was formed, a plasma dirty stop layer may be removed. A chromium layer can be used for this stop layer.

[0159] The next process of this process forms a core layer 24 on the obtained structure, as shown in drawing 72. As shown in the top view of drawing 74, and the sectional view of drawing 73, in order to form waveguide, patterning of these core materials is carried out. Which patterning approach of the above including sensitive material or an optical refraction ingredient, and an optical exposure may be used. Preferably, the edge of waveguide touches a device 26a-26d taper side, or invades into a taper side selectively. At the following process, as shown in drawing 76, the layer 23 of the charge of a clad plate is formed on the structure, and is hardened. Additional down stream processing for forming a path, a pad, a mirror plane component, a beam splitter component, and other above-mentioned descriptions is performed in this phase.

[0160] As a following process, the electric path of the up electrode of a device, Bahia, and the top face of a layer is formed. This layer is attached in another substrate for support, and the original substrate 12 is removed. Background processing is performed in order to form the electric path of the bottom lateral electrode of a device, Bahia, and the base of a layer. When a metal electrode is formed in the upper part or the interior of cladding layer 21b of the 2nd, a mini chip is arranged at these metal electrodes, and is connected to a metal electrode by the metal diffusion and the metal bonding technique which were explained previously, TLB, and solder bonding. Moreover, when a metal electrode is formed in the front face of a mini chip, it is pasted up on the metal pad with which the electrode of one or more chips was formed in the top face of a cladding layer 23. Thereby, both electrical installation and physical mounting are obtained. Furthermore, when the signal to a mini chip is acquired from the path on an opposed face, face-to-face Bahia is in the connection pad bottom so that compacter connecting arrangement may be obtained. By this, in order to create the electrical connection to a mini chip, surface area can be used efficiently.

[0161] In the core layer coat process shown in drawing 72, an alternative cladding layer may be covered on a core layer. after hardening selectively [ a core layer ] or thoroughly, an alternative cladding layer covers -- having -- software - and - full hardening is carried out. When the thickness of a core layer is slightly larger than the height of a photoelectron device, the ground front face is in a cladding layer. This two-layer approach improves flat [ of the interface between a core layer and a cladding layer ], and decreases light-scattering loss. Or light-scattering loss is reduced when a CMP process is performed after formation of an upside cladding layer.

[0162] In the modification of another process, 1 times or more of a CMP process is deleted in order to decrease the light-scattering loss relevant to optical mode dispersion from a CMP flattening front face. When a sensitization waveguide ingredient by which \*\*\*\* hardening is carried out is used for an optical exposure, CMP flattening near a core layer is unnecessary. Waveguide patterning is performed by the patternized optical exposure after the process shown in drawing 72. A flat chemically-modified degree is performed after an upside cladding layer is formed if needed.

[0163] As another modification of a core patterning process, a mini chip contains a core and the clad structure before attaching a mini chip in cladding layer 21b of drawing 67. in this case -- a chip -- 26 -- a device -- 26 -- a - 26 -- c -- drawing 75 -- and -- 77 -- being shown -- having -- as -- a component -- 26 -- ' -- 26 -- a -- ' -- 26 -- b -- ' -- and -- 26 -- c -- ' -- replacing -- having . There are some advantages in this. A refractive-index profile is controlled toward the edge of a mini chip. As for especially the refractive index of a chip core and a chip clad, it is possible to make it approach dramatically (to make the difference of a refractive index small), and thereby, since the effectiveness of optical coupling to waveguide is raised with the edge of both mini chips, beam-spot size is easily expandable.

[0164] It does not pass over the example shown in drawing 12 thru/or 21, drawing 66 or 76, drawing 83 or 90 and drawing 91 thru/or 98 to an example, but this contractor is easy to combine the essential field

of all the examples related to the equipment and the approach of realizing this invention in these examples and other examples, and a list according to the demand of specific application. The approach indicated by drawing 66 thru/or 76 can be used with many non-epitaxial films. For example, TiO<sub>2</sub>, WO<sub>3</sub>, SiN<sub>x</sub>, or high refractive-index film like Si film can be embedded by the same approach. These film can be obtained as film like Si, a metal, or a polymer substrate by which the lift off was selectively carried out using the removable substrate. High refractive-index waveguide is used also as an optical delay line. When rare metal doped glass membrane is embedded, it is used as a light amplifier. Other optical film like the luminescence film, the optical refraction film, and the nonlinear optics film is incorporable similarly as optical waveguide using the approach shown in drawing 66 thru/or 77. When the refractive index of the embedded film is larger than core materials, core materials may be used for layer 21b. In this case, etching of the core layer on the embedded film ( drawing 73 ) is unnecessary, and an upside cladding layer can be covered after the process shown in drawing 72 .

[0165] The above-mentioned manufacture process may be used in order to manufacture the film which does not contain a waveguide road layer including an activity photoelectron device. An example of the process which manufactures the photoelectron film with which the device was embedded is shown in drawing 155 . An electric pad, an electric line, and an electrode are formed on a substrate ((a) of drawing 155 ). A thin film device is arranged on the metal pad / line on a substrate ((b) of this drawing). What kind of thin film device manufactured using an ELO process is sufficient as a thin film device. The polymer film is used in order to cover a substrate, and it embeds a thin film device into a polymer ((c) of this drawing). Next, flattening of the polymer is carried out by polish to the level of a thin film device ((d) of this drawing). A surface contact pad and Bahia are formed on the polymer by which flattening was carried out ((e) of this drawing). The substrate of the photoelectron film is removed behind ((g) of this drawing), before a photoelectron device is attached in another layer like a waveguide road layer ((f) of this drawing). Or the Bahia post is produced after a thin film device arrangement process, after that, it may embed and the process of flattening and contact pad formation may be continued. As still more nearly another selection, a buffer polymer layer may be inserted between a substrate, a pad, an electric line, and an electrode regardless of the formation approach of Bahia. Moreover, it is possible to use the thin film device (for example, epitaxial layer) which does not contain an electrode. In this case, a device is arranged instead of a metal pad at a buffer polymer layer. The metallization process which forms an up electrode, and/or other device down stream processing (for example, an ion implantation, diffusion) can be performed after a polymer coat process. Metallization by the side of the bottom of a device is performed by background processing. This approach decreases the metal diffusion under polymer hardening, and device degradation.

[0166] Multi chip module link structure is further explained about the explanation about drawing 78 thru/or 81. These modules can be manufactured by the above-mentioned fabrication approach. In the free space (free space) light link system shown in drawing 78 , the free space between two boards 501 and 502 by which the laminating was carried out is transmitted to a lightwave signal. Each boards 501 and 502 by which the laminating was carried out have two or more optical switches 506 which transmit light to the photo detector 508 which countered through the partition of air, i.e., free space. As for each optical switch, optical power is supplied by waveguide 503, and waveguide 503 has one front face and grid beam splitter 504 of a switch 506 for power. Incidence of the light is carried out at right angles to one front face of an optical device (for example, electronic absorption or the mini chip of an electronic light ingredient), and it carries out outgoing radiation vertically from the front face of the opposite hand of an optical device. Before light comes out of boards 501 and 502, the micro lens 511 formed in the ingredient layer 510 is passed. Before carrying out incidence of the light to the photo detector device 508, it passes other micro lenses. A micro lens is a lot of an ingredient which has a refractive index higher than the bulk material of a layer 510, and when light is emitted, and when light is collected, it has the function on which light is converged. although a micro lens may come out so much and you may use it, in order to adjust the optical focus of a micro lens, others and a light corpuscle child may be inserted among boards 501 and 502 if needed.

[0167] A micro lens is produced by the SOLNET process by using the sheet of an optical refraction

ingredient (for example, poly guide which can come to hand from Du Pont (Polyguide)), and exposing the sheet by the write-in beam for forming a micro lens preferably. The cross section of each micro lens when seeing from the front face of a layer 510 is circular or a rectangle. In order that the front face of a layer 510 may improve optical coupling, the coat of it is carried out with an acid-resisting ingredient. Moreover, in order that the optical material which has a refractive index near the refractive index of a micro lens may improve optical coupling, it is prepared among boards 501 and 502.

[0168] According to the above-mentioned process, the layer of boards 501 and 502 is produced independently, next a laminating is carried out to one. Between each class, in order to improve optical coupling between the power waveguide 503 and an optical switch 503 in optical coupling between a device and a micro lens, and a list, a bonding sheet or under-filling is used for them. Of course, these layers may be formed in one on boards 501 and 502, as shown in drawing 79 .

[0169] The main points of difference between the example shown in drawing 78 thru/or 79 and the example shown in drawing 37 thru/or 42 are that a vertical mold optical switch (or optical modulator) is used instead of VCSEL as a transmitter. However, a micro-lens array is used combining the technique of arbitration, in order to combine light with the optical switch 506 in this application. For example, a 45-degree mirror plane may be used instead of using a grid, in order to combine the source of photoelectricity with a switch 506. Or the waveguide which branched in the form as shown in drawing 39 thru/or 42 may be used in order to combine light with an optical switch 506. The vertical mold optical switch 506 contains the switch structure of a large number like an electronic absorbing-modulation machine.

[0170] This concept is extended in order to form vertical mold light connection in the laminating of a barrier layer 320 and IC chip layer 350, as roughly shown in drawing 80 . According to drawing 80 , VCSEL, a photo detector, and activity components like a modulator are contained in the substrate equipped with the vertical mold coupler, although omitted on [ of explanation ] expedient. As shown in drawing 80 , a layer is produced from a light reflex ingredient as an approach in which one implementation is possible. A SOLNET process is used in order to manufacture vertical mold waveguide or the vertical mold micro lens which forms the so-called optical z connection, when a laminating is carried out mutually. The bonding sheet made from the optical refraction ingredient is used in order to carry out the laminating of barrier layer 320b, waveguide road layer 320a, and the IC chip layer 350 in one. In order to manufacture optical z connection on each class, other approaches may be added and applied to SOLNET.

[0171] Vertical mold light connection may be constituted as a separate unit 710 combined with the both sides of the group of the active group plate 705, as shown in drawing 81 . The format shown in drawing 37 is sufficient as the active group plate 705. A unit 710 has two or more vertical mold waveguides formed in the direction of z, and they carry out optical coupling to waveguide with the edge of a substrate 705. A unit 710 may be produced using the sequence of a production process as shown in drawing 82 . The short partition of a bonding sheet is attached in the left-hand side edge of a sheet starting with two or more sheets of a refractivity ingredient (for example, poly guide). These sheets are pasted up in one, a SOLNET process is applied to the right-hand side edge of an optical refraction sheet using a write-in beam, and vertical mold waveguide is formed. Next, a sheet is hardened and it is assembled by the substrate 705.

[0172] Another photoelectron three-dimension (OE-3D) stack structure is shown in drawing 118 thru/or 120. A chip is built into the photoelectron film substrate structure from which a large number containing the active device film and the passive device film differ in order to form an optical link. In this invention, drawing 121 is drawing explaining signs that the laminating of two or more OE film is carried out using optical z connection in order to produce a multilayer OE substrate. As shown in drawing 122 thru/or 125, stack structure contains many film of a different kind. OE film is constituted by passive polymer waveguide including an additional electric line, a pad, Bahia, a voltage plane, and a grand side as shown in drawing 122 . As shown in drawing 123 , the polymer film has the photoelectron device embedded on the polymer film including additional metallization. All the above-mentioned devices like VCSEL, an optical modulator, an optical switch, a light amplifier, a wavelength filter, a tunable filter, a

wavelength transducer, a photo detector, a driver chip, an amplifier chip, LSI, optical components, resistance, a capacitor, and other electrical parts are contained in an active photoelectron device. You may also embed the mini chip by which two or more components were integrated. In the case of the example shown in drawing 124 , passive waveguide and an active photoelectron device are accumulated by one film with additional Bahia and contact metallization. The 1st example containing waveguide, VCSEL, and a photo detector is shown in drawing 124 , and the optical modulator and photo detector which were connected to waveguide are shown in drawing 125 . Still more complicated multilayer waveguide is contained in the example of drawings 122 , 124, and 125.

[0173] Much package structures are acquired according to electric and the capacity which carries out the laminating of the different OE film type using optical z connection. The side elevation of a film optical link module (FOLM) is shown in drawing 126 thru/or 129. FOLM structure can take out a lightwave signal from the chip which should be connected to other boards or alien-system components, CSP, or MCM simple, and the flexibility to which a systems engineer does the optical link of the module of a chip in various formats is acquired. As shown in drawing 126 , the photoelectron film (OE-film - DW) containing waveguide, VCSEL, and a photo detector is used for electronic-light conversion and optical-electronic conversion. VCSEL containing an accumulation driver and the photo detector containing accumulation amplifier may be used. Using a connector, it connects with waveguide at the edge of the photoelectron film, and a fiber array, an image guide, or a waveguide array forms the optical link to other components. VCSEL answers the output of a chip and emits the lightwave signal transmitted to the board or unit connected to OE film through the optical link (a fiber array, a waveguide array, or image array). Preferably, a fiber array, an image guide, or a waveguide array is connected with other boards or a unit in order to perform an optical link between a board and/or a unit. On the contrary, the lightwave signal connected to waveguide through the optical link from the outside of OE film is received by the photo detector in OE film. A lightwave signal is changed into an electrical signal and inputted into a chip.

[0174] As shown in drawing 127 , the same function is realized by accumulating a passive waveguide substrate (OE-film - W) in other substrates and the form of INTAPOZA (insertion object) where it has only an active OE device (OE-film-D). VCSEL realizes an electronic light conversion function according to a chip output, and, on the other hand, a photo detector performs a photoelectron conversion function according to the received lightwave signal. One example of a film optical link module (FOLM) is shown in drawing 128 . In this film optical link module, OE substrate (OE-film - DW) equipped with waveguide, VCSEL, and a photo detector is in the MCM bottom in which the chip was mounted. Except for the point that the passive waveguide film (OE-film - W) and the active OE device film (OE-film-D) are different, the example of drawing 128 and the example of a similar film optical link module are shown in drawing 129 .

[0175] In the structure shown in drawing 128 , the laminating of the OE film is carried out on the substrate which does not possess the edge of the left-hand side which extends under the edge of a substrate. The horizontal-type optical connector currently used in drawings 126 , 127, 129, and 134 is replaced by the vertical mold two-dimensional optical connector to OE film. A vertical mold connector connects the waveguide of OE film to the edge of a two-dimensional (2D) fiber array (or fiber image array). In the location of a vertical mold connector, in order that a vertical mold coupler (for example, mirror plane) may turn the lightwave signal in OE film to the direction of 2D fiber array, it is formed in OE film at the reverse sense. Termination of the edge of two or more waveguide cores in 2D fiber array is carried out in respect of connection of a vertical mold connector, and the edge of each waveguide core is prepared on the vertical mold connector to which it corresponded in OE film. In the case of almost all the juxtaposition link, this type of field normal coupling is effective, and suitable for this type of application. OE film can use this field normal coupling with all the examples of this invention by which optical coupling is carried out to 2D fiber array (or fiber image guide).

[0176] As above-mentioned, the stack structure indicated by drawing 35 thru/or 42 and drawing 119 thru/or 120 is used in order to produce film optical link module structure. For example, in the case of drawings 126 and 128, a driver / amplifier chip layer is OE-film so that it may function as an interface



between OE devices (for example, VCSEL, a photodiode, a modulator, etc.) and the input/output terminal of a chip or an MCM module. - A laminating may be carried out on DW. In the case of drawings 127 and 129, the laminating of a driver / the amplifier chip layer may be carried out on OE-film-D. In both cases, the laminating of OE-film, and the driver / amplifier chip layer can be carried out according to z connection (lamination) process or a build up process. Of course, a driver / amplifier chip layer may include the supplemental circuit of arbitration like other suitable circuits in a driver circuit, an amplifier circuit, a bias circuit, a temperature stabilization circuit, a skew compensating circuit, a synchronous circuit, and a list. Moreover, a chip and OE device may live together in the same layer (OE-film).

[0177] The distance between electric input/output terminals, electronic light, or a photoelectron converter article is shortened rather than the distance in the conventional optical link module. For this reason, the link engine performance is improved. Furthermore, excessive space is needed by the conventional optical link module. In the case of the film optical link module structure of this invention, most excessive space is not needed.

[0178] In order that drawing 130 may adjust the optical path length if needed so that it may make a signal skew ease, some OE film is the top views of the film optical link module structure of having the sufficient room so that waveguide can be incurvated. In a detail, it is more desirable to adjust the root of waveguide and path length so that the transit time of the signal from the output of various chip/fields, a board, a unit, or a module to an input may be in agreement. Since a skew is prevented, other techniques of adjusting transit time which changes other waveguide parameters (for example, refractive index) can be used.

[0179] As shown in the top view of drawing 131 , and the sectional view of drawing 132 , a connector contains a connector buffer in order to carry out preferably the optical accommodation function to make a connector open a signal for free passage easily. For example, a connector buffer adjusts spot size and changes a waveguide pitch (namely, spacing of waveguide). For example, since a connector buffer has the curved waveguide pass, it can connect the one dimensional array of one or more plane polymer waveguides to the two dimensional array of waveguide. As shown in drawing 130 , patterning of the extension of a flexible substrate field is carried out to the shape of a ribbon, and two or more waveguides are contained in each. Two or more ribbons become spiral and the edge of a ribbon forms a two-dimensional waveguide array as the result. In the case of a ribbon with a die length of 5cm, 90 degrees of each ribbons are bent at a time with quite small stress. As for the thickness of the polymer film, it is desirable to fall within the range of about 10 thru/or 250 microns. Each ribbon holds 12 waveguides in the pitch within the limits of about 30 thru/or 250 microns. The edge of two or more ribbons is accumulated on the form of a frame-connector, and it is ground so that a two-dimensional waveguide connector may be formed. Preferably, the lateral surface of a connector buffer is fabricated so that coupling to an external optical connector can be performed easily (for example, in order to form a plane front face and the front face which carries out coupling, polish, slice, or other shaping processings are carried out). Thereby, the waveguide of film optical link module FOLM can be connected now to the optical coupler of a large number like a two-dimensional fiber array and an image guide. Signs that it is forwarded by the two-dimensional waveguide array connector in which the lightwave signal in a connector buffer contains two or more waveguide cores arranged in the shape of an array are shown in drawing 133 . Since a connector buffer performs an optical accommodation function preferably, two or more waveguides of the photoelectron film are optically combined with an optical connector like a two-dimensional optical connector marketed. MT connector made from the Koga electrical engineering is an example of a desirable multi-fiber connector. A connector buffer includes wavelength division multiplex-ized (WDM) functions, such as a wavelength multiplexer (MUX) and a wavelength demultiplexer (DEMUX), in order to add a wavelength division multiplex-ized function to the film optical link module structure by this invention. In the case of the field normal shown in drawing 128 , a function, the same above-mentioned function as components, and above-mentioned components are used.

[0180] One example of a high-speed film optical link module is shown in drawing 134 . Since a high-

speed optical modulator generates a lightwave signal from external input light, it is driven by the output of a chip. An optical modulator can operate by current dissipation lower than VCSEL and low power dissipation. It is desirable to use the photoelectron substrate (OE-ADLES) which does not contain a high speed, and low heat release type an amplifier/driver on high lightwave signal level. Since an optical modulator has the output of a chip, and the suiting electrical-potential-difference drive property in OE-ADLES, an optical modulator is directly driven by the chip output. Therefore, an additional driver is not needed in order to drive a modulator from a chip. Furthermore, since the lightwave signal in a photo detector becomes strong enough by making input light power increase, photo detector amplifier may be omitted. A reference sake 8th Iketani Conference held in Chitose on 12-October 15, 1998 to quote, 4th International Conference On Organic Nonlinear Optics (ICONO'4) "Optoelectronic Amplifier/Driver-Less Substrate [ / else / nonuniformity / which was set and announced / reed ], OE-ADLES, and For Polymer-Waveguide-Based OE-ADLES equipment and an approach are indicated by Board Level Interconnection-Calculation Of Delay And Power Dissipation." OE-ADLES is desirable at the point which the signal delay which can omit the driver and amplifier which increase the cost and complexity of a photoelectron substrate, and originates in a driver and an amplifier decreases.

[0181] A film optical link module is constituted by the structure to which the laminating of many photoelectron film substrates was carried out. The details of one desirable example of the film optical link module (FOLM) structure are shown in drawing 135 thru/or 137. Drawing 135 is a side elevation of the FOLM structure, drawing 136 is a plan of the whole FOLM structure, and the spot-size converter linked to MT connector which is having FOLM waveguide marketed is formed. Since 12 FOLM waveguides are connected with every one of the MT connector outputs of 16 pieces as shown in drawing 136, 19 channels which communicate a lightwave signal within FOLM exist. Since the core of MT marketed has the core of 62.5 micron x 62.5 micron and 5, FOLM with a die length of 5cm increases gradually the spot size of photoelectron (core dimension is 15 micron x 15 micron) waveguide, and functions as a connector buffer which transforms waveguide so that it may combine with MT connector efficiently. It is possible to attach a two-dimensional-array connector (for example, 16x16=256) instead of a ribbon at OE-film by which the laminating was firmly carried out to the substrate in the case of field normal coupling.

[0182] Some details of the FOLM structure which explains to (a) of drawing 137 and (b) signs that VCSEL connected electrically and optically to waveguide by the 45-degree mirror plane by which metallic-coating processing was carried out by the desirable manufacture approach is obtained are shown. It connects with a mirror plane metal coat electrically, and a part of Au contact layer of VCSEL can perform electrical connection to VCSEL now easily so that (a) of drawing 137 and (b) may show. about 10 -- the luminescence aperture of VCSEL which has the area of micron x 10 micron order collides on the mirror plane where metallic coating of the light was carried out, and the sense can be decided to be reflected into waveguide.

[0183] An example of the manufacture process of the FOLM structure includes preferably an aluminum substrate, glass, Xtal, or the process that forms the 1st poly IMIDE film on other suitable substrates which may be removed suitably later. After the 1st poly IMIDE film is formed, a contact pad and an electrode accumulate on the front face of a polymer layer. Since a pad mounts VCSEL and a photo detector, patterning of it is carried out. The epitaxial lift off VCSEL and a photo detector are put on a contact pad. Preferably, in order to paste up VCSEL on a contact pad, Au/Sn/Au metal diffusion is used. The 2nd poly IMIDE layer or other suitable poly IMIDE layers are covered on VCSEL. Flattening of the front face is carried out by CMP. A waveguide clad fluorination poly IMIDE layer (or ultraviolet curing possible epoxy layer) is formed on the wafer by which flattening was carried out. Next, it deposits, and patterning of the core layer is carried out, and as the previous example was explained, it is embedded in an upside clad coat. A 45-degree mirror plane is formed according to which the above-mentioned manufacture process like RIE and laser melting. Next, metallic coating of the mirror plane is carried out. It is used in order that the same metallic coating may contact the desirable electrode of VCSEL and/or the desirable pad for VCSEL, and/or Bahia. The poly IMIDE layer is covered on a front face, and flattening is carried out by CMP if needed. aluminum substrate is removed next, and the 1st poly IMIDE

layer is removed or etched in order to create the contact to the photoelectron film and/or a pad, and Bahia. Or clearance of aluminum substrate may be performed after the photoelectron film is attached in another substrate.

[0184] As shown in drawing 138 thru/or 145, two or more chip / CSP/MCM are mounted, and it may connect electrically and optically using a photoelectron insertion object (or photoelectron INTABOZA) (OE-IP) or the photoelectron film multi chip module (OE-film-MCM) manufactured by the above-mentioned manufacture process. OE-IP is inserted between a chip, CSP or MCM, and a monolayer or multilayer OE layer, and offers the optical connection with other at least one components preferably. Many OE layers may be built by the same approach as the already explained approach. The laminating of the OE layer is carried out by solder bonding, TLB and WIT, metal diffusion and the approach indicated by U.S. Pat. No. 5,334,804, a KONDAKUTINGU paste, or other laminating processes. One desirable paste lamination is a MAJIC paste lamination indicated by the United States patent application/[ 09th ] No. 192,003 description which inheritance is carried out to an applicant for this patent, and is quoted for reference.

[0185] Photoelectron insertion object OE-IP by this invention contains the light source of a large number arranged by various approaches at OE-IP and/or a photo detector or other components, and/or accumulation components. In one example of OE-IP shown in drawing 138 , VCSEL and a photo detector are embedded on the polymer film of OE-IP. OE-IP which uses the optical modulator connected to the light source instead of and a transmitter is shown in drawing 141 . [ VCSEL ] The light source is supplied from the light source on OE layer or OE-IP. The light source may be supplied from the source of the exterior through an optical fiber, an optical fiber array, an image guide, or the FREX waveguide array, as shown in drawing 142 . A suitable optical modulator contains Mach TSUENDA and a modulator, a total-internal-reflection switch, a digital switch, a directive coupler switch, or an electronic light device like an electronic absorption (EA) modulator.

[0186] It is drawing where an OE-IP light link shows the example by which opposite hand \*\*\*\*\* was carried out in drawing 146 to a chip / CSP/MCM component side in the case of drawings 138 and 139. VCSEL and a photodiode are embedded in OE layer near \*\*\*\*\*. An example of OE-IP equipped with the optical link to the chip/MCM mounted in the both sides of OE-IP is shown in drawing 143 . OE layer may be merged into OE-IP. Namely, as for VCSEL and a photo detector, it may be embedded [ near a bottom side face and an upside side ] in OE layer.

[0187] OE-IP of this invention is used in two or more forms with other OE layers. Fig. 147 and 138 is the example of OE-IP, and the example of OE-film-MCM is shown in Fig. 139 and 148 . OE-film-MCM which has the exterior or a flexible link is shown in drawings 144 and 145. OE-film-MCM enables it to use this flexible link as a juxtaposition optical link module. As shown in drawings 144 and 145, a flexible optical connector is attached in the edge of OE-film-MCM at least. The flexible link is useful because of many objects of offering the coupling means to coupling, other OE-IP, or OE layer of the source of optical power of a lightwave signal. However, a flexible link is used also in order to form a film optical link module (FOLM) or optical jumpering.

[0188] This invention can be used, also in order to manufacture the so-called "smart pixel" as shown in drawings 149 and 150. The usual smart pixel integrates the array of VCSEL and a photo detector on a chip in order to perform easily the photoelectron communication link to other components [ chip ]. However, the conventional smart pixel has a high manufacturing cost, and its rate of the yield is low. As shown in drawing 149 , the polymer film (OE-film-D) with which the array of VCSEL and a photo detector was embedded inside is used in order to realize the same function as a smart pixel. Another electric pad to a chip is created using bias. As shown in drawing 150 , a smart pixel is producible using the activity photoelectron film (OE-film - DW) with which waveguide was accumulated. A smart pixel is produced by embedding a photo detector and the array of VCSEL in the polymer film, next connecting the polymer film to a chip electrically. The smart pixel of this invention can be substantially produced easily rather than the conventional smart pixel. OE-film-D plays the same role as VCSEL / photo detector array in a smart pixel chip conventional chip type. This OE-film has the advantageous point arranged only in the location for which a comparatively expensive semiconductor device is needed

within OE-film-D. Thereby, the cutback of potential cost is obtained. Furthermore, the polymer film enables it to process Bahia, a pad, and an electric line easily.

[0189] One example of OE-film by which packaging was carried out to both sides is shown in drawing 143. As shown in the sectional view of (b) of drawing 143, the 1st passive waveguide substrate transmits a lightwave signal to OE back-plane layer, i.e., the 2nd passive waveguide substrate. A chip or MCM is connected to the both sides of each passive waveguide by this. As shown in the perspective view of (a) of drawing 143, a three-dimension module can be easily produced now. In order to give the demanded mechanical strength preferably to a three-dimension module, an additional support member (not shown) is used if needed.

[0190] This invention is extensible so that OE printed circuit board or a mother board may be included. As shown in drawing 151, OE printed circuit board (OE-PCB) is preferably connected to OE-MCM optically using a 45-degree mirror plane light coupler. Of course, the other optical coupler may be used. The electric generating power of each chip controls VCSEL in each OE-MCM. Luminescence from a part of VCSEL(s) is combined with another optical terminal of other chips (inside of MCM), or the same chip (inside of a chip). However, it connects with OE-PCB from the rear face to OE film, and the light from other VCSEL(s) can perform now optical communication with other components like OE-MCM. [0191] OE film structure of the shape of a stack used for the optical connection in MCM and between MCM is shown in drawing 152. 1st OE film containing a light emitting device and a photo detector is used for an MCM intrinsic-light link. As shown in drawing 152, the 1st film carries out optical link of the four chips. 1st OE film is connected also to 2nd OE film. 2nd OE film has the passive waveguide used for the optical link between MCM (for example, between boards). As shown in this drawing, the 2nd film connects four 4 chips MCM for example, on a board. The dimension of the waveguide of 1st OE film and 2nd passive OE film can be optimized independently. As shown in this drawing, for example the waveguide and the coupler in the 2nd passive film correspond to large beam-spot size, and it depends for them, and they have large aperture. Preferably, photo detector aperture is expanded according to the beam-spot size of a waveguide coupler. Suitable electrical connection is created by Bahia to an electric board.

[0192] Another example of OE film structure of the shape of a stack which is used for the reason in MCM and between MCM (for example, link in a board) is shown in drawings 153 and 154. As shown in drawings 153 and 154, the function of the activity film incorporating waveguide, a photo detector, and a light emitting device is realized by the combination of the passive waveguide film and the active device film. The rate of the yield higher than the example shown in drawing 152 by this may be obtained.

[0193]

[Effect of the Invention] If it says briefly, the approach by this invention is the form which was compatible with the optical transmission of the efficient signal to an insertion object, a multi chip module, or other electronic light devices in the package between multichips, and can embed various activity and a passive electronic light device on the film at an electron device and components, and a list. Moreover, the approach of this invention is used widely in order to manufacture the film which contains both passive waveguide and an active electronic light device in the film with which many the passive waveguide film structures, electronic light devices, and electric devices were embedded, and a list. The smoothness of the single film is held and membranous complicated three-dimension stack structure can be manufactured now according to the capacity which extends Bahia and the conventional Z connection which pass the signal film. In order to combine a signal with the terminal in a chip, or in order to combine a signal between two or more chips, CSP and MCM, or a board, in case this flexibility designs the rate of the high yield, low cost, a high-speed multi chip module, a substrate, an optical link module, etc., it is effective.

[0194] Although this invention is explained about the example by especially the above-mentioned explanation, probably, it will be clear to this contractor that various alternatives, modification, and adaptation can be made based on disclosure of this invention, without deviating from the range of this invention. Moreover, although this invention is explained about the most practical and suitable operation gestalt it can hit on an idea of at present as above-mentioned, it is necessary to notice this invention

about having intention so that various deformation and equivalent configurations which are included within the limits of the matter which is not limited to the indicated example and was indicated by the claim may be included.

---

[Translation done.]

## \* NOTICES \*

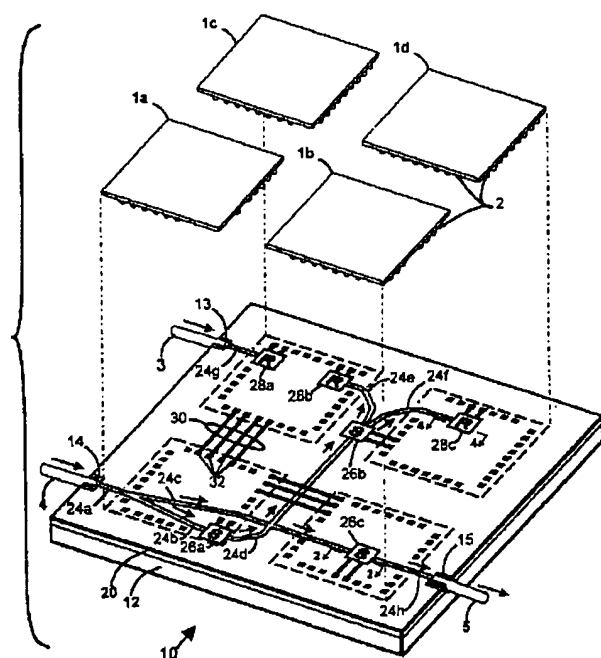
JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

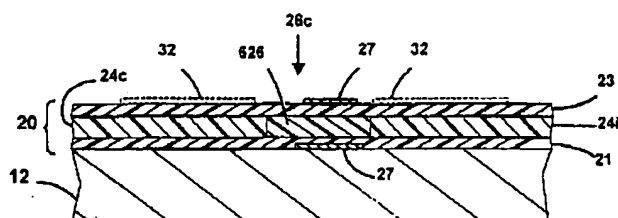
## DRAWINGS

[Drawing 1]

本発明による光電子マルチチップモジュールの第1実施例の構成図

[Drawing 2]

本発明による光スイッチの第1実施例の断面図

[Drawing 3]

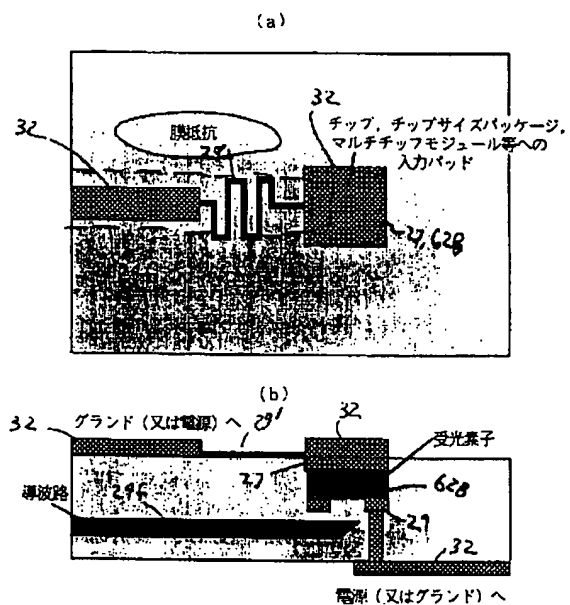




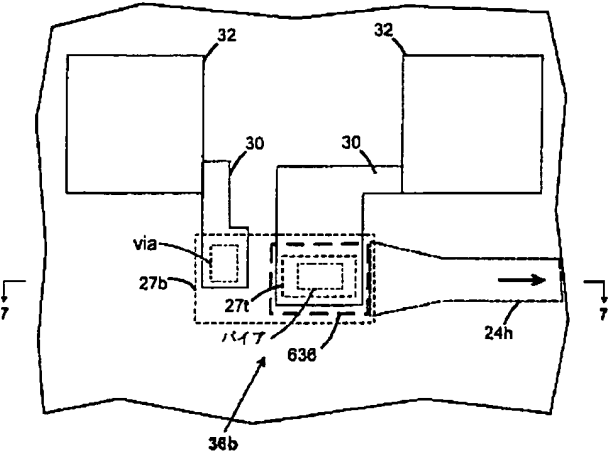


[Drawing 6]

本発明による受光素子デバイスの第3実施例の構成図

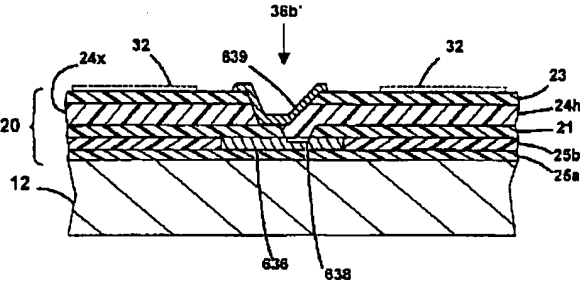


本発明による横型発光デバイスの実施例の平面図



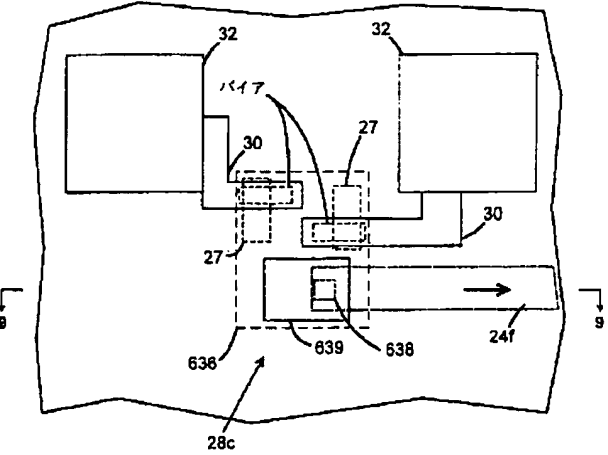
[Drawing 10]

本発明による縦型発光デバイスの実施例の断面図



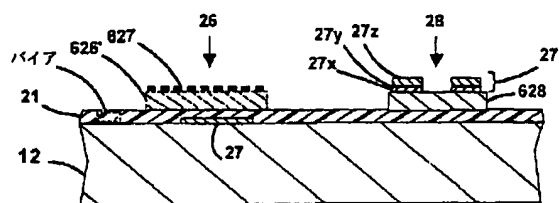
[Drawing 11]

本発明による縦型発光デバイスの実施例の平面図



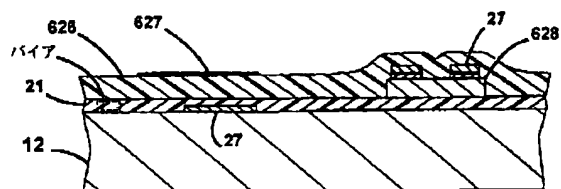
[Drawing 12]

本発明による活性基板の作製方法の説明図



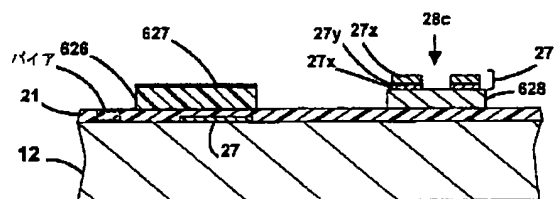
[Drawing 13]

本発明による活性基板の作製方法の説明図



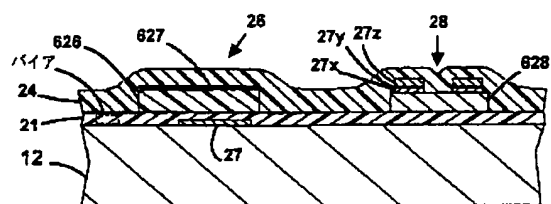
[Drawing 14]

本発明による活性基板の作製方法の説明図



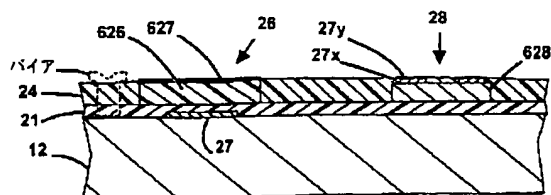
[Drawing 15]

本発明による活性基板の作製方法の説明図



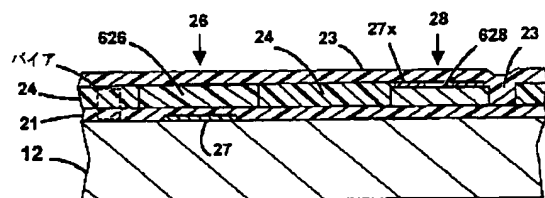
[Drawing 16]

本発明による活性基板の作製方法の説明図

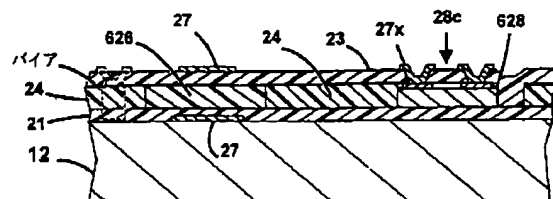


[Drawing 17]

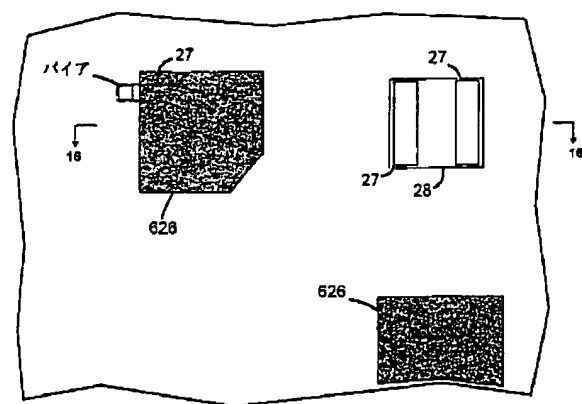
本発明による活性基板の作製方法の説明図



本発明による活性基板の作製方法の説明図

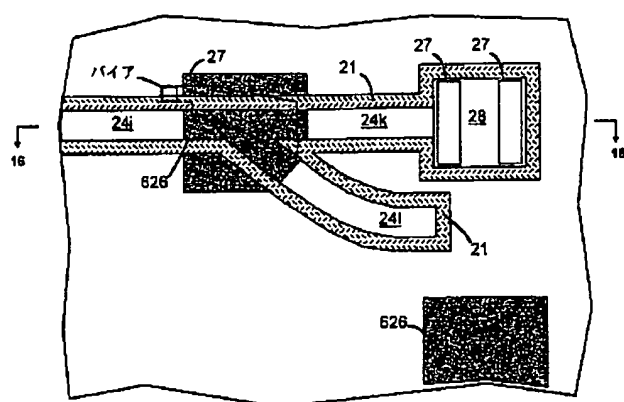


本発明による活性基板の作製方法の説明図



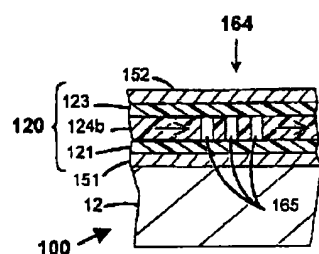
[Drawing 21]

本発明による活性基板の作製方法の説明図

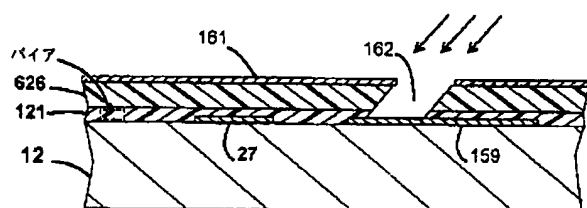


[Drawing 27]

本発明による第1のマルチチップモジュールシステムの構成図



[Drawing 28]

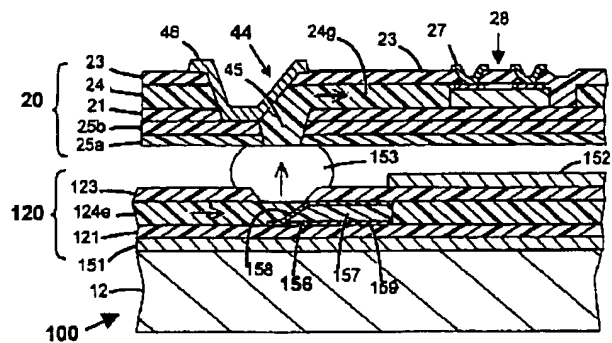
光スイッチの製作中に縦型カッフラを作製する方法の  
一実施例の説明図

[Drawing 22]



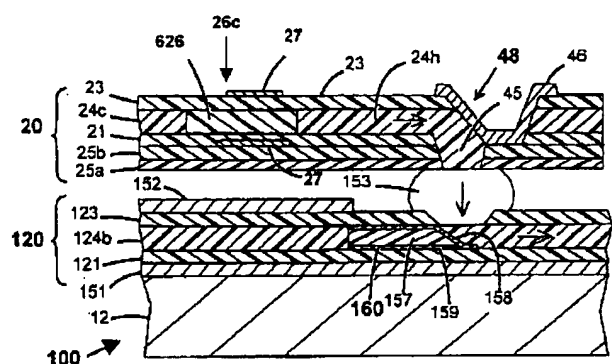


本発明による第1のマルチチップモジュールシステムの構成図



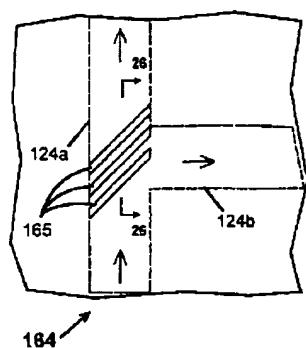
[Drawing 25]

本発明による第1のマルチチップモジュールシステムの構成図



[Drawing 26]

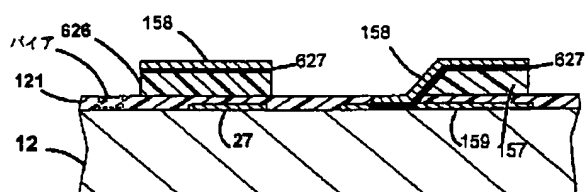
本発明による第1のマルチチップモジュールシステムの構成図



[Drawing 29]

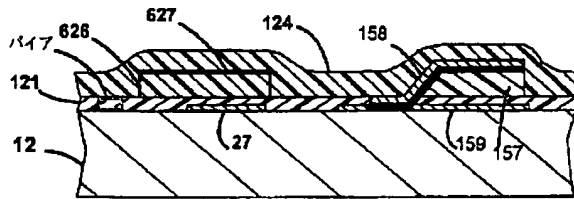
光スイッチの製作中に縦型カッフラーを作製する方法の

## 一実施例の説明図



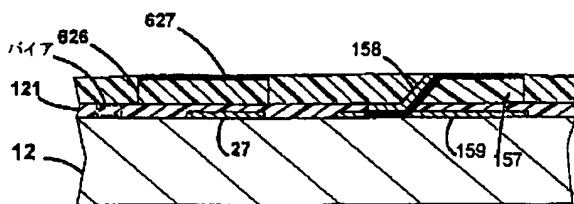
[Drawing 30]

光スイッチの製作中に縦型カップラーを作製する方法の  
一実施例の説明図



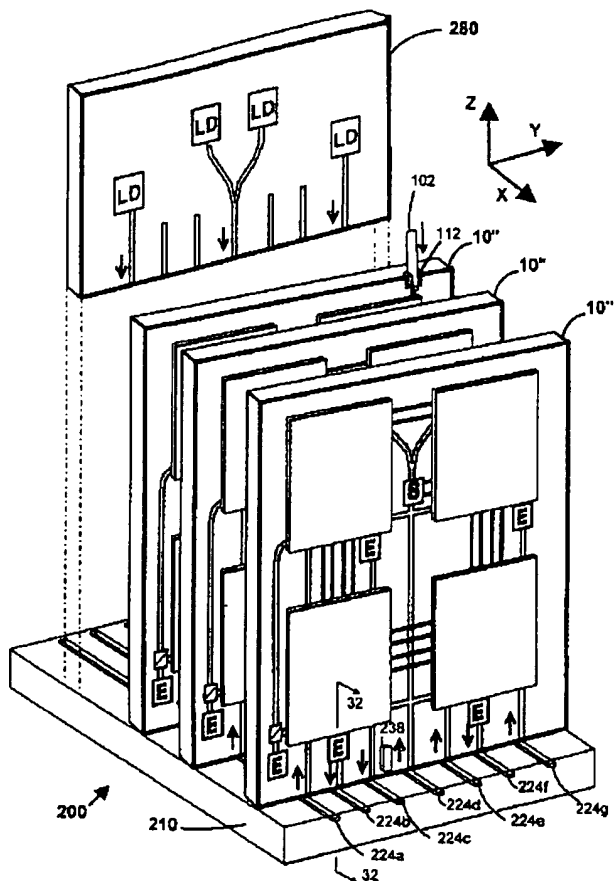
[Drawing 31]

光スイッチの製作中に縦型カップラーを作製する方法の  
一実施例の説明図



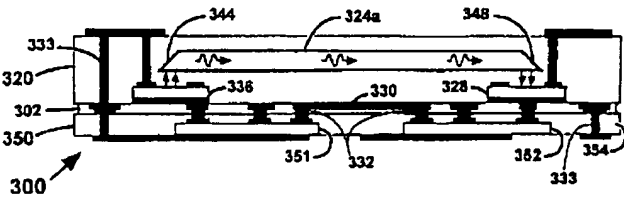
[Drawing 32]

本発明による第2のマルチチップモジュールシステムの構成図



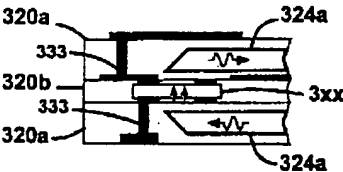
[Drawing 35]

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



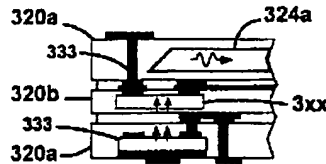
[Drawing 39]

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



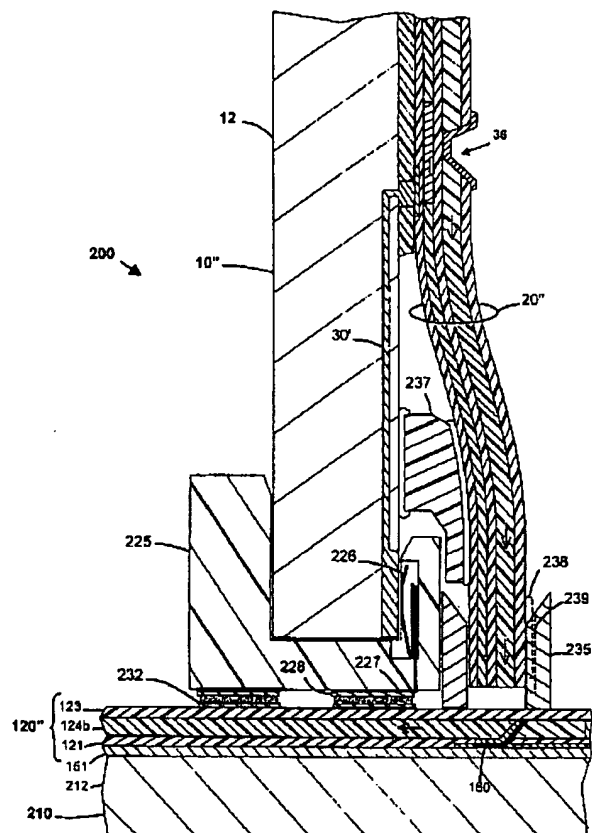
[Drawing 40]

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



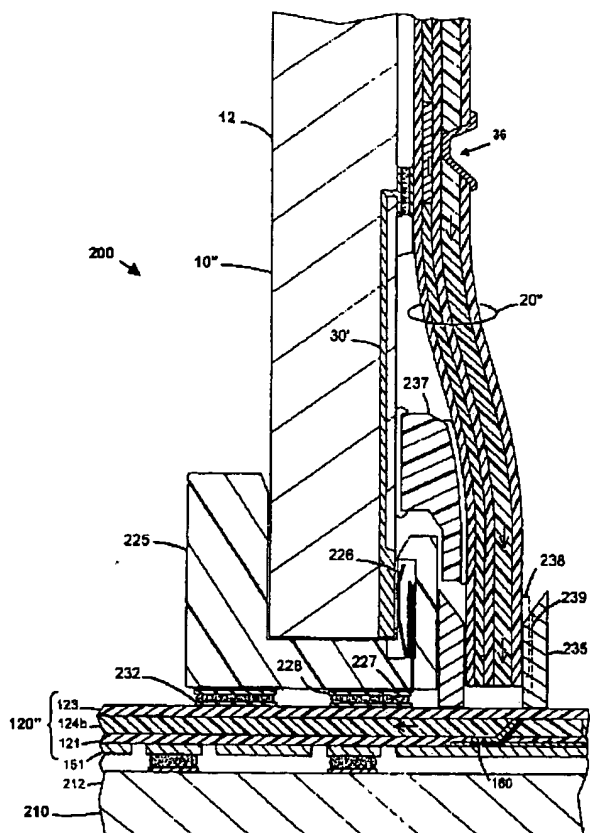
[Drawing 33]

本発明による第2のマルチチップモジュールシステムの構成図



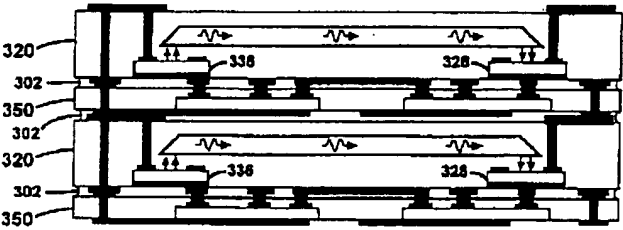
[Drawing 34]

本発明による第2のマルチチップモジュールシステムの構成図



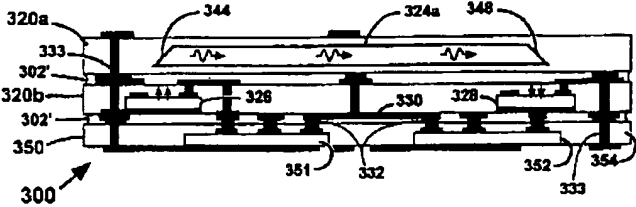
[Drawing 36]

本発明による光電子マルチチップモジュール基板の他の実施例の  
構成図



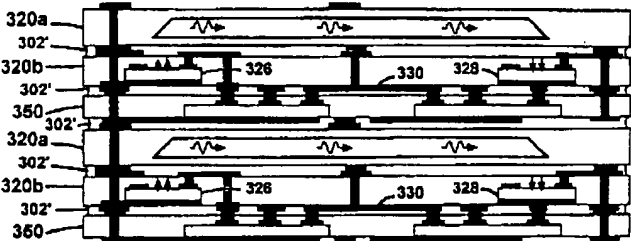
[Drawing 37]

本発明による光電子マルチチップモジュール基板の他の実施例の  
構成図



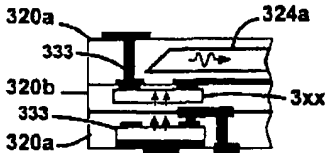
[Drawing 38]

本発明による光電子マルチチップモジュール基板の他の実施例の  
構成図



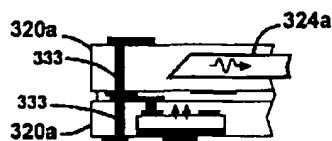
[Drawing 41]

本発明による光電子マルチチップモジュール基板の他の実施例の  
構成図



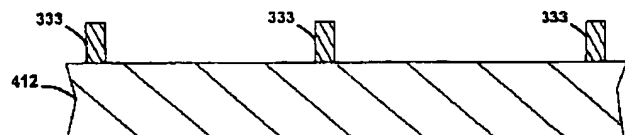
[Drawing 42]

本発明による光電子マルチチップモジュール基板の他の実施例の  
構成図



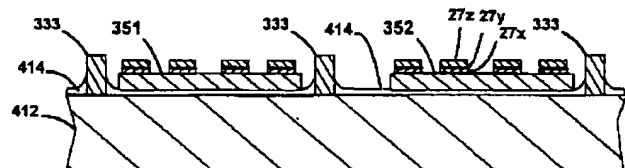
[Drawing 43]

ICチップ層を作製する方法の一例の説明図



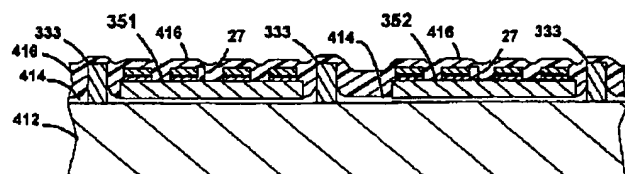
[Drawing 44]

ICチップ層を作製する方法の一例の説明図



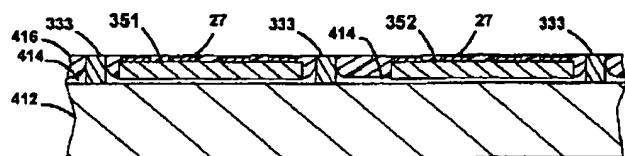
[Drawing 45]

ICチップ層を作製する方法の一例の説明図



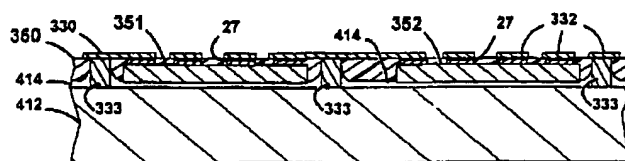
[Drawing 46]

ICチップ層を作製する方法の一例の説明図



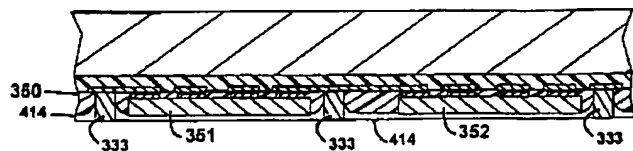
[Drawing 47]

ICチップ層を作製する方法の一例の説明図



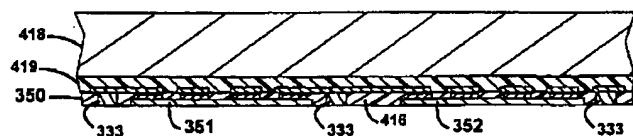
[Drawing 48]

I Cチップ層を作製する方法の一例の説明図



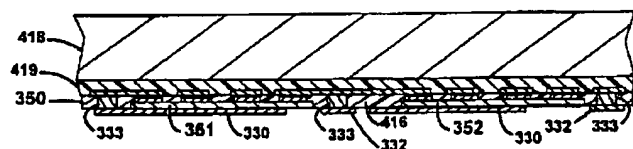
[Drawing 49]

I Cチップ層を作製する方法の一例の説明図



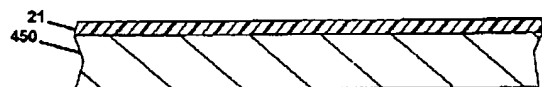
[Drawing 50]

I Cチップ層を作製する方法の一例の説明図



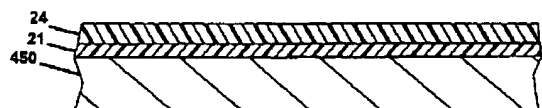
&lt;EMI ID=000052 HE=030 WI=082 LX=0210 LY=2450&gt; [Drawing 51]

本発明によるポリマー導波路層の作製方法の実施例の説明図



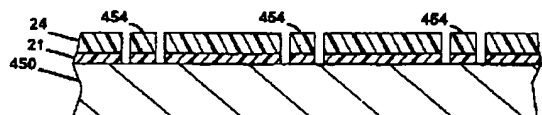
[Drawing 52]

本発明によるポリマー導波路層の作製方法の実施例の説明図



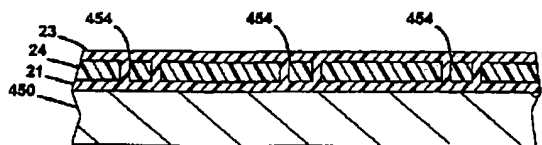
[Drawing 53]

本発明によるポリマー導波路層の作製方法の実施例の説明図



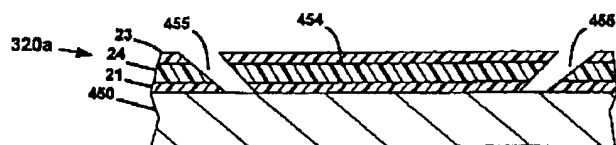
[Drawing 54]

本発明によるポリマー導波路層の作製方法の実施例の説明図



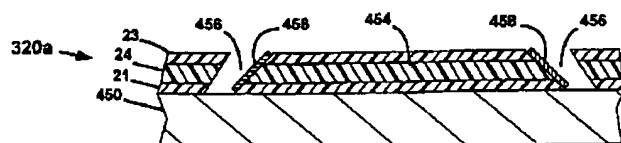
[Drawing 55]

本発明によるポリマー導波路層の作製方法の実施例の説明図



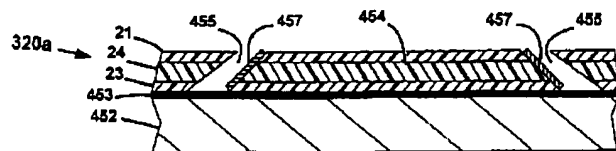
[Drawing 56]

本発明によるポリマー導波路層の作製方法の実施例の説明図



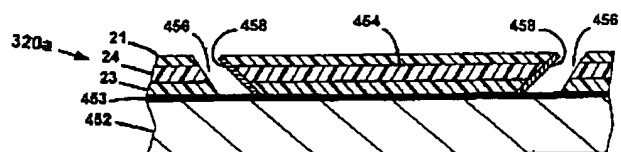
[Drawing 57]

本発明によるポリマー導波路層の作製方法の実施例の説明図



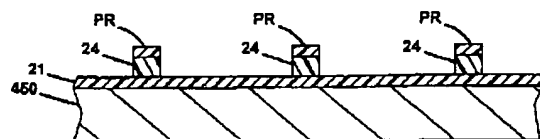
[Drawing 58]

本発明によるポリマー導波路層の作製方法の実施例の説明図



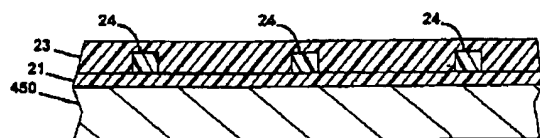
[Drawing 59]

本発明によるポリマー導波路層の作製方法の実施例の説明図



[Drawing 60]

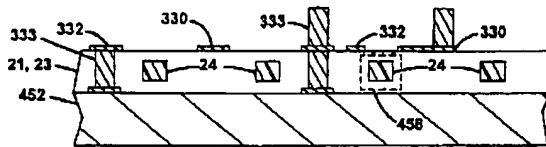
本発明によるポリマー導波路層の作製方法の実施例の説明図





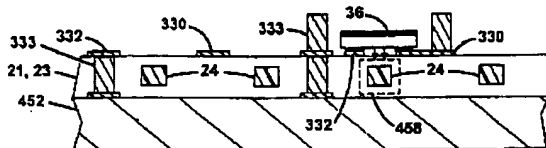
[Drawing 61]

活性部品層を導波路層に追加する方法の一例の説明図



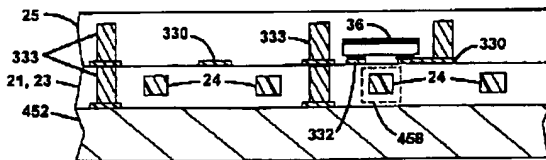
[Drawing 62]

活性部品層を導波路層に追加する方法の一例の説明図



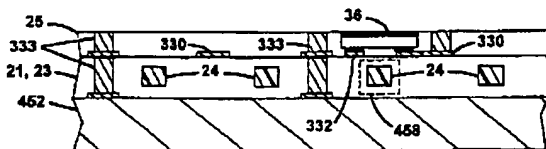
[Drawing 63]

活性部品層を導波路層に追加する方法の一例の説明図



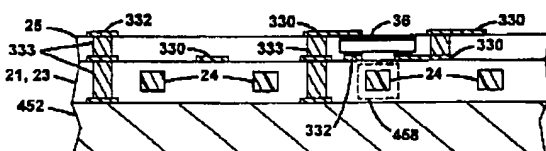
[Drawing 64]

活性部品層を導波路層に追加する方法の一例の説明図



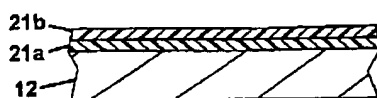
[Drawing 65]

活性部品層を導波路層に追加する方法の一例の説明図



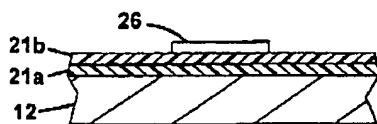
[Drawing 66]

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



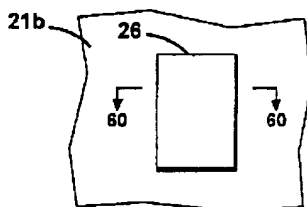
[Drawing 67]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



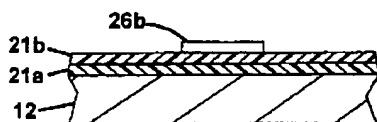
[Drawing 68]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



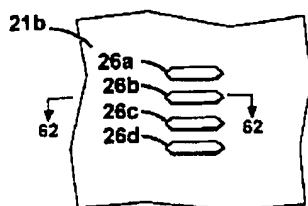
[Drawing 69]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



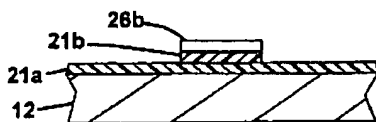
[Drawing 70]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



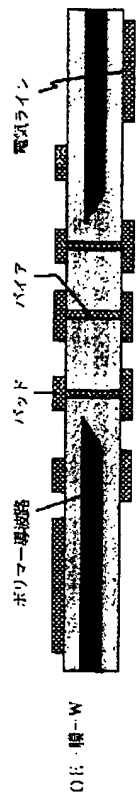
[Drawing 71]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



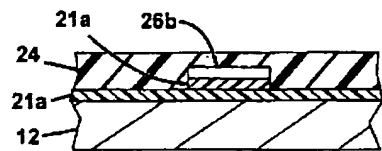
[Drawing 122]

OE膜の説明図



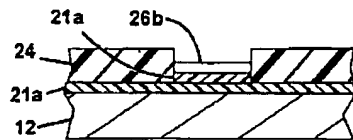
[Drawing 72]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



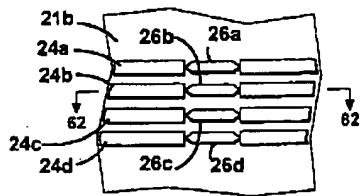
[Drawing 73]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



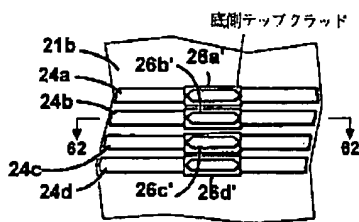
[Drawing 74]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



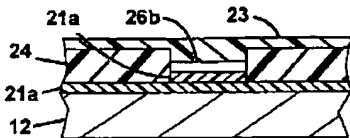
[Drawing 75]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



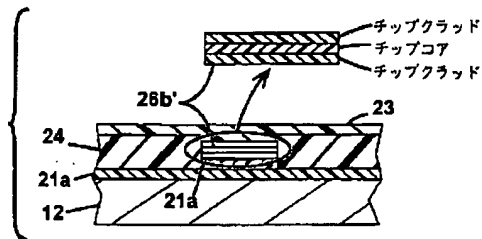
[Drawing 76]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



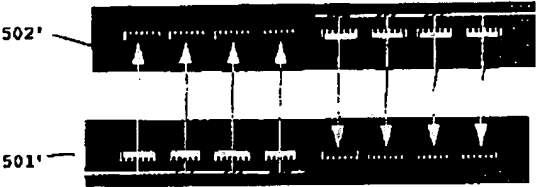
[Drawing 77]

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



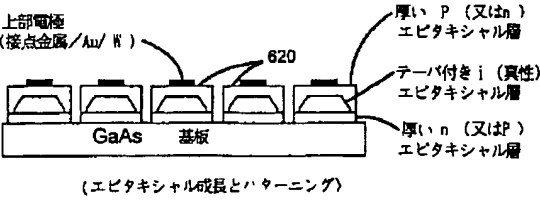
[Drawing 79]

本発明による自由空間MCMシステムの説明図



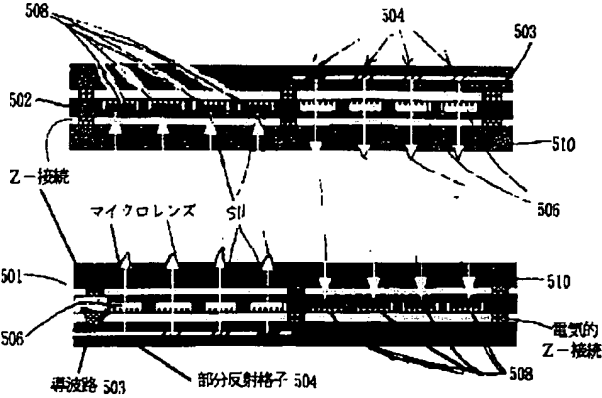
[Drawing 83]

薄膜デバイスと導波路を一体化する処理の説明図



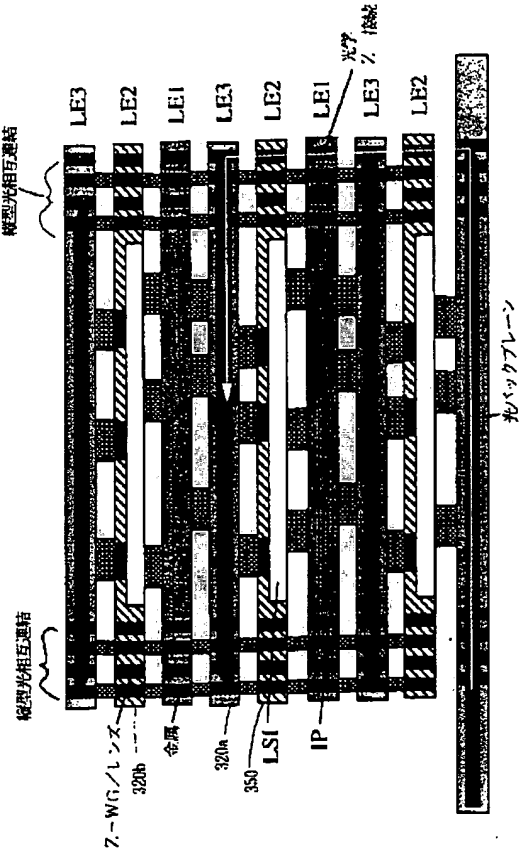
[Drawing 78]

本発明による自由空間MCMシステムの説明図



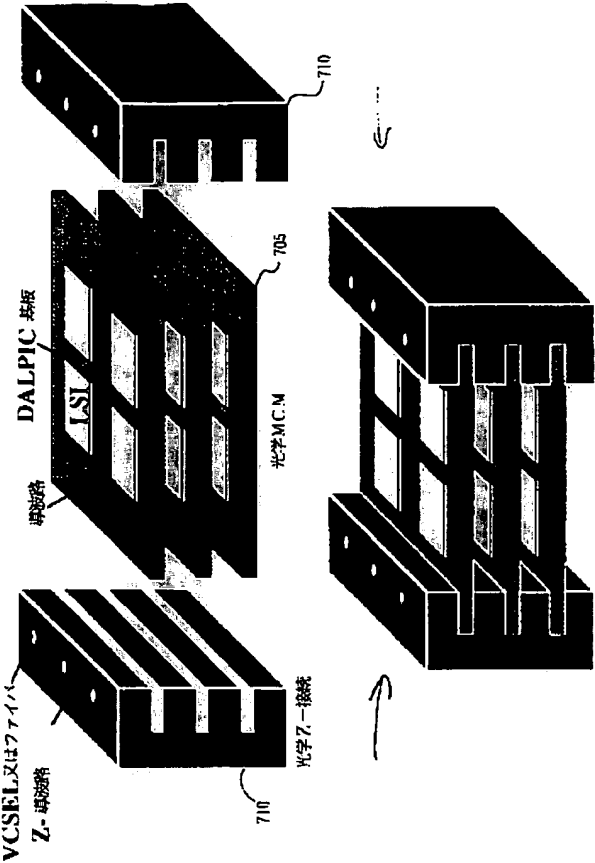
[Drawing 80]

本発明による3次元MCMシステムの説明図

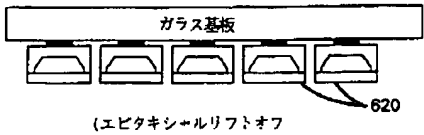


[Drawing 81]

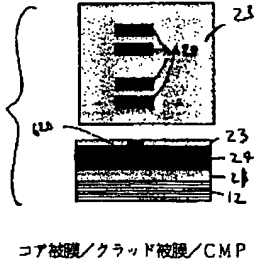
本発明による3次元MCMシステムの説明図



[Drawing 84]  
薄膜デバイスと導波路を一体化する処理の説明図

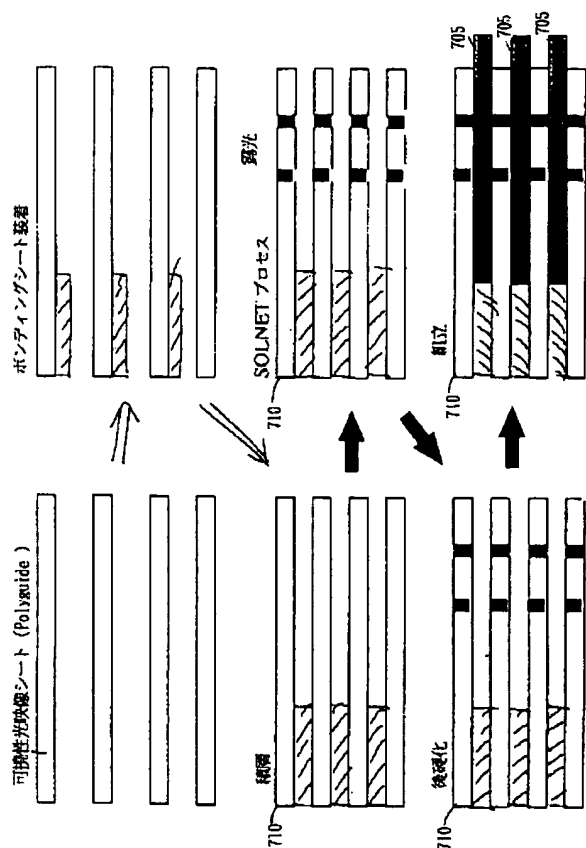


[Drawing 86]  
光変調器又は受光素子の集積化の例の説明図



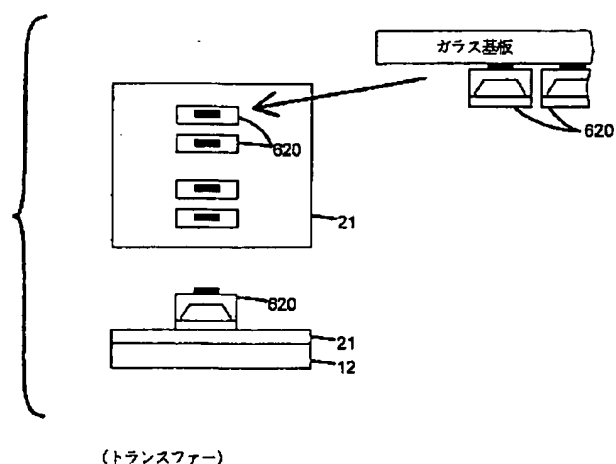
[Drawing 82]

本発明による３次元ＭＣＭシステムの説明図



[Drawing 85]

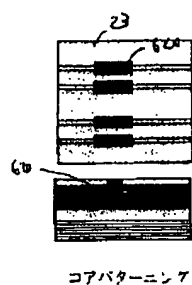
薄膜デバイスと導波路を一体化する処理の説明図



[Drawing 87]

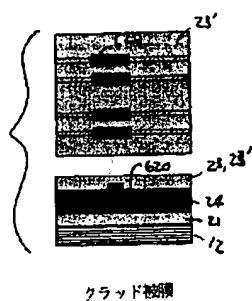


光変調器又は受光素子の集積化の例の説明図



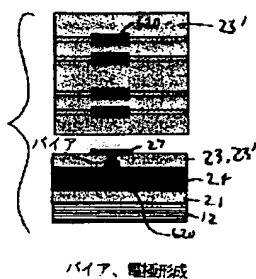
[Drawing 88]

光変調器又は受光素子の集積化の例の説明図



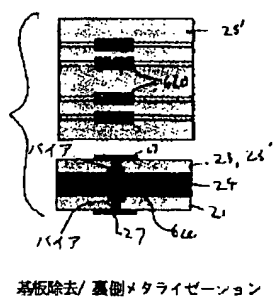
[Drawing 89]

光変調器又は受光素子の集積化の例の説明図



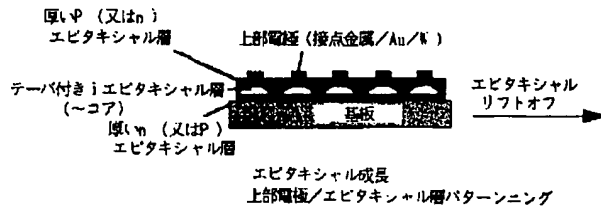
[Drawing 90]

光変調器又は受光素子の集積化の例の説明図



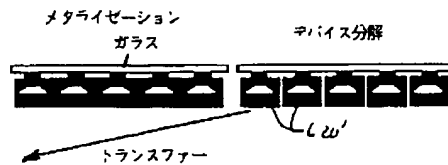
[Drawing 91]

集積デバイスと導波路を含む薄膜の作製例の説明図



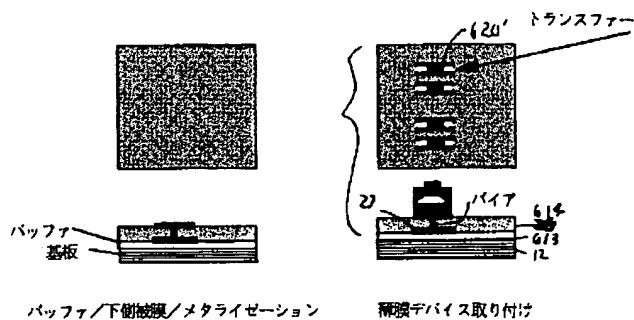
[Drawing 92]

集積デバイスと導波路を含む薄膜の作製例の説明図



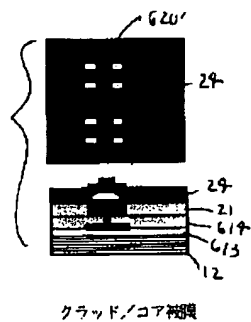
[Drawing 93]

集積デバイスと導波路を含む薄膜の作製例の説明図



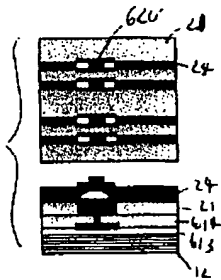
[Drawing 94]

集積デバイスと導波路を含む薄膜の作製例の説明図



[Drawing 95]

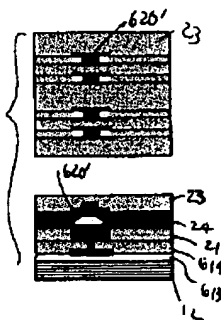
集積デバイスと導波路を含む薄膜の作製例の説明図



コアパターンニング

[Drawing 96]

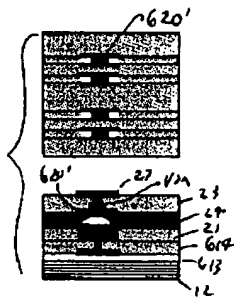
集積デバイスと導波路を含む薄膜の作製例の説明図



クラッド被膜

[Drawing 97]

集積デバイスと導波路を含む薄膜の作製例の説明図



バイア、電極形成

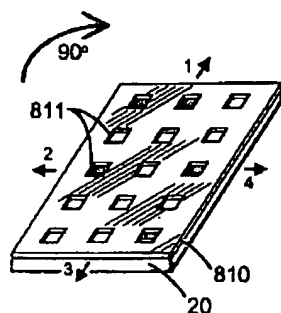
[Drawing 98]

集積デバイスと導波路を含む薄膜の作製例の説明図



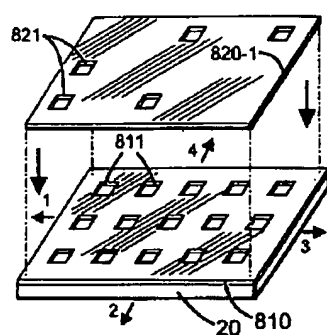
[Drawing 102]

本発明によるベベル構造のカット部の形成方法の説明図



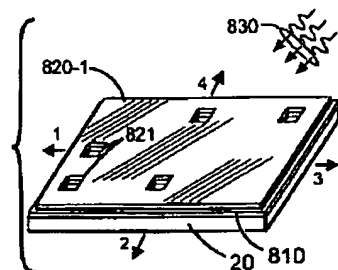
[Drawing 99]

本発明によるベベル構造のカット部の形成方法の説明図



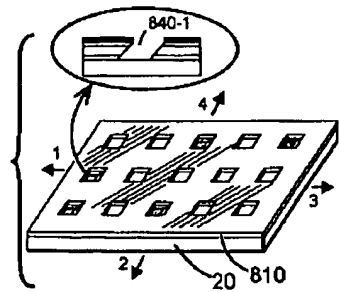
[Drawing 100]

本発明によるベベル構造のカット部の形成方法の説明図



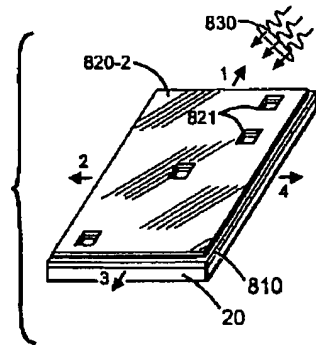
[Drawing 101]

本発明によるべベル構造のカット部の形成方法の説明図



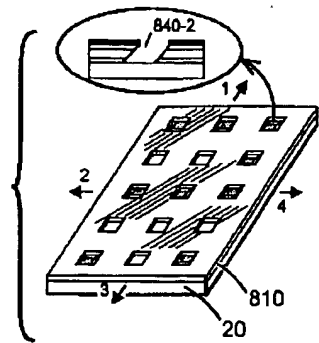
[Drawing 103]

本発明によるべベル構造のカット部の形成方法の説明図



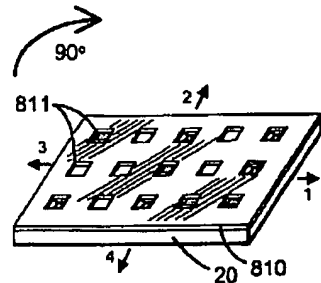
[Drawing 104]

本発明によるべベル構造のカット部の形成方法の説明図



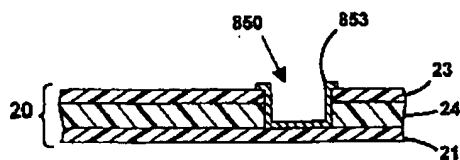
[Drawing 105]

本発明によるべベル構造のカット部の形成方法の説明図



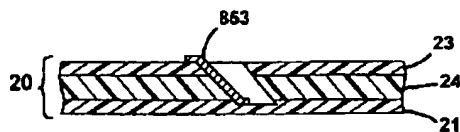
[Drawing 115]

コーナー回転ミラーの実施例の断面図



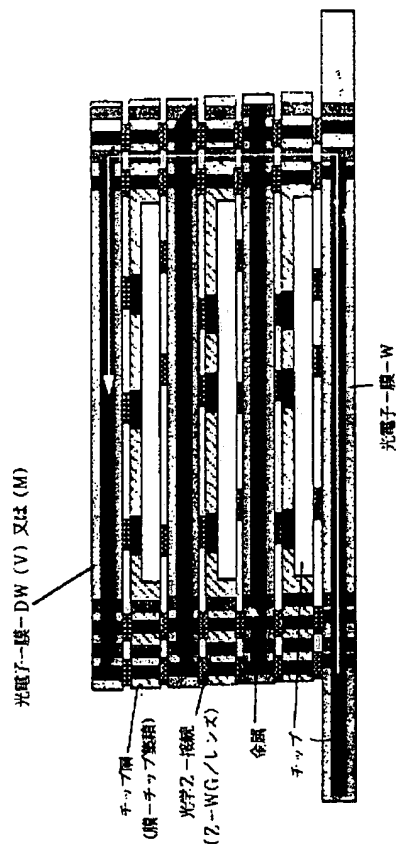
[Drawing 117]

導波路カップラーの実施例の断面図



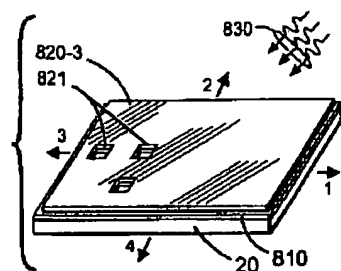
[Drawing 118]

OE-3Dスタック構造の例の説明図



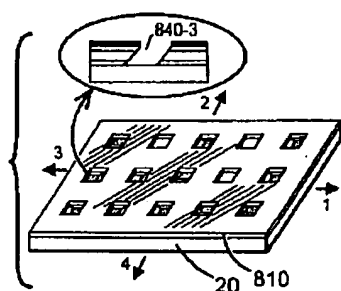
[Drawing 106]

本発明によるベベル構造のカット部の形成方法の説明図



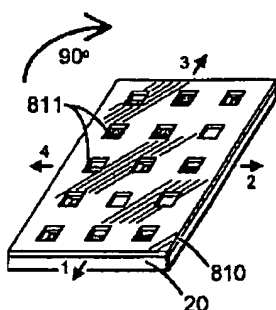
[Drawing 107]

本発明によるベベル構造のカット部の形成方法の説明図



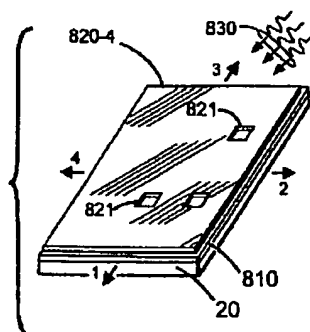
[Drawing 108]

本発明によるベベル構造のカット部の形成方法の説明図



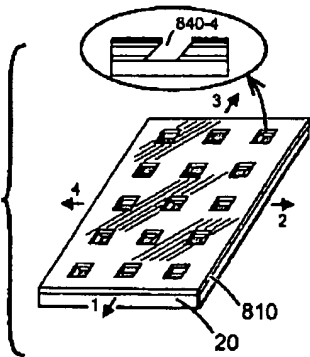
[Drawing 109]

本発明によるベベル構造のカット部の形成方法の説明図



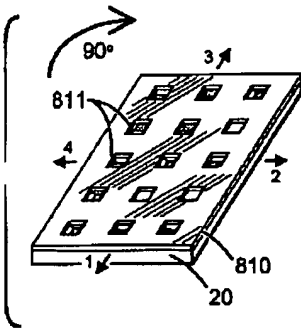
[Drawing 110]

本発明によるベベル構造のカット部の形成方法の説明図



[Drawing 111]

本発明によるベベル構造のカット部の形成方法の説明図



[Drawing 123]

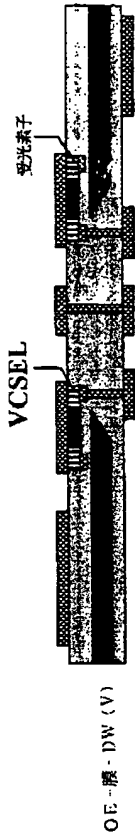


OE膜の説明図

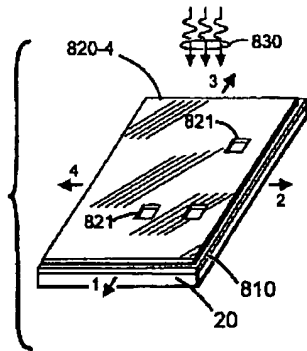


[Drawing 124]

OE膜の説明図

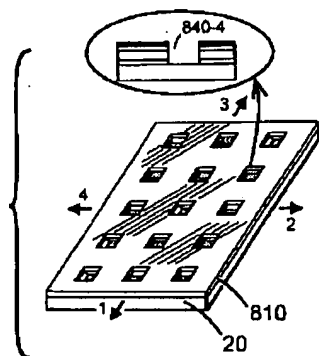


[Drawing 112]  
本発明によるベベル構造のカット部の形成方法の説明図



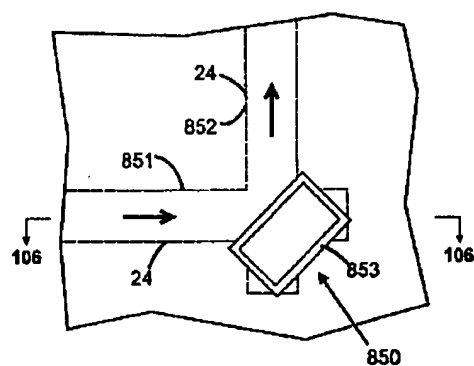
[Drawing 113]

本発明によるベベル構造のカット部の形成方法の説明図



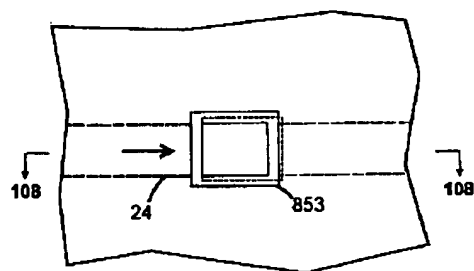
[Drawing 114]

コーナー回転ミラーの一実施例の平面図



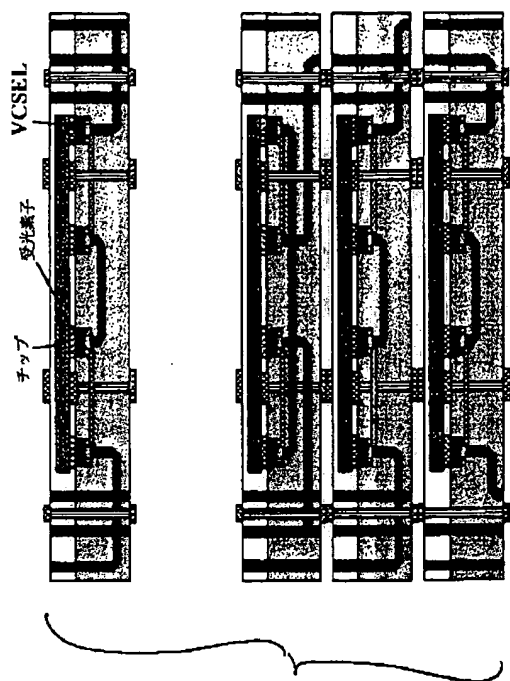
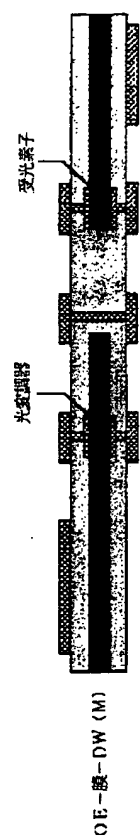
[Drawing 116]

導波路カップラーの一実施例の平面図



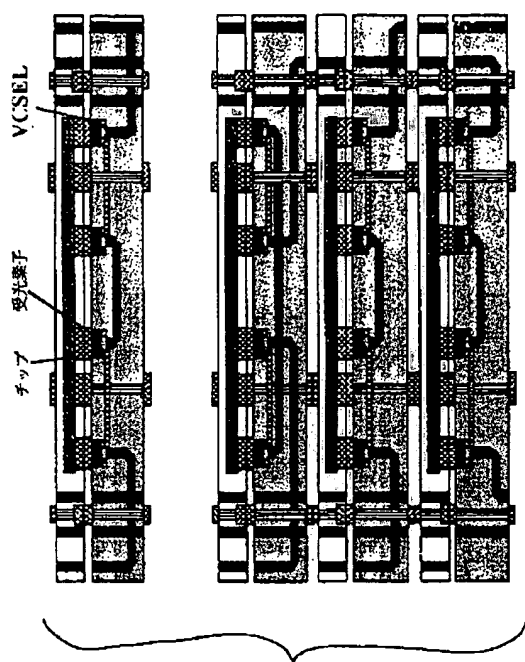
[Drawing 119]

OE-3Dスタック構造の例の詳細な説明図

[Drawing 125]  
OE膜の説明図

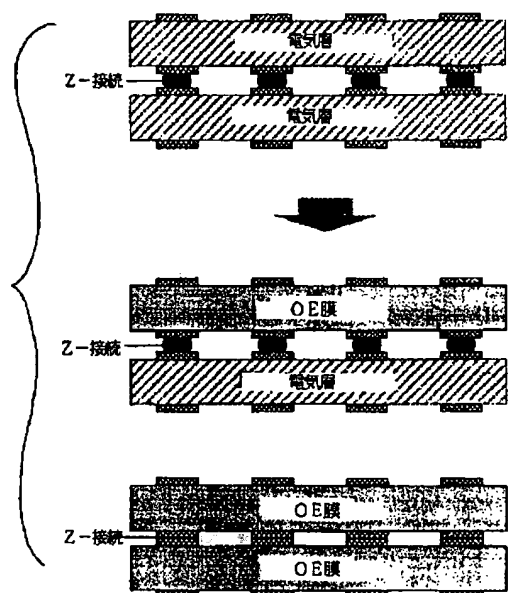
[Drawing 120]

OE-3Dスタック構造の例の詳細な説明図

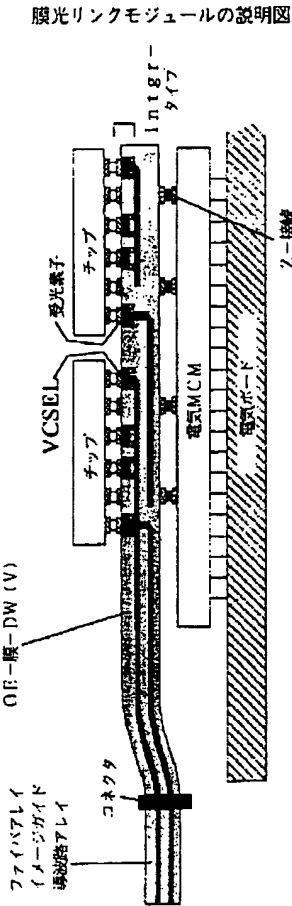


[Drawing 121]

OE膜とZ接続が設けられたOE基板の説明図

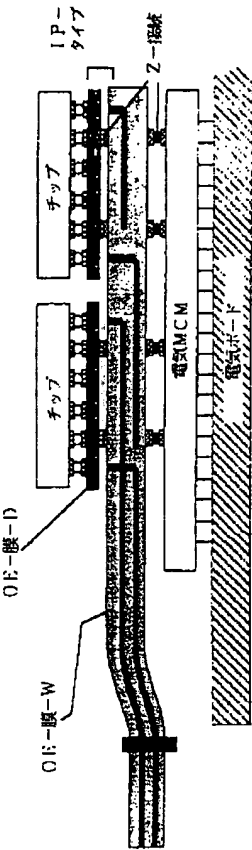


[Drawing 126]

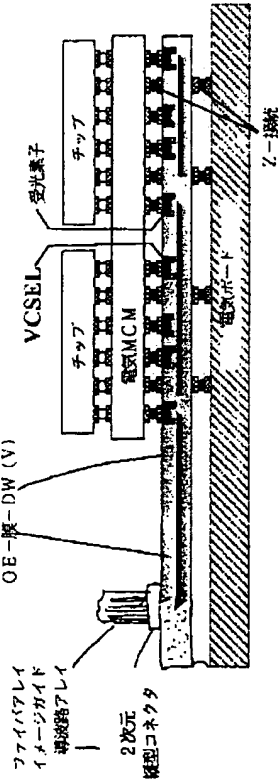


[Drawing 127]

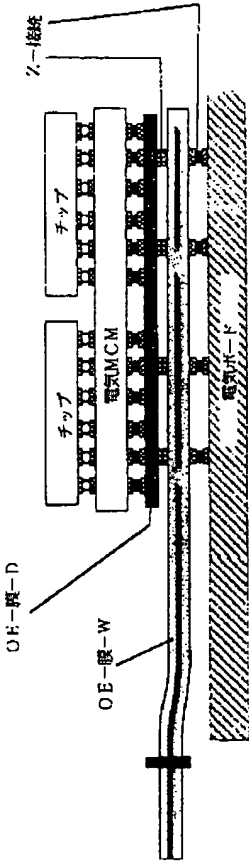
膜光リンクモジュールの説明図



[Drawing 128]  
膜光リンクモジュールの説明図



[Drawing 129]  
膜光リンクモジュールの説明図



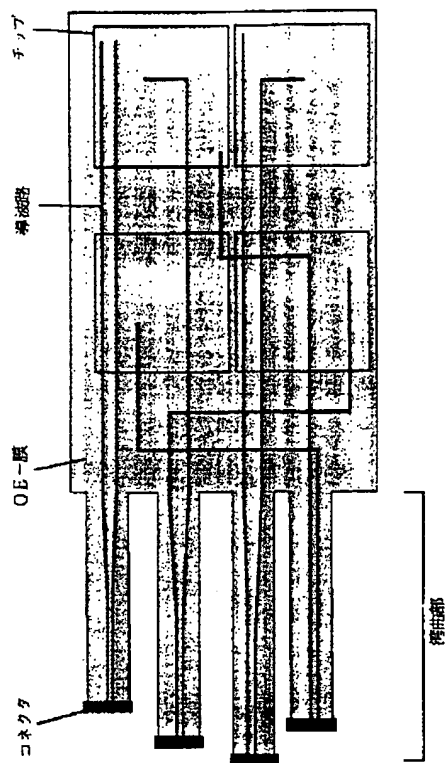
[Drawing 149]  
スマートピクセルを含むOE-膜の実施例の説明図



[Drawing 130]

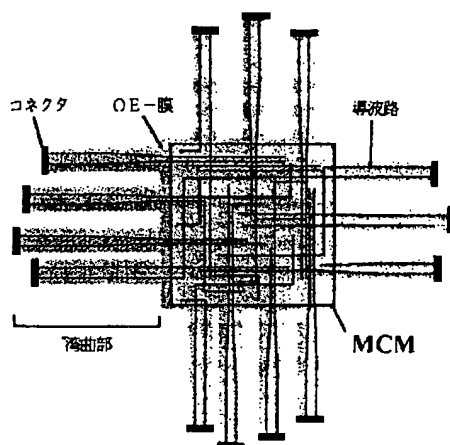


光路長調節器、コネクタバッファを備えた膜光リンクモジュール  
の構成図



[Drawing 131]

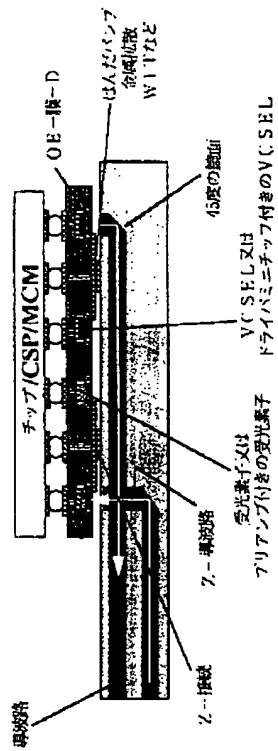
光路長調節器、コネクタバッファを備えた膜光リンクモジュール  
の構成図



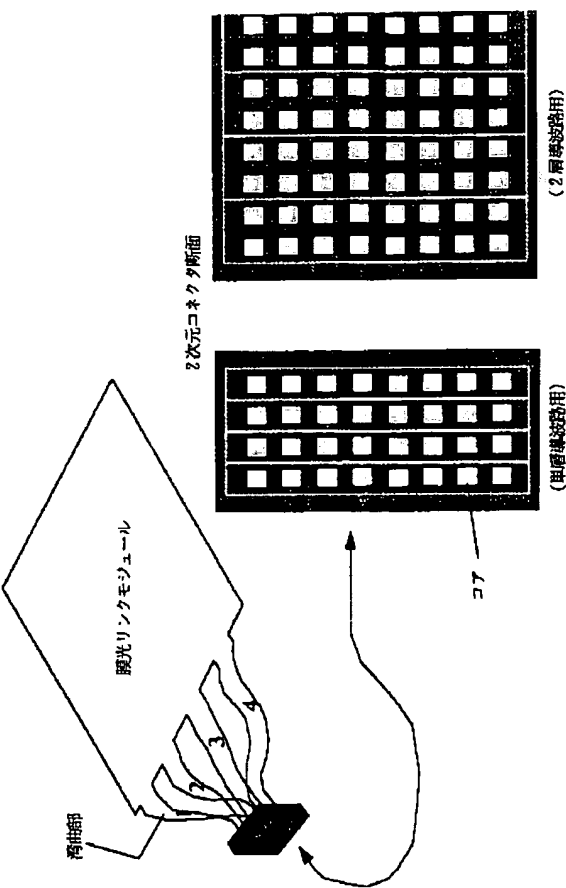
[Drawing 132]



OE-IPとOE-膜-MCMを含むOE-膜の一実施例  
の説明図

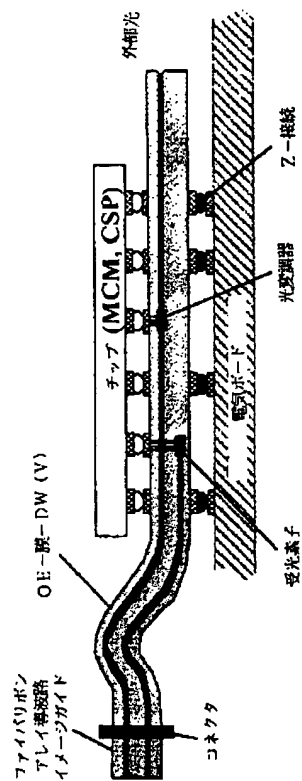


[Drawing 133]  
2次元導波路コネクタを備えた膜光リンクモジュールの説明図



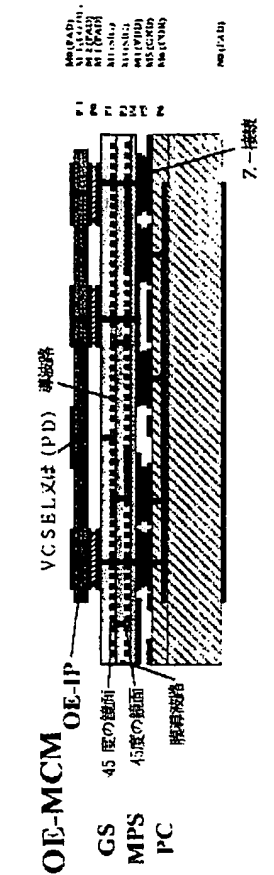
[Drawing 134]

膜光リンクモジュールの高速オプションの説明図

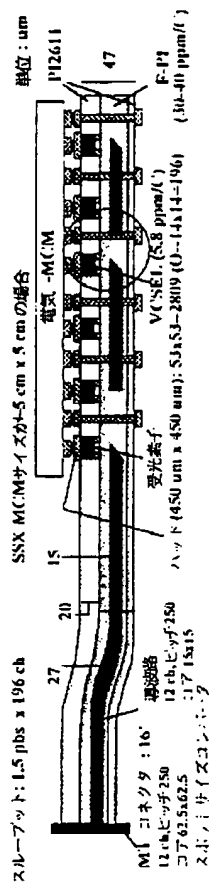


[Drawing 147]

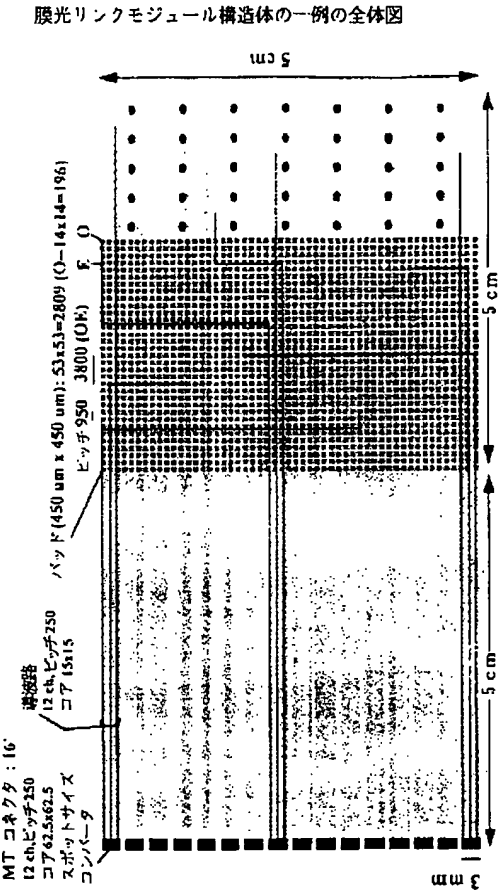
OE MCMの一実施例の説明図



膜光リンクモジュール構造体の一例の全体図

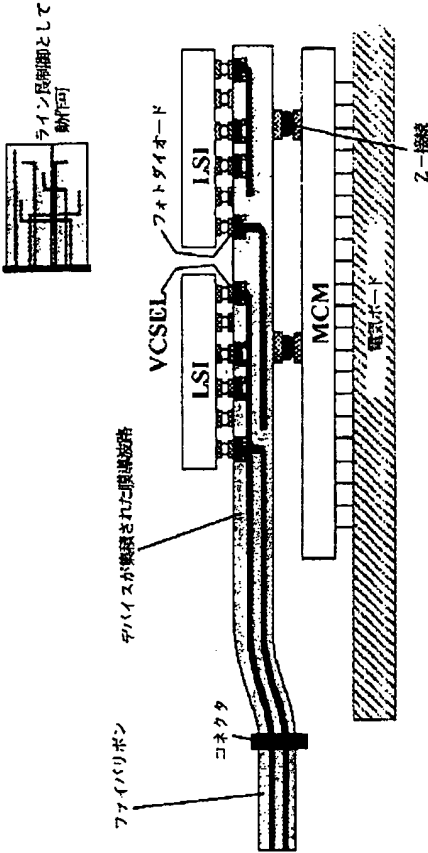


[Drawing 136]

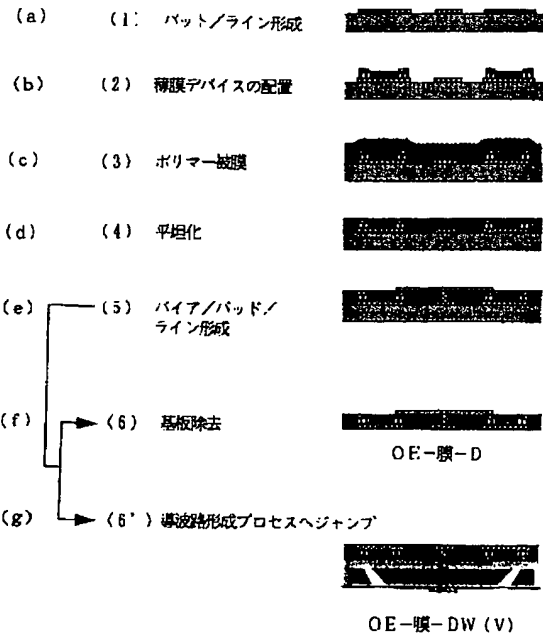


[Drawing 144]

LSIからの直接ジャンプの一例の説明図



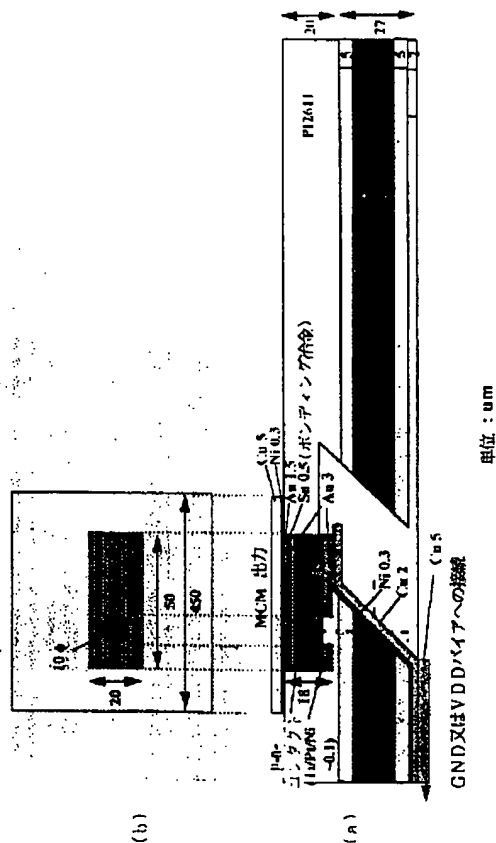
[Drawing 155]  
デバイス集積プロセスの説明図



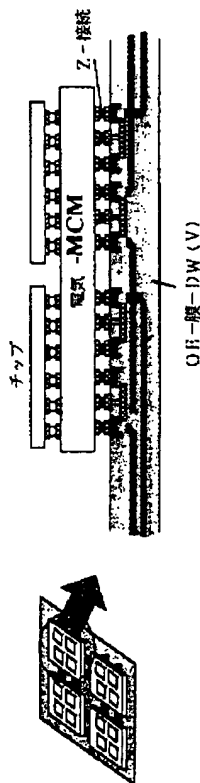
[Drawing 137]



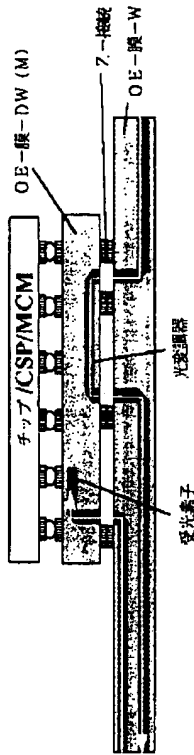
膜光リンクモジュール構造体の一例のVCSEL部の構成図



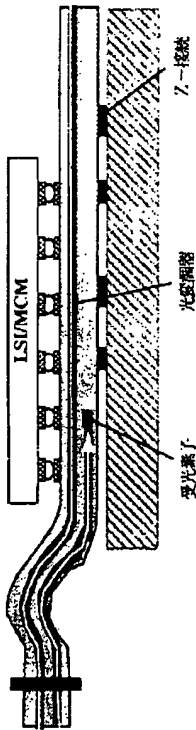
[Drawing 139]  
OE-IPとOE-膜-MCMとを含むOE-膜の一実施例  
の説明図



[Drawing 140]  
光変調器と送信器を含むOE-膜の一実施例の説明図



[Drawing 145]  
LSIからの直接ジャンプの一例の説明図



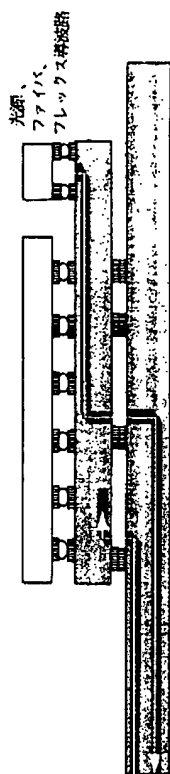
[Drawing 148]

OE MCMの一実施例の説明図



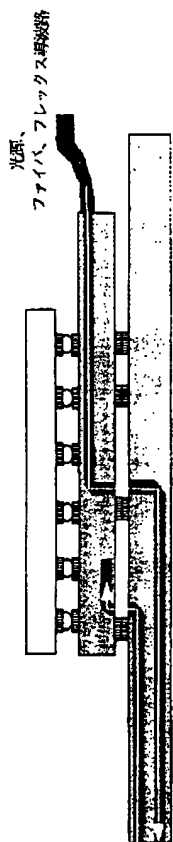
[Drawing 141]

光変調器と送信器を含むOE-膜の一実施例の説明図



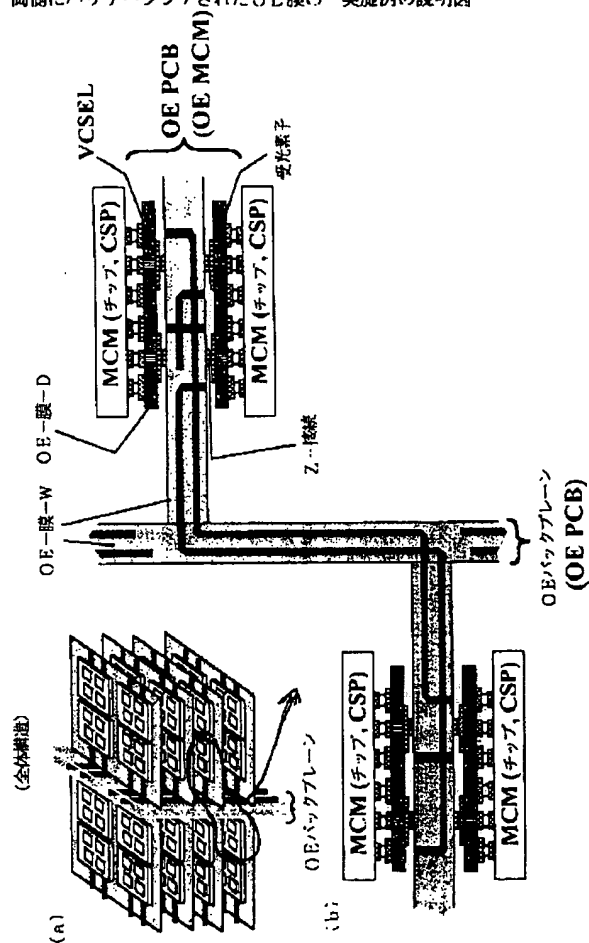
[Drawing 142]

光変調器と送信器を含むOE-膜の一実施例の説明図



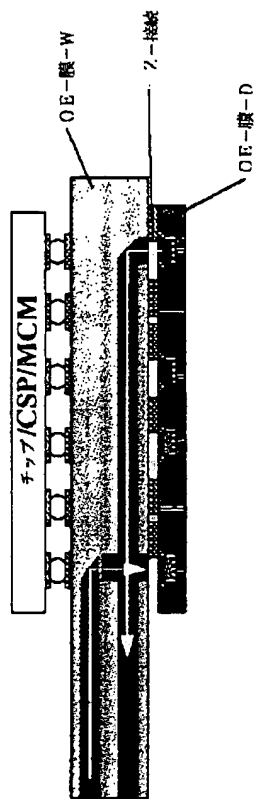
[Drawing 143]

両側にパッケージングされたOE膜の一実施例の説明図

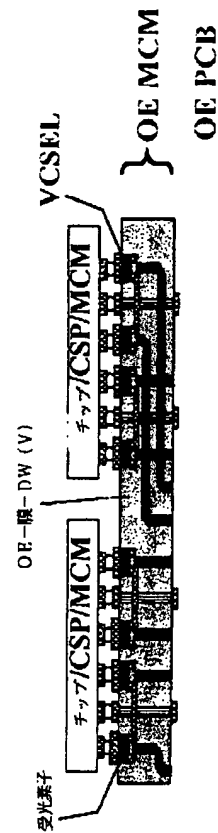


[Drawing 146]

OE-I Pが反対側に配置された一実施例の説明図

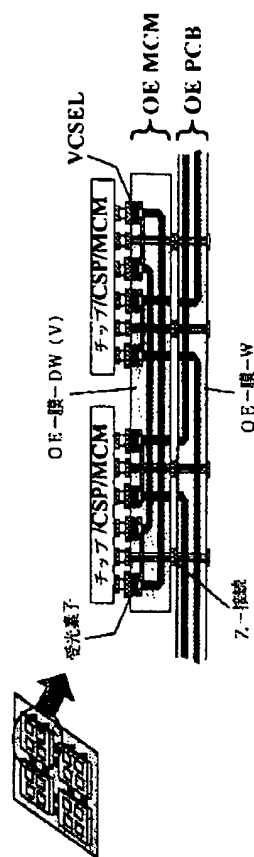


[Drawing 150]  
スマートヒクスセルを含むOE-膜の一実施例の説明図



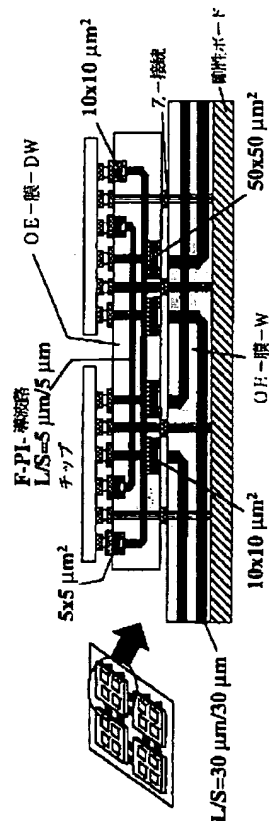
[Drawing 151]

裏面接続されたO E膜のスタック構造の一実施例の説明図



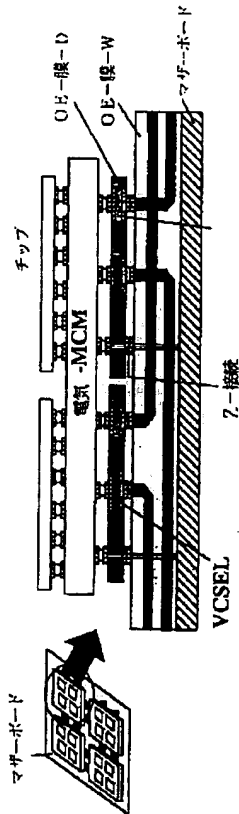
[Drawing 152]

裏面接続されたOE-膜のスタック構造の一実施例の説明図



[Drawing 153]

OE-MCMとOE-ボードのスタック構造の一実施例の説明図







(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-114581

(P2000-114581A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 31/12

識別記号

F I

H 0 1 L 31/12

テマコード\*(参考)

A

審査請求 未請求 請求項の数17 ○L (全 70 頁)

(21)出願番号 特願平11-287380

(22)出願日 平成11年10月7日(1999.10.7)

(31)優先権主張番号 1 0 3 7 2 6

(32)優先日 平成10年10月9日(1998.10.9)

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 2 9 5 4 3 1

(32)優先日 平成11年4月20日(1999.4.20)

(33)優先権主張国 米国 (U S)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 吉村 徹三

アメリカ合衆国, カリフォルニア 94087,  
サニーヴェイル, イー・エル・カミノ・ロ  
ード 965番 936号

(74)代理人 100070150

弁理士 伊東 忠彦 (外1名)

最終頁に続く

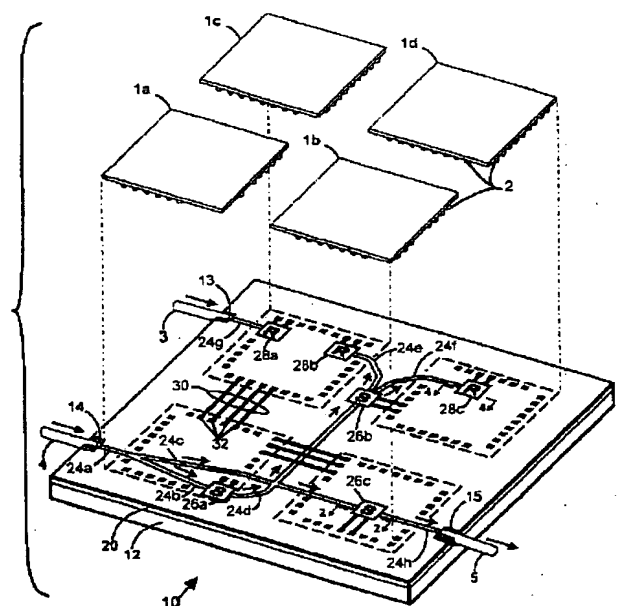
(54)【発明の名称】 電氣的相互連結及び光学的相互連結を具備した多層光電子基板並びにその製造方法

(57)【要約】

【課題】 本発明は、ドライバ回路及び増幅器回路を用いることなく、電気相互連結及び光相互連結を実現する光電子基板の提供を目的とする。

【解決手段】 本発明による基板は、ポリマー導波路が中に形成されている第1の層と、ポリマー導波路が中に形成されている第2の層と、第1の層内に形成され、第1の層内の第1の導波路と光学的に結合された第1の縦型光カップラーと、第2の層内に形成され、第2の層内の第2の導波路と光学的に結合された第2の縦型光カップラーとを含み、第1の導波路と第2の導波路の間で光が結合されるように、第1の縦型光カップラーは第2の縦型光カップラーの隣に配置されている。

本発明による光電子マルチチップモジュールの第1実施例の構成図



(2)

1

## 【特許請求の範囲】

【請求項1】 ポリマー導波路が中に形成されている第1の層と、

ポリマー導波路が中に形成されている第2の層と、  
上記第1の層内に形成され、上記第1の層内の第1の導波路と光学的に結合された第1の縦型光カップラーと、  
上記第2の層内に形成され、上記第2の層内の第2の導波路と光学的に結合された第2の縦型光カップラーとを含み、

上記第1の導波路と上記第2の導波路の間で光が結合されるように、上記第1の縦型光カップラーは上記第2の縦型光カップラーの隣に配置されていることを特徴とする光学的相互連結及び電氣的相互連結を具備した基板。

【請求項2】 ポリマー導波路が中に形成されている少なくとも1層のポリマー層と、  
複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、  
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電氣的相互連結を具備した基板。

【請求項3】 複数の電子集積回路デバイスが形成されている少なくとも1層のポリマー層と、  
複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、  
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電氣的相互連結を具備した基板。

【請求項4】 複数の電子集積回路デバイスが形成されている複数のポリマー層を有し、  
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電氣的相互連結を具備した基板。

【請求項5】 垂直向きの光スイッチデバイス、及び、  
上記光スイッチデバイスの出力に設けられたマイクロレンズを具備する第1のボードと、  
垂直向きの受光素子デバイス、及び、上記受光素子デバイスの入力に設けられたマイクロレンズを具備する第2のボードとを有し、

上記第1のボードと上記第2のボードは、対応したスイッチデバイスと受光素子デバイスが揃うように対向して配置されていることを特徴とする基板。

【請求項6】 チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第1の光電子マルチチップモジュールと、

チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第2の光電子マルチチップモジュールと、  
上記第1の光電子マルチチップモジュール及び上記第2

2

の光電子マルチチップモジュールの下面の付近に配置され、上記第1及び第2の光電子マルチチップモジュールの間で光信号を結合する光導波路層を具備した少なくとも1層の受動膜とを有することを特徴とする複数のチップ間で情報を通信する光学的相互連結システム。

【請求項7】 受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動ポリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、

上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、

上記少なくとも一つの基板内で光信号を発生させる光信号源手段と、

上記少なくとも一つの基板内で光信号を検出する光検出手段とを有することを特徴とする少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュール。

【請求項8】 受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動ポリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、

上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、

上記少なくとも一つの基板内の光パワー又は光信号を切り換える上記少なくとも一つの基板内の光スイッチ手段とを有することを特徴とする少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュール。

【請求項9】 少なくとも一つの電氣的ビアが中に形成された導波路層、集積回路チップ層、及び、光電子層を別々に製作する工程と、

少なくとも一つの電氣的接続が二つの異なる層の間で行われ、一方の層の導波路の端が隣接した層の光電子デバイスと揃えられるように、上記層を一体的に層状化する工程とを有することを特徴とする基板の製造方法。

【請求項10】 上面及び下面を有するベース層と、  
上面、下面、上記上面と上記下面との間に設けられた少なくとも一つの側面、第1の電氣的端子、及び、第2の電氣的端子を有し、上記電氣的端子の中の少なくとも一方が上記上面に設けられている光電気デバイスと、  
上記ベース層の上記上面に形成され、上記光電気デバイスの側面に接して終端する端部を有する光導波路コアとを含むことを特徴とする光学的相互連結及び電氣的相互連結を有する基板。

【請求項11】 第1のポリマー層と、  
上記ポリマー層に埋め込まれた複数のVCSEL素子と、

上記ポリマー層に埋め込まれた複数の受光素子とを含む

(3)

3

基板。

【請求項12】 第1の面、及び、上記第1の面と対向した第2の面を有し、導波路が中に一体的に形成されているポリマー基板と、

上記基板内に配置され、上記第1の面及び上記第2の面と上記導波路との間で光信号を結合する複数の光カップラーと、

上記基板内に設けられたバイア接続部を含む電子光基板。

【請求項13】 (a) クラッド材料の層を形成する工程と、

(b) 光電子デバイスの少なくとも一部分を含むミニチップを上記クラッド材料の層に配置し、接着する工程と、

(c) コア材料が上記ミニチップに接着するように上記クラッド材料の層及び上記ミニチップの上にコア材料の層を形成する工程と、

(d) 上記ミニチップ内で終端する導波路を上記コア材料内に画成する工程と、

(e) 表面の上にクラッド材料の層を形成する工程とを含む、基板の製造方法。

【請求項14】 (a) クラッド材料の層を形成する工程と、

(b) 上記クラッド材料の層の上にコア材料の層を形成する工程と、

(c) 上記コア材料の層内に光導波路を画成する工程と、

(d) 表面の上にクラッド材料の層を形成する工程と、

(e) 上記表面をより平坦化するため上記クラッド材料を研磨する工程とを含む、基板用の導波路の製造方法。

【請求項15】 (a) ポリマー下側クラッド層を第1の基板に堆積させる工程と、

(b) ポリマーコア層を上記下側クラッド層に堆積させる工程と、

(c) マスク層を上記コア層の表面に堆積させる工程と、

(d) アパーチャを形成するため上記マスク層をパターニングする工程と、

(e) 少なくとも一つの側壁が45°の傾斜角で傾斜している側壁を有する少なくとも一つのトレンチを上記アパーチャ内に形成する工程と、

(f) 上記マスク層を除去する工程と、

(g) 45°で傾斜した上記側壁の少なくとも一部分と、上記トレンチの底の平坦な部分とを金属化する工程と、

(h) 上記トレンチの底の平坦な部分の金属層の高さまで基板を下方にエッチングすることにより、VCSELが挿入されるべき領域で基板の一部分を除去する工程と、

(i) VCSELビームが上記コア層に結合され、VC

4

SELの電氣的接点層が上記トレンチの底の上記金属層の一部分と接触するように、VCSELの発光窓を上記金属層の下側に向けてVCSELを配置する工程と、

(j) 金属面が上記VCSELへの電氣的接点を与えるように上記VCSELを上記金属層に接合する工程とを含む、光電子基板の製造方法。

【請求項16】 (a) 取り外し可能な基板を設置する工程と、

(b) 金属層を上記基板の表面に堆積させる工程と、

(c) 上記金属層を接点パッド及び電極にパターニングする工程と、

(d) 薄膜デバイスの金属接点面を堆積された接点パッドに配置する工程と、

(e) 上記薄膜デバイスを上記金属接点面に接合する工程と、

(f) 合成複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、

(g) 上記複合構造体を研磨する工程と、

(h) 表面接点を平坦化された上記複合構造体の上に形成する工程と、

(i) 上記取り外し可能な基板を除去する工程とを含む、ポリマー膜に埋め込まれた光電子デバイスの製造方法。

【請求項17】 (a) 第1の基板を設置する工程と、

(b) 粘着性バッファ層を上記第1の基板の表面に形成する工程と、

(c) 下面及び上面を有する複数の薄膜デバイスの下面を上記バッファ層に取り付ける工程と、

(d) 上記バッファ層に取り付けられる下面及び上面を有する複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、

(e) 上記複合構造体を研磨する工程と、

(f) 少なくとも一つの上部電極を少なくとも一つの薄膜デバイスに形成し、少なくとも一つの表面接点を上記研磨された複合構造体の上面に形成する工程と、

(g) 第2の基板を上記複合構造体の露出した上面に取り付ける工程と、

(h) 上記第1の基板を取り除く工程と、

(i) 少なくとも一つの電極を上記少なくとも一つの薄膜デバイスの下面に形成し、少なくとも一つの表面接点を上記複合構造体の下面に形成する工程とを含む、ポリマー膜に埋め込まれた光電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル及び／又はアナログ電子システムを接続するため使用される光電子(オプトエレクトロニクス)基板、並びに、この電子システムを製造するための方法に関する。特に、本発明は、電気(的)相互連結及び光(学的)相互連結の両方を有するオプトエレクトロニクス基板、並びに、その製

(4)

5

造方法に関する。

【0002】また、本発明は、MCM（マルチチップモジュール）などに適用される。

【0003】

【従来の技術】相互連結基板上に実装された処理システムのクロックレート及びI/Oカウント数の増加と共に、このような処理システムの相互連結ボトルネック、ノイズ、信号減衰、電気接続における同期可能な接続長の問題が生ずる。光相互連結には、低RC遅延、低信号減衰、予測可能な遅延、低電力、低ノイズ、及び、オープン及びショートに対する高い許容性という利点がある。しかし、光相互連結を高速デジタル/アナログシステムで使用することを阻止する重大な障害がある。従来は、光相互接続内の光信号と、電子チップによって発生、使用される電気信号との間で変換を行うため、巨大なドライバチップ及び増幅器チップが要求される。長い距離に亘って電気信号を光学的に伝搬させるためには、発光デバイスと、発光デバイスを切り換える電気パワーを発生させるドライバチップとが光接続の一方の端で必要とされる。光接続の受信端において、光検出デバイス及び増幅器が光信号を電気形式に変換するため必要とされる。増幅器が必要とされる理由は、光パワーが通常の光学路内の非常に大きい損失に起因して光検出デバイス側で小さくなるからである。

【0004】

【発明が解決しようとする課題】ドライバ及び増幅器の部品は、回路基板上でスペースを必要とするので、マルチチップモジュールのような基板内で多数の光接続を使用する際に障壁となる。實際上、これらの部品のために必要な面積、並びに、発光デバイス及び光検出デバイスのために必要な面積は、電気接続しか含まないモジュール基板よりもモジュール基板のサイズを大きくさせる。これらの余分な部品及びそれらの組立体は製造コストも上昇させる。また、通常の光接続は、電子-光（EO）変換及び光電子（OE）変換に起因してより長い遅延を有し、電気モジュールだけで構成されたモジュールに対し有意な速度的な利点は得られない。

【0005】本発明は、上記従来技術の問題点を解決する光接続構造体及び光接続を製造する方法の提供を目的とする。

【0006】

【課題を解決するための手段】上記本発明の目的を達成するため、請求項1に記載された本発明による光学的相互連結及び電氣的相互連結を具備した基板は、ポリマー導波路が中に形成されている第1の層と、ポリマー導波路が中に形成されている第2の層と、上記第1の層内に形成され、上記第1の層内の第1の導波路と光学的に結合された第1の縦型光カップラーと、上記第2の層内に形成され、上記第2の層内の第2の導波路と光学的に結合された第2の縦型光カップラーとを含み、上記第1の

6

導波路と上記第2の導波路の間で光が結合されるように、上記第1の縦型光カップラーは上記第2の縦型光カップラーの隣に配置されている。

【0007】請求項2に記載された本発明による光学的相互連結及び電氣的相互連結を具備した基板は、ポリマー導波路が中に形成されている少なくとも1層のポリマー層と、複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、上記層が積層構造を形成するように互いに層状化されている。請求項3に記載された本発明による光学的相互連結及び電氣的相互連結を具備した基板は、複数の電子集積回路デバイスが形成されている少なくとも1層のポリマー層と、複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、上記層が積層構造を形成するように互いに層状化されている。

【0008】請求項4に記載された本発明による光学的相互連結及び電氣的相互連結を具備した基板は、複数の電子集積回路デバイスが形成されている複数のポリマー層を有し、上記層が積層構造を形成するように互いに層状化されている。請求項5に記載された本発明による基板は、垂直向きの光スイッチデバイスと、上記光スイッチデバイスの出力に設けられたマイクロレンズとを具備する第1のボードと、垂直向きの受光素子デバイスと、上記受光素子デバイスの入力に設けられたマイクロレンズとを具備する第2のボードとを有し、上記第1のボードと上記第2のボードは、対応したスイッチデバイスと受光素子デバイスが揃うように対向して配置されている。

【0009】請求項6に記載された本発明による複数のチップ間で情報を通信する光学的相互連結システムは、チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第1の光電子マルチチップモジュールと、チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第2の光電子マルチチップモジュールと、上記第1の光電子マルチチップモジュール及び上記第2の光電子マルチチップモジュールの下面の付近に配置され、上記第1及び第2の光電子マルチチップモジュールの間で光信号を結合する光導波路層を具備した少なくとも1層の受動膜とを有する。

【0010】請求項7に記載された本発明による少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュールは、受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動ポリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、上記少なくとも一つの基板内で光

(5)

7

信号を発生させる光信号源手段と、上記少なくとも一つの基板内で光信号を検出する光検出手段とを有する。

【0011】請求項8に記載された本発明による少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュールは、受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動ポリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、上記少なくとも一つの基板内の光パワー又は光信号を切り換える上記少なくとも一つの基板内の光スイッチ手段とを有する。

【0012】請求項9に記載された本発明による基板の製造方法は、少なくとも一つの電氣的ビアが中に形成された導波路層、集積回路チップ層、及び、光電子層を別々に製作する工程と、少なくとも一つの電氣的接続が二つの異なる層の間で行われ、一方の層の導波路の端が隣接した層の光電子デバイスと揃えられるように、上記層を一体的に層状化する工程とを有する。

【0013】請求項10に記載された本発明による光学的相互連結及び電氣的相互連結を有する基板は、上面及び下面を有するベース層と、上面、下面、上記上面と上記下面との間に設けられた少なくとも一つの側面、第1の電氣的端子、及び、第2の電氣的端子を有し、上記電氣的端子の中の少なくとも一方が上記上面に設けられている光電気デバイスと、上記ベース層の上記上面に形成され、上記光電気デバイスの側面に接して終端する端部を有する光導波路コアとを含む。

【0014】請求項11に記載された本発明による基板は、第1のポリマー層と、上記ポリマー層に埋め込まれた複数のVCSEL素子と、上記ポリマー層に埋め込まれた複数の受光素子とを含む。請求項12に記載された本発明による電子光基板は、第1の面、及び、上記第1の面と対向した第2の面を有し、導波路が中に一体的に形成されているポリマー基板と、上記基板内に配置され、上記第1の面及び上記第2の面と上記導波路との間で光信号を結合する複数の光カップラーと、上記基板内に設けられたバイア接続部とを含む。

【0015】請求項13に記載された本発明による基板の製造方法は、(a) クラッド材料の層を形成する工程と、(b) 光電子デバイスの少なくとも一部分を含むミニチップを上記クラッド材料の層に配置し、接着する工程と、(c) コア材料が上記ミニチップに接着するように上記クラッド材料の層及び上記ミニチップの上にコア材料の層を形成する工程と、(d) 上記ミニチップ内で終端する導波路を上記コア材料内に画成する工程と、

(e) 表面の上にクラッド材料の層を形成する工程とを含む。

【0016】請求項14に記載された本発明による基板

8

用の導波路の製造方法は、(a) クラッド材料の層を形成する工程と、(b) 上記クラッド材料の層の上にコア材料の層を形成する工程と、(c) 上記コア材料の層内に光導波路を画成する工程と、(d) 表面の上にクラッド材料の層を形成する工程と、(e) 上記表面をより平坦化するため上記クラッド材料を研磨する工程とを含む。

【0017】請求項15に記載された本発明による光電子基板の製造方法は、(a) ポリマー下側クラッド層を第1の基板に堆積させる工程と、(b) ポリマーコア層を上記下側クラッド層に堆積させる工程と、(c) マスク層を上記コア層の表面に堆積させる工程と、(d) アパーチャを形成するため上記マスク層をパターニングする工程と、(e) 少なくとも一つの側壁が45°の傾斜角で傾斜している側壁を有する少なくとも一つのトレンチを上記アパーチャ内に形成する工程と、(f) 上記マスク層を除去する工程と、(g) 45°で傾斜した上記側壁の少なくとも一部分と、上記トレンチの底の平坦な部分とを金属化する工程と、(h) 上記トレンチの底の平坦な部分の金属層の高さまで基板を下方にエッチングすることにより、VCSELが挿入されるべき領域で基板の一部分を除去する工程と、(i) VCSELビームが上記コア層に結合され、VCSELの電氣的接点層が上記トレンチの底の上記金属層の一部分と接触するように、VCSELの発光窓を上記金属層の下側に向けてVCSELを配置する工程と、(j) 金属面が上記VCSELへの電氣的接点を与えるように上記VCSELを上記金属層に接合する工程とを含む。

【0018】請求項16に記載された本発明によるポリマー膜に埋め込まれた光電子デバイスの製造方法は、(a) 取り外し可能な基板を設置する工程と、(b) 金属層を上記基板の表面に堆積させる工程と、(c) 上記金属層を接点パッド及び電極にパターニングする工程と、(d) 薄膜デバイスの金属接点面を堆積された接点パッドに配置する工程と、(e) 上記薄膜デバイスを上記金属接点面に接合する工程と、(f) 合成複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、(g) 上記複合構造体を研磨する工程と、(h) 表面接点を平坦化された上記複合構造体の上に形成する工程と、(i) 上記取り外し可能な基板を除去する工程とを含む。

【0019】請求項17に記載された本発明によるポリマー膜に埋め込まれた光電子デバイスの製造方法は、

(a) 第1の基板を設置する工程と、(b) 粘着性バッファ層を上記第1の基板の表面に形成する工程と、

(c) 下面及び上面を有する複数の薄膜デバイスの下面を上記バッファ層に取り付ける工程と、(d) 上記バッファ層に取り付けられる下面及び上面を有する複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、(e) 上記複合構造体を研磨

(6)

9

する工程と、(f) 少なくとも一つの上部電極を少なくとも一つの薄膜デバイスに形成し、少なくとも一つの表面接点を上記研磨された複合構造体の上面に形成する工程と、(g) 第2の基板を上記複合構造体の露出した上面に取り付ける工程と、(h) 上記第1の基板を取り除く工程と、(i) 少なくとも一つの電極を上記少なくとも一つの薄膜デバイスの下面に形成し、少なくとも一つの表面接点を上記複合構造体の下面に形成する工程とを含む。

【0020】上記の本発明の一面によれば、嵩の大きいドライバ及び増幅器の必要性が無くなるので、面積の要求条件が著しく軽減される。発光源の代わりに、外部光源及び光スイッチデバイス（例えば、変調器）が使用される。光スイッチデバイスはICチップの出力にตอบสนองし、動作のドライバチップを必要としない。発光源を用いる場合と比較して、光変調器を使用する実現例における光信号のパワーは、外部光源のサイズ及びパワーを増加することによって著しく増大される。外部光源は、変調する必要が無いので、このような形で容易に増加させることが可能である。例えば、外部光源は、単純な連続波（CW）又は光パワーのパルス列源として実現され得る。さらに、光接続の損失は削減される。したがって、受光素子でのパワーは増大され、増幅器を省略できるようになる。ポリマー導波路を光スイッチ及び受光素子と一体的に形成することにより光接続の損失は低減され、光カップリング効率が上昇する。また、本発明の作製方法によれば、短い光接続を作製することが可能である。受光素子に対する光パワーは、外部光パワーを使用することによって増大される。さらに、本発明の光導波路集積化方法は、VCSEL及びLD（レーザダイオード）放出デバイスへの非常に効率の良い光接続を行うことが可能であり、これにより、これらのデバイスは外部源に加えて光パワーの発生源として使用され得る。

【0021】本発明の別の面は、デバイス及び／又は材料の光電子層への集積化を実現し、チップ実装のための面積を増加し、光電子デバイスと光導波路との間で光アライメントの難しさを取り除く。光電子デバイスは、本発明によるウェーハ処理技術を用いて導波路層に埋め込まれ得る。本発明による方法は、光電子デバイス（例えば、変調器、VCSEL、受光素子、光スイッチ、レーザダイオード（LD）、ドライバチップ、増幅器チップなど）を、 $1\mu\text{m}$ 乃至 $250\mu\text{m}$ のオーダーの超薄膜ポリマー層内で光導波路と集積化することを可能にさせる。

【0022】本発明の他の面は、ラミネーション（層状化）若しくはビルドアップ（積層化）のような製造プロセスによって、上記光電子層を順番に積み重ねて一つに接合することにより、光電子基板を提供する。光電子層は、受光素子、光スイッチ、発光部品、ドライバチップ、増幅器チップなどのための余分な場所を必要とする

10

ことなく、通常の電気基板の表面の上の重ね合わせることが可能である。實際上、多数の光電子層は、必要とされるすべての受光素子、光スイッチ、発光デバイス、ドライバチップ、増幅器チップなどを提供するため積層することができる。本発明は、これらの光電子層を形成する数通りの作製方法と、数種類の基板構造体とを提供する。

【0023】本発明の更に別の面は、積層された構造体の機能を単層の光電子膜よりも改良することができる2層以上の光電子膜を積層する方法である。各光電子層は、Z接続法による電気層を含む単層構造体、或いは、多層構造体により構成される。各光電子膜上の光電子層及び電気層は、別個に最適化される。積層光電子膜の好ましい実施例には、フレキシブル相互連結部、光電子介挿部、膜光電子・マルチチップモジュール、両面パッケージング、裏面接続、及び、膜光リンクモジュール（FOLM）が含まれる。また、積層膜は、単層膜よりも多様な製造プロセスを使用することが可能なる。特に、積層膜は、処理された層を裏返しに反転することによって両面処理を可能にさせる。

【0024】上記の特徴は、基板の必要面積を増加させることなく、大規模光相互連結を電気基板に追加することができる有利な効果がある。これらの特徴は、また、光相互連結の光カップリング効率を改良することができる。これらの特徴は、光並列リンクモジュールに適用することができる。本発明において、マルチチップモジュールの例が原則として示されている。しかし、本発明の同じ特徴及び局面は、電気バックプレーン、印刷回路基板（PCB）、チップサイズパッケージ（CSP）、及び、その他の基板に適用可能である。

【0025】

【発明の実施の形態】図1には、本発明による光電子相互連結基板10の第1実施例の拡大斜視図が示されている。相互連結基板10は、光リンク及び電気経路の両方を用いて、1個若しくは複数のICチップ1a-1dからの信号のチップ間接続及びチップ内接続の両方を含む相互連結を行う光電子マルチチップモジュール（OEMCM）基板の形式をなす。基板10は、ベース基板12と活性層20とを含む。活性層は、光導波路24a-24hと、光電子スイッチングデバイス26a-26cと、受光デバイス28a-28cと、電気経路30と、ICチップ1用の電気接続パッド32とを含む。ICチップは、活性層20にフリップチップ式に組み付けられ、複数の任意のタイプの通常のコネクタ2によって活性層20の接続パッド32に電気接続される。一例として、図1に示されるように、コネクタ2ははんだバンプにより構成される。光導波路24及び光電子デバイス26及び28は、活性層20に組み込まれ、好ましくは、活性層20に埋め込まれるので、活性層20の上面は実質的に平坦である（例えば、小さい孔、溝、バンプなど

(7)

11

を除いて1平方cmの面積に対し±10 $\mu$ mの範囲内で表面均一性がある)。

【0026】チップの間の信号は、電気経路30によって電氣的に伝搬され、或いは、導波路24によって光学的に伝搬される。信号が導波路24を光によって(光学的に)伝搬されるとき、光電子デバイス26及び28は、信号の光表現と電気表現との間で変換を実行する。光が信号を伝搬させるため使用される一例として、光パワー源は、光ファイバ4によって光電子マルチチップモジュール10に導かれ、光導波路24aに接続される。光パワー源は、チップ1によって形成された回路又はシステムの動作中に連続的な光エネルギー源を供給し、或いは、光パルスのパルス列を供給する。ファイバ4と導波路24との間のカップリングは、光ファイバ通信技術では周知の構造を有する標準的なV溝コネクタ14によって達成される。また、導波路モードが伝搬する層のコア領域内に45°の鏡、格子などを組み込み、コアが鏡若しくは格子と整列されるように各ファイバを位置決めすることによって層の表面で、2次元ファイバアレイ及びファイバイメージアレイを含む光ファイバを導波路に接続することが可能である。光源は、導波路24に沿って伝搬し、(例えば、光が別の段で分割される場合、若しくは、各分路の光が別の段でもう一度分割される場合に50%対50%の比率、又は、一方の分路内の光が別の段で更に分割される場合に33%対67%の比率のような予め選択された比率で通常のY字形分路により二つの導波路4b及び24cの間で分割される。導波路24b内の光は、光電子スイッチ26aに配送され、光電子スイッチ26は、スイッチに供給される電気信号に依存して導波路24d上に選択的に配送される。電気信号は2個の接続パッド32を介してスイッチ22aに供給され、次に、はんだバンプコネクタ2を介してチップ1a上の回路に接続される。このようにして、チップ1a上の回路からの電気出力信号は、スイッチ26aによって導波路上24dで光表現に変換される。

【0027】導波路24dは、スイッチ26aから、同様の接続パッド32及びコネクタ2を介してチップ1dの回路に接続された電気入力に有する第2の電子光スイッチ26bに経路が設けられる。スイッチ26bは、導波路24dに接続された1個の光入力と、チップ1d上の回路と接続された1個の電気入力とを有する。スイッチ26bは、導波路24e及び24fにそれぞれ接続された2個の光出力を有する。スイッチ26bへの電気入力に依存して、スイッチ26bは、その光入力側の光を何れかの光出力に配送する。スイッチ26bの構成の一例は、図2及び3を参照して説明される。導波路24e及び24f上の光信号は、それぞれ、2個の受光デバイス28b及び28cに供給される。受光デバイス28b及び28cは、それぞれの光信号を対応した電気表現に変換し、対応した接続パッド32及びコネクタ2を介し

12

て、その電気表現をICチップ1c及び1d上の入力回路にそれぞれ供給する。スイッチ26bは、この状況では常に使用され、若しくは、必要であるとは限らない。このような場合に、基板は経路切替スイッチを含まず、導波路24dの出力は受信器28b若しくは28c、又は、両方の受信器に直結される。

【0028】類似した態様で、導波路24c上の光パワー源は、ICチップ1bからの電気出力信号によって制御される光電子スイッチ26cに配送される。変調された光出力は、スイッチ26cの光出力から光ファイバ5で終端する導波路24h上に配送され、光電子マルチチップモジュール基板10から送出される。通常のV溝コネクタ15は、ファイバ5を導波路24hに接続するため使用される。上述の通り、導波路モードが伝搬する層のコア領域内に45°の鏡、格子などを組み込み、コアが鏡若しくは格子と整列されるように各ファイバを位置決めすることによって、光ファイバを層の表面で導波路に接続することも可能である。スイッチ26cへの入力を供給する導波路24cを再度参照すると、導波路24cは導波路24dと略直角に交差することがわかる。この交差は、通常の光導波路の交差であり、その結果として、導波路24cから導波路24dに交差する光の量、及び、逆に導波路24dから導波路24cに交差する光の量は最小限に抑えられる。

【0029】受光デバイスは、光電子マルチチップモジュール10の外部から光信号を受信するため使用される。その一例として示された受光素子28aは、光ファイバ3から導波路24gを介して光信号を受信する。通常のV溝コネクタ13はファイバ3を導波路24gに接続するため使用される。上記の通り、45°の鏡、格子などを使用してもよい。受光デバイス28aの電気出力は、接続パッド32及びコネクタ2を介してICチップ1c上の入力回路に供給される。

【0030】図示されていないが、光導波路はチップのある端子から同じチップの別の端子に経路を設定し、これにより、チップ内光相互連結を設けることができる。図1に示された導波路24、デバイス26及び28、電気経路30、相互接続パッド32、ファイバ3-5、及び、チップ1の数は、視覚的な分かり易さのため小さい値に維持される。チップ及びファイバは除外される可能性があるが、典型的な光電子マルチチップモジュール基板10は、図示された部品の数よりも多数の部品を収容する。また、部品のサイズは視覚的な分かり易さのため誇張されている。典型的な導波路24の幅は1 $\mu$ m乃至50 $\mu$ mのオーダーであり、典型的なICチップの一边の長さは1cm乃至4cmである。典型的なデバイス26及び28の幅は、1 $\mu$ m乃至50 $\mu$ mのオーダーであり、この幅は横方向の表面の二辺の大きさの中の短い方の長さである。典型的なデバイス26及び28の長さは、1 $\mu$ m乃至5000 $\mu$ mのオーダーであり、この長



(8)

13

さは横方向表面の二辺の大きさの中の長い方である。典型的なデバイス26及び28の厚さ、すなわち、縦方向の大きさは、 $1\mu\text{m}$ 乃至 $20\mu\text{m}$ に収まる。典型的に、自由空間光接続アプリケーションではサイズの大きい方のデバイスが使用される。図1では、各デバイスは対応したICチップから2本の電気接続が設けられているが、活性層20は、内部に接地面(又は電源面)を含み、デバイス26若しくは28は一方の電気端子がこの面に接続され、もう一方の電気端子は対応したICの出力若しくは入力に接続される。ファイバ3-5の代わりに、アレイファイバ、膜導波路、或いは、イメージングガイドが使用され得る。

【0031】図2には、光電子スイッチ26cの付近の活性層20の部分断面図が示され、図3には、導波路24c及び24hと共に光電子スイッチ26cの上面図が示されている。図2を参照するに、活性層20は、約 $5\mu\text{m}$ の厚さのコア材料のパターン化された層24により構成され、そこから個別の導波路24a-24gが形成される。導波路層は、(ベース基板12がクラッド層として適当ではない場合に選択的に使用される)付加的なクラッド層21の上に形成され、第2のクラッド層23によって被覆される。クラッド層は、導波路24の側面及び上面の上に延在する。従来技術において知られているように、光導波路は、2種類の屈折率( $n_1$ 及び $n_2$ )を有するコア材料及びクラッド材料と称される2タイプの材料から作られる。コア材料はクラッド材料よりも高い屈折率を有する。クラッド層21及び23は、コア層24の屈折率よりも低い屈折率の範囲内で異なる屈折率を有する。クラッド層は、例えば、日立ケミカル社製のフッ素化ポリイミドOPIN1005から製作することができ、コア層は、例えば、日立ケミカル社製のフッ素化ポリイミドOPIN3405から製作することができる。紫外線硬化可能なエポキシ導波路材料も低温処理に使用できる。ベース層が適切なクラッド層として機能し得る場合、クラッド層21は省くことができる。

【0032】スイッチ26cは活性層20に埋め込まれ、その下面はベース基板12の上面と対向する。多数の異種類の光電子スイッチデバイスを使用することができる。かかる光電子スイッチデバイスの中には、例えば、内部全反射スイッチ、マッハツェンダーモジュラー、デジタルスイッチ、格子型スイッチ、電子吸収(EA)光変調器、半導体光ゲートスイッチなどが含まれる。図2に例示されたスイッチデバイスは内部全反射スイッチであり、電界が印加されたときに屈折率が変化する電子光(EO)材料626の本体部により構成される。図3を参照するに、電子光材料626の本体部は、導波路24cと第2の出力導波路24iとの間の通過セクションと、出力導波路24hへの通過セクションの起点となる分路セクションとを有するY字形本体部に形成

14

される。材料626は、入力導波路24cと出力導波路24h及び24iとの間の経路に設けられ、クラッド層21とクラッド層23の間に收容される。デバイスの電気端子としても機能する2個の対向電極27によって電界が印加される。図2の断面図には図示されない短い電気経路は、電極27を夫々の接続パッド32に接続する。接続パッド32は、図2に図示されていないが、平面の裏側での位置が破線で示されている。電極27間に電位差が無い場合、光は導波路24cから導波路24iまで通過セクションに沿って進行する。電極27間に電位差が加えられたとき、電子光材料626の一部は、屈折率が増加し、このため、光の伝搬方向は、光の主要部分が出力導波路24hの中に入るように変化する。より詳細には、光は、電極27の間にある電子光材料626のセクションで屈折率の低いセクションに達するので、分路セクションへ反射される。電子光材料626は、本願出願人によって譲受され、参考のため引用される米国特許第5,444,811号に記載されているような電子光ポリマーを含む有機材料によって構成される。電子光材料626は、例えば、 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{Al}_y\text{Ga}_{1-y}\text{As}$ のようなIII-V属の化合物から作られる多数の量子井戸デバイス及び量子ドットにより構成される。逆向き電圧バイアスを加えたとき、これらのデバイスは、印加されたバイアスの関数として屈折率を変化させることができる。

【0033】一般的に、活性層20は、積層技術を用いて形成される。以下の説明で、積層技術とは、導波管及び/又は電子光デバイスが埋め込まれた膜を形成するための、膜層堆積工程、電子光デバイスの埋設工程、並びに、ピア及びコンタクト層の形成の任意の組合せを意味する。一例として、クラッド層21は、最初にベース基板12上に形成され、次に光コア層24の形成及びパターンニングが行われ、次にクラッド層23が形成され、続いて、電気経路30及び相互連結パッド32が形成される。光電子デバイス26及び28は、個別に形成され、クラッド層21の形成中若しくは形成後、かつ、クラッド層24の形成後に活性層20に組み込まれる。場合によっては、光電子デバイスは、層21-24の形成中に同時に形成することができる。例えば、図2のスイッチ26cの下部電極は、クラッド層21の形成前に形成される。クラッド層21の形成後に、矩形状の電子光材料がスイッチ26cが配置されるべき場所に形成される。次に、表面が層24のためのコア材料によって被覆され、硬化される。この表面は、電子光材料626の上部を露出させるため平坦化される。コア層及び矩形状の電子光材料626は、共に、導波路24c及び24h、並びに、電子光材料626の最終的なY字形分路形状のパターンを形成するため、例えば、従来のフォトリソ層若しくはマスク層のパターンニングと、エッチングとを用いてパターンニングされる。クラッド層23と、上部

(9)

15

電極27及びパッド32の金属層は次に形成される。

【0034】図4の(a)は、受光素子デバイス28cの付近の活性層20の部分断面図であり、同図の(b)は、導波路24fと共に受光素子デバイス28cを示す上面図である。スイッチ26cと同様に、受光素子デバイス28cは活性層20に埋め込まれ、その下面はベース基板12の上面と対向する。多数の異なる種類の重厚素子デバイスを使用することができる。図4の(a)及び(b)に示された例示的な受光素子デバイスは、半導体材料の本体部628若しくはミニチップと、本体部の表面に形成された2個の電極27とにより構成される。視覚的な見やすさのため、2個の単純な直線状電極が図示されている。本発明の実施例で使用される典型的なM S M受光素子デバイスは、正孔-電子収集効率を高めるため、組み合わせられた電極を有する。本例の受光素子デバイス28cは、別個に構成され、クラッド層21の上部に配置され、導波路24a-24iを形成する前にクラッド層21に接着される。本体部628の材料は電極27間に電圧を発生させ、及び/又は、電極27間に電流を発生させ、及び/又は、電極27間の導電性に変化を生じさせる。例えば、本体部628は、材料内に形成されたp n接合と、一方の電極27に電気接続されたp型ドーフト領域と、他方の電極27に電気接続されたn型ドーフト領域とを含む半導体材料により構成される。p n接合は光が照射されたとき電流を発生し、この電流は従来の受光素子技術で公知の通常の検出回路によって検出される。或いは、別の例では、本体部228は、材料内に形成されたp i n接合及びn i p接合を有し、夫々の電極27に電気接続されたドーフト領域を具備した半導体材料により構成される。真性(i)半導体領域に光が照射されるとき、電子及び正孔の密度は増加し、領域の伝導性は増大する。これにより、従来の受光素子技術において公知である通常の検出回路によって検出可能な電極27間の導電性が変化する。また、2個のオーム性接点を備えた真性半導体の簡単な本体部を使用してもよい。バイポーラフォトトランジスタ及び電界効果フォトトランジスタのようなより複雑な受光素子デバイスを使用してもよい。これらのデバイスの構造は従来技術において公知であり、本発明の実施例に関して、光子捕獲領域を半導体材料のミニチップの一方若しくはそれ以上の側面に配置するため適合され得る。図4の

(a)において、受光素子層の厚さは、導波路のコア層の厚さと殆ど同じになるように表示されている。しかし、より一般的には、受光素子の効率的な光吸収を実現するため、受光素子の厚さをコア層の厚さよりも大きくする方が好ましい。

【0035】上記の通り、本例による受光素子デバイス28cは、別個に製作され、クラッド層21の上部に設けられ、導波路24a-24iが形成される前にクラッド層の上部に接着される。クラッド層21が、最初に液

16

体形式で塗布され、次に硬化されるポリマー材料によって構成される場合、受光素子デバイス28cは、層21が液状若しくは粘着性状態にあるときに層21に設定し、硬化プロセス中に層21にしっかりと接着させてもよい。クラッド層21が積層により構成される場合、或いは、硬化、若しくは、非粘着性層である場合、ポリマー粘着性の本体部が配置前に受光素子デバイス28cの裏面に貼付され、次いで、デバイス28cを層21に接着させるため硬化される。正しい位置に設置された後、導波路24a-24i及び上部クラッド層23は、順番に形成され、バイアは受光素子デバイス28cの電極27まで形成される。上部メタライゼーション層は、図4の(b)に実線で示されているように経路30及びパッド32を得るため形成される。

【0036】図4の(a)のデバイスは、組み合わせられた電極として示されているように指状の電極である。指状の電極の一方は、デバイスのチップの下面に形成される。本例の場合、下部電極への接点は、電極の一部を、ベース基板の表面(或いは、硬化層21の上)に形成された電気経路に拡散ボンディングすることにより作製される。高温アンダーフィル材料は、好ましくは、拡散ボンディングされる部品の下側のエアポケットを充填するため塗布される。エアポケットを充填するためコア材料を使用してもよい。

【0037】本発明で使用する受光素子は、組み合わせられたタイプの素子には限定されない。例えば、サンドイッチ形の電極構造を使用してもよい。また、受光素子の下面、すなわち、光が入射する表面は光を受容する窓を備えた電極を含み、受光素子の上面は第2の電極を含む。図5の(a)及び(b)は、本発明による受光素子の別の好ましい実施例28c'を示し、図6の(a)及び(b)は、本発明による受光素子の別の好ましい実施例28c''を示す図である。これらの実施例は縦型受光素子に対する実施例であるが、この配置及び考察は横型受光素子にも同様に適用される。周知の通り、受光素子から電圧信号を出力するため負荷抵抗が必要である。図5の(a)及び(b)に示されるように、負荷抵抗29は電子光・受光素子628に一体化される。或いは、前置増幅器を、例えば、抵抗29の場所で電子光・受光素子628に組み込んでもよい。この場合、上側パッド32は、受光素子の裏側電極ではなく、増幅器出力に接続され得る。受光素子の裏側電極は増幅器入力に接続してもよい。図6の(a)及び(b)には、例えば、300nmの厚さと、3ミクロンの幅と、500ミクロンの全長とを備えた曲がりくねったN i C r膜を含む別の負荷抵抗29'が示されている。受光素子は、増幅器インピーダンス整合用抵抗又は負荷抵抗のような適当な電気回路が適当なデバイス動作のために必要とされる場合の一例であるが、より一般的には、適当な抵抗、コンデンサ、ドライバ、或いは、その他の回路が他の電気、若し

(10)

17

くは、レーザダイオードのような光電子デバイスを電源（又は、グランド、若しくは、他の電気及び／又は光電子デバイス）に接続するため必要とされる。図示された本発明の実施例の場合には、デバイス 1 個当たり 2 個の電極だけが示されている。しかし、一般的には、各デバイスは、非埋め込み型デバイスと類似した方法で複数の電源及び／又は信号電極を有する。

【0038】図 7 は、本発明による光電子相互連結基板 10' の第 2 実施例の拡大斜視図である。相互連結基板 10' は図 1 に示された基板 10 と類似し、1 個乃至複数の IC チップ 1 a - 1 d から信号を光リンク及び電気経路の両方を用いて相互連結する光電子マルチチップモジュール (OE-MCM) 基板の形をなす。図 1 の基板 10 と図 7 の基板 10' において共通した素子には共通の参照番号が付けられている。一つの相違点として、基板 10' は、基板 10 の光電子スイッチデバイス 26 a 及び 26 b の代わりに発光デバイス 36 a 及び 36 b を使用する。発光デバイス 36 は、基板 10 の光ファイバ 4 によって供給されるような外部光源を必要としないので、基板 10' に光ファイバ 4 は必要とされない。発光デバイス 36 には、発光ダイオード (LED)、レーザダイオード (LD)、縦型共振表面放出レーザ (VCSEL)、量子井戸若しくは量子ドットデバイス (順方向バイアス条件下)、又は、他の発光素子が含まれる。

【0039】図 8 は本発明による発光デバイス 36 b の第 1 実施例の部分断面図であり、図 9 は導波路 24 h と関連した発光デバイス 36 b の上面図である。スイッチ 26 c と同様に、発光デバイス 28 c は活性層 20 に埋め込まれ、その下面はベース基板 12 の表面と対向する。発光デバイス 36 b は、半導体のような発光材料の本体部 636 若しくはミニチップと、本体部 636 の上面及び下面に形成された 2 個の電極 27 とを含む。発光デバイス 36 b は、1 個以上の側面から発光し、半導体材料内に形成された発光ダイオード若しくはレーザダイオードにより構成される。本例の発光デバイス 36 b は、別個に構成され、クラッド層 21 の上若しくは内部に設けられた電極の上に配置され、はんだ又は金属拡散プロセスを含む上記の粘着工程などによって導波路 24 a - 24 i を形成する前にクラッド層に接着される。これらの受光デバイスの作製法は従来技術において周知あり、本発明に関して、光子放出領域を半導体材料のミニチップの一方側に配置するため適合され得る。

【0040】作製中に、受光デバイス 36 b のクラッド層 21 への配置と、導波路 24 h のパターンニングは、ベース基板 12 上のアライメントマークを用いて行われる。製作中に、装置 36 b 又は光導波路 24 h のパターンは、アライメントマークに関して多少調整不良になるので、受光デバイス 36 b の光出力と導波路 24 h の光入力との間に調整不良が生ずる。このような調整不良を考慮するため、導波路 24 h の光入力、図 9 に示され

18

るようにフレア型、すなわち、外向きにテーパが付けられる。調整不良がある場合、このテーパによって受光デバイス 36 b から光が光導波路 24 h に入射されることが保証される。

【0041】この調整不良の可能性は、経路 30 から電極 27 にバイア接点を作製する場合にも問題になる。これは、バイア寸法に付加的な許容範囲を指定することによって（例えば、利用されるリソグラフィ及びエッチング工程によって制約される最小寸法よりも大きい寸法を使用することによって）解決される。或いは、バイア領域内で経路 30 及び電極 27 の形を延長し、延長された形状を 90° の角度で交差させるように配置してもよい。

【0042】図 10 には本発明による発光デバイス 36 b' の第 2 実施例の部分断面図が示され、図 11 には導波路 24 h と共に発光デバイス 36 b' の上面図が示されている。発光デバイス 36 b' は、半導体ミニチップ（又はダイ）636 に形成された縦型共振表面放出レーザ (VCSEL) 638 を含む。上記の発光デバイスの第 1 実施例で、光がミニチップの側面から発生されていたのとは異なり、VCSEL 素子 638 は、ミニチップ 636 の上面に対し垂直向きの光を発生させる。基板 636 はコア層 24 の下側にあり、鏡 639 は、素子 638 の垂直光ビームを導波路 24 h に反射するため、すなわち、水平方向に沿って反射させるため、VCSEL 素子 638 の正面に配置される。鏡 639 の表面は、好ましくは、素子の光ビームに対し 45° の角度をなす。光導波路 24 h の一端は、VCSEL 素子 638 の上にあり、基板表面の法線ベクトルに関して（好ましくは 45° の角度で）傾斜角が設けられる。法線ベクトルは、ベース基板 12 の上面に垂直なベクトルである。傾斜は、基板表面の法線ベクトルに関して 45° の角度で傾けられたレーザを用いるレーザ研磨によって実現される。反応性イオンエッチング (RIE) を使用しても構わない。感光材料が使用される場合には、傾斜したリソグラフ露光を使用してもよい。鏡 639 は、例えば、反射金属又は反射材料をこの領域の上に堆積させることによって、傾斜した表面上に構築される。反射金属の例には、銀 (Ag)、アルミニウム (Al)、金 (Au)、銅 (Cu)、クロム (Cr)、タングステン (W)、チタン (Ti) などが含まれ、反射材料の例には、二酸化チタン (TiO<sub>2</sub>)、二酸化珪素 (SiO<sub>2</sub>)、アルミナ (酸化アルミニウム Al<sub>2</sub>O<sub>3</sub>)、酸化亜鉛 (ZnO)、酸化クロム (Cr<sub>2</sub>O<sub>3</sub>) のような材料により構成された多層誘電体被覆物が含まれる。鏡 639 の角度は、コア層とクラッド層の屈折率の差に依存して 45° から僅かな量だけ変化する。屈折率差が  $\Delta n = 0.02$  である場合に、 $\pm 3^\circ$  の最大角度ばらつきが許容される。屈折率差  $\Delta n$  が与えられた場合、当業者は最大角度ばらつきを容易に計算することができる。本例で使

(11)

19

れるように、角度 $45^\circ$ 若しくは約 $45^\circ$ の角度は、対応した $\Delta n$ の値に対する角度許容範囲内のすべての角度を包含することを意図し、 $\Delta n$ の値が0.02のときには、上記の $\pm 3^\circ$ の角度許容範囲を有する $42^\circ$ から $48^\circ$ までの角度が包含される。鏡639の代わりに、光格子を使用してもよい。光格子は、交互に替わる屈折率 $n_1$ と $n_2$ を有する材料層の系列によって構成され、基板法線ベクトルに対し $45^\circ$ の角度で形成される。このような光格子は、導波路24hの端に一組の離間した切り欠き部を形成し、この切り欠き部を異なる屈折率を有する光材料で充填することにより作製される。 $45^\circ$ の角度の切り欠き部の組は、感光性光材料を使用し、接近して配置された高強度光と低強度光の交互の領域を有する干渉パターンを発生させる光デバイスの中に露光照射を通過させることにより最も容易に獲得される。干渉パターンは、基板の法線ベクトルに対し約 $45^\circ$ の角度で傾斜され、格子が形成されるべき領域上に集められる。鏡を用いる場合と同様に、小さい角度のばらつきは許容され、この許容範囲は光学技術の当業者によって屈折率から計算され得る。格子については、図23乃至26に示されたデバイスを参照して詳細に後述される異方性エッチング法によって形成される。

【0043】図10に示されるように、発光デバイス36b'は、クラッド層21の下にある材料層25bに埋め込まれる。発光デバイス36b'がベース基板12に確実に装着されるように、粘着性層25aが材料層25bを形成する前にベース基板12の上に形成される。層25a及び25bは、クラッド層21若しくはコア層24の材料を含む適当なポリマー性材料、通常のポリイミド材料、及び、紫外線硬化可能エポキシ材料により構成できる。同じ材料で構成する方が好ましいが、異なる材料でも構わない。発光デバイス36b'の電極27は、他の部品デバイスと共に、デバイスの下面に配置され、或いは、両面に配置されても構わない（いわゆる、対向電極）。この場合、下部電極は、ベース基板の表面に形成された電気経路に拡散ボンディングされる（或いは、硬化層25aに形成される）。高温アンダーフィル材料は、好ましくは、拡散ボンディングされた部品の下にあるエアポケットを充填するため塗布される。また、層25bの材料でエアギャップを埋めてもよい。VCSELが使用される場合に、縦型受光素子は、類似したプロセスを用いて埋め込まれ、図10及び11に示された構造と類似した構造を有する。

【0044】次に、基板10及び10'のための活性基板20を作製する方法の実施例について図12乃至19を参照して説明する。図12乃至19は、作製中の活性基板20の層の断面図である。図示された断面図において、光電子スイッチデバイス26及び受光素子デバイス28は互いに隣り合って形成され、図19に示されるように、光導波路は光電子スイッチデバイス26の光出力

20

から受光素子デバイス28の光入力に経路が作られる。

【0045】図12を参照するに、スイッチデバイス26の下部電極27は、従来技術において公知の通常の堆積及び光リソグラフ工程によって、ベース基板12の上面に形成される。電極27の形成に加えて、更なる処理工程のためのアライメントマークが形成され、或いは、これらのアライメントマークは電極27を形成する前にベース基板12の表面でエッチングされる。次の工程として、クラッド層21が、例えば、フッ素ポリマーをベース基板12の上にスピンコーティングすることにより形成される。部品28を装着するため、例えば、日立ケミカル社製のフッ素化ポリイミドOPI-N1005、ポリイミド、或いは、非溶剤（非気体）エポキシ材料のような粘着能力のある材料が層21として選択される。層21の厚さは、次の硬化工程による収縮後に、 $1\mu\text{m}$ から $20\mu\text{m}$ の範囲に収まる。

【0046】受光素子デバイス28のような個別の光電子部品は、好ましくは、層21のフッ素化用溶媒が層21から完全に蒸発される前に、層21の上に配置され、層21に接着される。エポキシ材料のような非溶媒ベースの材料を層21のため使用してもよい。一般的に、エポキシ材料がポリイミド材料よりも低い温度で分解することは、後続の層の材料を選択するときに考慮されるべきである。層21は、フッ素化溶媒が存在するならばフッ素化溶媒を除去し、ポリマー材料の選択的な一部の架橋を行うため、ソフトなベーキング処理を施される。層21は、次に、例えば、熱、照射、時間若しくはこれらの組合せに晒すような材料組成に適当な工程によって硬化される。溶媒の蒸発は、個々の部品28の下にある溶媒の横型拡散を受容するように徐々に行われる。ある種のクラッド材料を用いることにより、個々の部品が配置される前に層21の表面を粘着性にさせるため、部分的なソフトベーキング工程が行われ得る。部分的なソフトベーキングは、セット部品（例えば、部品28）の下にあるフッ素化溶媒を横方向に拡散させるため必要な時間を短縮する。

【0047】配置された各部品（例えば、部品28）の裏面は、部品が層21のポリマー材料に接着し易くなるように接着工程の前にクロムで被覆される。ある種の場合に、クロム膜は部品の下部電極を形成するようパターンニングされる。市販されている表面実装用機器、フリップチップボンディング用機器、或いは、カスタム用途アライナは、部品を配置するため使用できる。アライメントマークは、部品を配置する目的のため、個々の部品（例えば、部品28）及び／又はベース基板12の上に設けられる。或いは、個別の部品にアライメントマークを付ける代わりに、幾つかの部品、若しくは、部品が配置される基板部の幾つかのポイントにアライメントマークを作成してもよい。表面実装用機器、フリップチップ用機器、若しくは、カスタム用途アライナは、 $\pm 2\mu\text{m}$

(12)

21

乃至 $\pm 5 \mu\text{m}$ の範囲内で部品を配置することができる。

【0048】上記の通り、個々の部品（例えば、部品28）の厚さは、好ましくは、非常に薄く、例えば、 $1 \mu\text{m}$ 乃至 $20 \mu\text{m}$ のオーダーである。このように薄い光電子部品は、文献：Yablonovitch, "Vapor Phase Epitaxial Lift-off Process of GaAs", the Fall Materials Research Symposium に記載されている気相エピタキシャルリフトオフプロセスを用いて製作される。液相エピタキシャルリフトオフ又は研磨のような他のプロセスも使用できる。エピタキシャルリフトオフ（ELO）プロセスは、GaAs（ガリウム砒素）とAlAs（アルミニウム砒素）との間、或いは、GaAsと $\text{Al}_x\text{Ga}_{1-x}\text{As}$ （アルミニウム・ガリウム・砒素）との間のエッチレートの違いが非常に大きい点が有利である。GaAs基板から始めて、AlAsの層がエピタキシャル成長（例えば、MBE（分子線エピタキシャル成長）、OMVPEなど）によって上面に形成される。GaAsと $\text{Al}_x\text{Ga}_{1-x}\text{As}$ の層は、次に、エピタキシャル成長によってAlAs層に形成される。光電子デバイスは、電極及び上部パッシベーション層と共に上部GaAs層に形成される。本発明の実施例の場合には、後述のように研磨ストップ層がパッシベーション層の上部及び電極に形成される。この時点までに、電極は必ずしも必要ではない。電極は、デバイスがクラッド層21に取り付けられた後の工程で形成され、被覆されたポリマー膜23及び24が硬化されてもよい。次に、デバイスを個別の部品若しくは個別のアレイチップ（複数のデバイスを収容するチップ）に分離させるため、深いトレンチが上部GaAs層に形成される。このようなアレイチップは、多数の信号が一括してグループ化され、光スイッチデバイス（又はエミッタ）のバンクから受光素子のバンクに配送される光バスを実現する際に有用である。支持用基板として、マイラー（Mylar (R)）のようなポリマー膜、ガラス、或いは、水晶が、アレイチップを含むGaAs部品の上面に層状にされる。基板の全体は、AlAs層を横方向に食刻加工するフッ化水素酸エッチングを受け、GaAs及び $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 部品（例えば、ミニチップ）が、（ポリマーが支持用基板として使用されているとき）ポリマー膜に装着されたままGaAs基板から解離される。これらの部品は、ポリマー膜から切り取られ、或いは、使用されるまでポリマー膜に保持される。ポリマー膜に保持される場合、層21は、層状ポリマー膜よりも粘着性の強い接着力が得られるポイントまでソフトベーク処理され、部品が粘着性層21に押しつけられたとき、部品は、層状ポリマー膜が引き離されたときに層21上に保持され、ポリマー膜から離れる。代替策として、担体膜に装着されたままのエピタキシャルデバイスの露出した下面に金属を堆積させてもよい。対応した金属パッドが硬化層21の上に形成され、エピタキシャルデバイスは、拡散ボンディング、AuS

22

nボンディング、AuInSnボンディング、AuInボンディング、Pdボンディング又は他の類似したボンディングプロセスによって対応した金属パッドに取り付けられる。寸法的な安定性は、ガラスのような硬い基板が支持用基板のために使用される場合に改良される。

【0049】類似したエピタキシャルリフトオフプロセスは、AlAs層の代わりに中間SiGe（シリコンゲルマニウム）層を使用するシリコン（Si）基板のため、SiGeとシリコン（Si）との間で差異を生ずる腐食液を使用することにより開発される。これにより、シリコンチップに対し高歩留まりのエピタキシャルリフトオフプロセスを実現することができる。

【0050】次の処理工程では、コア材料の層が個々の部品（例えば、部品28）の上に形成され、得られた表面は、より平坦な表面を得るため研磨工程に渡される。好ましい作成法の実施例では、研磨工程は、個々の部品（例えば、部品28）の電極の上に重なるコア材料のパーツを除去し、電極27の上面を露出させる。この目的のため、電極27は、好ましくは、一般的に必要とされる高さよりも高い初期高さを有し、研磨工程によって磨かれて低くなる。また、電極27は、好ましくは、2層以上の金属サブレイヤからなる複合構造を有し、一方のサブレイヤは、タングステンのような研磨ストップ材料により構成される。図12に示された例の場合に、電極27は、銅の下部サブレイヤ27xと、タングステンの中間サブレイヤ27yと、銅の上部サブレイヤ27zとを含む。タングステンサブレイヤ27yは、 $0.1 \mu\text{m}$ 乃至 $1 \mu\text{m}$ の範囲の厚さを有し、銅サブレイヤ27x及び27zは、 $2 \mu\text{m}$ 乃至 $20 \mu\text{m}$ の範囲の厚さを有する。ポリマー硬化中に、銅の拡散を減少させるため、銅の上面は拡散バリア層（例えば、チタン若しくはニッケル層）によって覆われる。金Auのような他の金属を銅Cuの代わりに使用してもよい。ポリマー硬化中の金属拡散を減少させるため、ニッケル層若しくはチタン層のような拡散障壁層が使用される。研磨剤としてアルミナ粒子を含むスラリーの場合、銅はタングステンよりも速い速度で研磨される。

【0051】層21が硬化された後、或いは、層21がソフトベーク処理されてから硬化されるまでの時間に、層21は下部電極27へのビアを形成するためパターンニングされる。このパターンニングは、バイアアパーチャをレーザ穴あけ加工し、次に、例えば、銅のような導電性材料でアパーチャを充填することにより実現される。バイアの位置は図12において「バイア」として示されている。レーザ穴あけ加工の代わりに、バイアアパーチャは、層21に形成されるべきアパーチャに対応したアパーチャを用いて写真リソグラフィ的にパターンニングされた厚いフォトレジスト層を貫通するエッチングによって形成される。層21が硬化された場合、ドライエッチングの方が好ましく、ウェットエッチングは、一般的

(13)

23

に、ソフトベーク処理され、硬化されていない層21と共に使用される。後述の通り、層21内のバイアは更に後の工程で形成してもよい。

【0052】層21内のバイアアパーチャは、導電性材料（例えば、銅）のスパッタリング、化学気相堆積（CVD）法及び導電性材料のめっきを含む多数の従来の堆積法によって導電性材料を充填してもよい。無電解めっき、直接めっき（電解めっき）及び化学気相堆積は、基板全体に材料を堆積させることなくバイアアパーチャを充填するため使用される。無電解めっきは、非常に時間がかかる。他の方法は、表面全体に亘って導電性材料を堆積させ、望ましくない領域内の材料をエッチング処理で除去する。このような材料の様な堆積を行う前に、次のエッチング処理によってこれらの部品、特に、金属電極が損傷されないように、配置された部品（例えば、部品28）をフォトレジスト材料の保護パッチで被覆することが推奨される。電解めっきが使用される場合に、導電性シード層は、めっき電流用の導電性パスを作成するため最初に層21上でスパッタリングされる。シード層は、一般的に、薄いクロム粘着性層（例えば、200オングストローム）と、次のより厚い銅層（例えば、2μm）とにより構成される。余分な導電性材料は、充填されたバイアアパーチャの上にマスク用キャップを使用する通常の化学エッチングによって除去される。マスク用キャップは、フォトレジストの層を新たに堆積された銅層の上に被覆し、次に、フォトレジスト層をパターン露光し、現像することによって簡単に形成され得る。余分な銅（及び、すべてのシード層）がエッチング処理で除去された後、マスク用キャップは適切なストリップ若しくは溶媒によって除去される。上記のバイア形成工程は、本例で説明される他の誘電体層及びポリマー層にバイアを形成するためにも使用される。

【0053】図13を参照するに、スイッチデバイス26用の電子光材料626は、層21と個別の部品（例えば、部品28）の上に形成される。電子光材料626の層は、材料の一部（本体部）をスイッチデバイス26が形成されている場所に残しておくようにパターンニングされる。この残された部分は、典型的に、材料の経過部分であり、スイッチデバイス26のために使用される電子光材料626の本体部の最終的なパターンとは異なる。例えば、この残された部分は、（ベース基板12の上面から見た場合に）略矩形状の部分であり、スイッチデバイス26のために実際に使用される電子光材料626の本体部を取り囲む（図20を参照のこと）。次の工程は、典型的に、この電子光材料の部分の最終的なパターンニングを行う（図21を参照のこと）。この電子光材料626の層の中間的なパターンニングは、任意の数の従来のパターンニング技術によって行われる。電子光材料626は、写真画像形成可能である場合に、パターンニングされ、化学線照射に露光され、現像される。写真画像形

24

成が可能ではない場合に、フォトレジスト層は電子光材料626の層の上に形成され、フォトレジストは、保持されるべき電子光材料626の経過部分を被覆するエッチマスクを残すようにパターンニングされる。ウェット及びドライの両方のエッチング工程は、不必要な部分を除去するため使用することができ、ドライエッチング工程は非等方性であり、より鋭い垂直壁を与えるので、ドライエッチングの方が好ましい。プラズマドライエッチング技術を使用してもよく、フォトレジスト層は、その厚さの一部がエッチングプロセスの最後まで保持される限り、ドライエッチングプロセス中に失われる。

【0054】図13では、好ましくは、実現可能なパターンニング方法の更なる実施例が使用される。具体的には、厚さが0.1μm乃至1μmのタングステン層は電子光材料626の層の上に形成され、このタングステン層は、保持されるべき電子光材料626の部分のためタングステンエッチマスク627を残すようにパターンニングされる。このパターンニングは、タングステン層627上にフォトレジスト層を形成し、不要なタングステンを露光すべくフォトレジスト層をパターンニング、現像し、例えば、過酸化水素溶液を用いて不要なタングステンをエッチングすることによって行われる。図14には、電子光材料626の層のパターンエッチングの結果が示されている。タングステンエッチマスク627は、後続の研磨工程において、電子光材料626の保持された部分を保護する研磨ストップ層として使用されるので、二つの目的のため役立つ。タングステンの代わりに他の材料を使用してもよく、かつ、本発明の作成方法はタングステンの使用には限定されないことが認められる。例えば、他の金属、堆積した二酸化珪素、及び、堆積した窒化珪素を使用してもよい。エッチマスクは、必要に応じて、電子光材料の電子光係数を増強するためポーリング用電極として使用される。

【0055】スピンコーティング、CVD、又は、MLDによって電子光材料626の一部を形成する代わりに、電気光特性若しくは電子吸収特性を有する半導体材料のチップを配置してもよい。例えば、AlGaAsとGaAsの交互の層（又は、InGaAlAs（インジウム-ガリウム-アルミニウム-砒素）、若しくは、InGaAsP（インジウム-ガリウム-砒素-リン）など）を含む多数の量子井戸デバイスは、印加された電位差の関数として反射率を変化させる。これらのチップは、上記のエピタキシャルリフトオフプロセスによって作成してもよく、部品28が層21に配置されるときに同時に層21に配置してもよい（同時配置でも順次配置でも構わない）。この可能な例は、図12において、材料626'からなるチップとして破線で示される。本例の場合、図13に示されるポリマー性電子光材料626の層を被覆する工程は、同一活性基板10上で材料626と材料626'を共に使用する場合を除いて、被覆さ

(14)

25

れた材料626を画成、硬化させる工程と共に省くことができる。研磨ストップ層627は、好ましくは、配置される前に、好ましくは、チップ626'の上に形成される。層627は、チップ626'の最終的な形状を画成するためパターニングされ、半導体チップは、コア層が形成される前に、パターニングされた層627の下にはない半導体の一部を除去するようエッチングされる。このチップ626'の処理は、図14乃至21に関して説明される工程に対して同一である。

【0056】図15を参照するに、次の工程では、光コア材料の層24をクラッド層21と個別の部品（例えば、部品28）と材料626の電子光部（又は電子吸収部）の上に形成する。この目的のため、スピコート工程が使用され、コア材料は、溶媒を用いてフッ素化された（粘性流体状の）ポリマー材料により構成される。この点に関して、上述の通り、フッ素化コア材料は、例えば、日立ケミカル社製のフッ素化ポリイミドOPIN3405により構成される。低温処理の場合、紫外線硬化可能なエポキシは有用である。層24は、次に、フッ素化溶媒を除去するためソフトベーキング工程で処理され、次に、その材料組成に適した硬化工程、例えば、熱、照射、時間若しくはこれらの組合せの工程で処理される。コア材料、クラッド材料、及び、電子光材料のソフトベーキング並びに硬化処理のためのガイドラインは、製造元によって与えられる。層24の厚さは、好ましくは、部品ミニチップ（例えば、部品628）の厚さ、若しくは、電子光材料626の一部の厚さのいずれか小さい方の90%以上であり、より好ましくは、ミニチップ及び電子光材料626の一部よりも厚い。最初に形成され硬化された層24の典型的な厚さは、30 $\mu$ m未満であり、より典型的には、3 $\mu$ m乃至20 $\mu$ mの範囲内に収まる。

【0057】図16を参照するに、基板の表面は表面がより平坦化するよう研磨される。研磨工程は、電子部品26及び28と重なる層24の部分の除去するが、光導波路が画成される下にある領域内の材料を保持する。研磨工程は、屢々、特に、最初に形成され硬化された層の厚さが光電子デバイスの厚さよりも大きいときに、下にある領域内の層24の厚さを小さくさせる。

【0058】平面性は、局在化領域に広がり、領域内の表面トポロジーの中間高さ若しくは平均高さを通る平坦な（若しくは、徐々に湾曲する）幾何学的平面に対して定義される。この平面性は、幾何学的平面からの表面トポロジーのばらつきの測定量である。この測定量は、多様な方法で数学的に定義され、最も典型的（最も簡便な）測定量は、局在化領域内における幾何学的平面からの高さのばらつきの最大値である。場合によっては、下にあるベース基板12は僅かに湾曲した表面を有し、完全に平坦ではない。この場合、平面性の概念は、着目中の局在化領域内で下にある基板の輪郭を追跡する湾曲し

26

た表面を有する幾何学的平面を使用することによって適用される。本発明の実施例では、一般的に、1辺が2cmの表面積（すなわち、4cm<sup>2</sup>）に亘って幾何学的平面からの高さのばらつきの最大値が0.5 $\mu$ mを超えないことが求められる。

【0059】良好な局所平面性を得るため、柔らかい研磨用パッド、若しくは、硬い外側パッドと柔らかい下側パッドとを含む2重パッド構造を使用してもよい。研磨パッドの選択は当業者の技術で公知である。上記の通り、タングステン研磨ストップ層は、種々の部品を保護するためその部品上で使用される。この点に関して、研磨ストップ層としてのタングステンの有効性は、リン酸をスラリに添加することによって高められ、銅及び最もポリマー性材料の研磨速度に大きい影響を与えない。この目的のため、スラリのpHを2と4の間の値まで低下させる量のリン酸が添加される。最後に、研磨工程では、電子光材料626の中の幾つかの「ダミー」部分が、上に重なる研磨ストップ層627と共に、光導波路若しくは光電子デバイスが存在しない領域でベース基板12の表面上に分布されることに注意する必要がある。このようなダミー部分は図21の左下隅に示されている。ダミー部分は、決して活性部品として使用されないが、研磨ストップ層627の総表面積を増加させることにより研磨工程の「ディッシュリング」現象を低下させるため機能する。ここで、「ディッシュリング」とは、付近の研磨ストップ領域若しくは高いスポットの不足に起因した研磨動作によって、局在化された窪みが表面に形成される状況を表わし、ディッシュリング効果は硬いパッドよりも柔らかいパッドの方が大きい。

【0060】図16に示されるように、次の製造工程では、先に層21を通して下部電極27まで作成されたバイアに達するまで層24を通るバイアが形成される。このバイアは、例えば、レーザ若しくはプラズマエッチ処理を用いてバイアアパーチャをエッチングし、次に、層21内のバイアの形成に関して説明した上記のいずれかの充填工程を使用して導電性材料でアパーチャを充填することにより形成される。先の層21内のバイアの形成は、層24内のバイアが形成されるまで遅らせてもよく、層21及び層24のバイアは単一のバイア形成処理によって同時に形成しても構わないことがわかる。また、層24が研磨される前、若しくは、層24が硬化される前に、層24内でバイアを形成することが可能である。

【0061】図17を参照するに、次の工程は、選択的であり、余分な導電性材料を層24に形成されたバイアの上面から除去する第2の研磨工程を含む。この研磨段階は、比較的簡単であり、余剰物をすべて除去する必要はない。次の工程として、研磨ストップ層627と、選択的に研磨ストップ層27yは、この層を適当な腐食液に晒すことによって除去される。タングステン研磨スト



(15)

27

ップ層は、過酸化水素水によって容易に除去されるので、銅製のパイア或いは殆どのポリマー性層に損傷を加えない。次の工程では、光導波路が層24に画成される。これは、各導波路の両側に沿って存在し、光入力として使用されない光電子デバイスの側面の境界を定める層24の部分624を除去することにより行われる。図20にはコア層24の部分624が除去される前の活性基板20の上面図が示され、図21には3個の光導波路24j-241を画成するため部分624が除去された後の活性基板20の上面図が示されている。層24の除去された部分の下にある層21の部分は図21に示されている。この工程の一部として、電子光材料626の区画は、スイッチデバイス26の最終的なY型分路形状が得られるように2回パターニングされる。層24及び電子光材料626の一部のパターニングは、維持されるべき層24及び電子光材料の一部の上に設けられたパターニングされたエッチマスクを使用するドライエッチング処理と同時に進めてもよい。ウェットエッチング処理を使用しても構わない。一般的に、電子光導波路セクション626の幅と、導波路24j-241の幅は、必ずしも一致しない。ガリウム砒素(GaAs)のような第III-IV族の化合物がセクション626として使用される場合のように、電子光導波路セクション626の屈折率がコア層24の屈折率よりも実質的な量だけ大きいとき、電子光導波路セクションの幅を拡大若しくは縮小し、導波路24j-241と当たる場所でそのセクションの幅の寸法を徐々に細くすることが望ましい。これにより、屈折率の異なる二つの材料内で伝搬する光のビーム幅が適当な寸法に保たれるので、二つの異なる材料の間の境界での反射が減少する。

【0062】次の工程として、クラッド材料の層23が層24と下部クラッド層21の露出した領域の上に形成される。これにより、光導波路24j-241の側面はクラッド材料で覆われる。この処置の結果が図18に示されている。クラッド材料は、除去された部分624の上部まで完全ではないが実質的に完全に亘って充填される。層24の除去された部分624の上に重なる層23の表面には小さい窪みがある。これらの窪みは、一般的に、少しずつ滑らかに形成されるので、金属ラインは破断することなく窪みの上に形成される。窪みのサイズを小さくするか、若しくは、窪みを除去したい場合、以下の工程が行われる。再度、図16及び17を参照するに、研磨ストップ層は部分624の除去中に正しい位置に保たれ、クラッド材料の第1の層23が表面の上に形成されるときに正しい位置に保たれる。この第1の層は、次に、平坦化され、研磨ストップ層が露出されるように研磨される。次に、この研磨ストップ層は除去され、クラッド材料の第2の層が基板の上に形成される。

【0063】光導波路を画成する工程では、以下の更なる変形例を実施してもよいと認められる。第1の変形と

28

して、電子光材料626の第1のパターニングがその材料に対する最終的なパターニング処理画像を使用する場合、電子光材料626の一部をパターニングする第2のパターニング工程は無しで済ませてよい。Y分路の形状の寸法は調整不良の可能性を考慮して拡大される。2工程のパターニングを用いる利点は、電子光材料626と層24の両方をパターニングするため第2のエッチング工程を使用することにより、スイッチデバイス26のY分路形状と光導波路24j-241との間で完全なアライメントが達成されることである。

【0064】第1の変形例と共に使用される第2の変形例として、光を限定可能な(すなわち、光反射性の)コア材料を使用してもよい。このような材料は、一般的に365nm乃至400nmの範囲の波長を有する光である化学線照射により変更される初期屈折率を有するので、初期にはクラッド層として作用する。この層は、次に、導波路が配置されるべき領域で屈折率を高めることにより光導波路を定義するため照射でパターン露光される。このパターン露光は、導波路の側面をクラッド材料で自動的に包囲させる。活性基板20が完成し、相互連結デバイスとして使用される時、光導波路は、一般的に、光導波路を画成するため使用された光よりも短い波長を有する光(一般的に、600nm乃至1.6μmの範囲の光)を伝搬する。層24が形成される前に電子光材料626が最終的な形状にパターニングされたとき、光を限定可能なコア材料を層24のため容易に使用することができる。しかし、導波路が光を限定するようにされた後に電子光材料626をパターニングするた

め、余分な処理工程が追加される。また、一部の電子光材料は、光を限定可能な特性を備えるため組成が変更される場合がある。光を限定可能な電子光材料の例は、McFarland 他に発行された“Method for Forming Optical ly Active Waveguides”という発明の名称の米国特許第5,541,039号に記載されている。一般的に、材料が光を限定できるようにすることは、化学線照射への露光量に応じて屈折率を変化させる方法を見つけることにより実現される。この変化は、化学線照射に露光される量に応じて材料の化学的変化及び/又は濃度変化を生じさせることにより実現される。

【0065】図15に示されたコア層被覆工程において、選択的なクラッド層をコア層の上に被覆することができる。コア層が(部分的若しくは完全に)効果された後、選択的クラッド層は被覆され、次いで、柔らかい完全な硬化が行われる。コア層の厚さが光電子デバイスの(上部電極を含む)高さよりも少しだけ低いとき、研磨された表面はクラッド層内に含まれ得る。この場合、選択的クラッド層は、研磨工程が行われる前に、コア層の上に形成される。この2層によるアプローチは、コアと層の間の境界面の平坦さを改良し、光学的損失を低下さ



(16)

29

せる。また、光学的な場の強度はクラッド層の方で僅かに小さいので、コアとクラッド層の境界にCMP表面を形成する場合よりもインタフェース散乱損失が低減される。コア層の厚さは、上部金属を除く光電子デバイス／材料の厚さと同じ程度、若しくは、それ以下になるよう選択される。本例の場合、上部金属の厚さを調節することにより、光クラッド層の厚さが調節され得る。別のアプローチは、コア層若しくは上部クラッド層のいずれの層でもCMP処理を行わない方法である。

【0066】光照射によって硬化された受光素子材料を使用する場合、CMP処理を行う必要はない。図15に示された工程の後に、導波路パターンニングは、コア層が適切な厚さで、すなわち、上部層を除く光電子デバイス／材料の高さと同程度、若しくは、その高さ未満まで被覆されている場合に、パターンニングされた光照射によって簡単に行える。更なるプレーナー化層及び処理工程は、必要であるならば、オーバークラッド層が形成された後に適用される。

【0067】図19を参照するに、最後の工程で、クラッド層23を通過するパイアが形成され、スイッチ26用の上部電極27、電気経路30、及び、相互連結パッド32が形成される。パイアアパーチャは、硬化する必要があるならば層23が硬化される前後の何れかに、多数の通常の方法で層23内に形成される。このような方法には、レーザ穴あけ加工、及び、フォトリソグラフィに画成されたエッチマスクを使用するウェットエッチング若しくはドライエッチングが含まれる。パイアアパーチャが形成された後、パイアは上記の従来の何れかの充填方法を使用して導電性材料で充填される。材料は、好ましくは導電性材料であり、例えば、銅は最も好ましい金属の中の一つである。処理工程を削減するため、スパッタ堆積法、若しくは、スパッタリングされたシード層を利用する一様な電気めっき法を使用して、層23の表面全体を導電性材料で被覆することが好ましい。一様な被覆を行うことにより、フォトリソグラフィ的に画成されたエッチマスクを使用するエッチング工程によって、電気経路30及びパッド32を画成するため後続のエッチング工程を使用することができる。エッチマスクは、エッチング工程中パイアを保護するためパイアを覆う。或いは、シード層を層23の表面全体と、パイアアパーチャとの上にスパッタリングしてもよい。通常フォトリソグラフィ的な工程によって、パイア、経路、パッドが形成されるべきではない領域の上にめっき用マスクを形成することができる。その結果として、露光されたシード層の一部分は、パイア、経路及びパッドの場所の上に重なり、露光された部分は、パイア、経路及びパッドを形成するようめっきされる。めっき後、めっき用マスクは除去され、めっき用マスクによって予め被覆されていたシード層の部分を除去するため簡単な一様なエッチングが行われる。従来技術において公知の如く、ポリ

30

マー層の上に金属層を形成するとき、金属層を形成する前に、最初に粘着層をポリマー層の上にスパッタリングすることが望ましい。200オングストローム乃至400オングストロームの厚さのクロム層がこの目的のため使用される。粘着層は金属材料とポリマー材料の両方に良く接合する。

【0068】幾つかの処理工程を追加することにより、図10に示されたVCSELデバイス36b'を上記製造工程に組み入れる。第一に、クラッド層21が形成される前に、粘着層25aがベース基板12の上に形成され、VCSELデバイスが層25aに接着する。エピタキシャルリフトオフを含むVCSELデバイスの上面は、層25aに接着される前に、0.1 $\mu$ m乃至1 $\mu$ mのタングステンのような研磨ストップ層で被覆される。層25aはソフトベーク処理され、硬化される。上述の如くデバイスを層25aに接着させるのではなく、金属層がVCSELデバイスの下面に堆積され、デバイスは、種々の金属ボンディングプロセスによって基板12の表面に形成された金属パッドに粘着させられる。次に、材料層25bは層25aの上に形成される。材料層25bがフッ素化ポリマー材料を含む場合、ソフトベーク処理され、硬化される。このプロセス基板は、VCSELデバイスの上に重なる層25bの部分を除去するため研磨される。(タングステンの)研磨ストップ層は、研磨工程中にVCSELデバイスを保護する。研磨工程後、研磨ストップ層は除去される。製造工程は、上記のクラッド層21の形成から始まる手順を進める。図10に示された鏡639は、層24が形成された後にいつでも形成することができ、通常は層23が形成された後に形成される。既に詳述したように、鏡は、放出層638の上に重なる領域で層24を45°の角度で切断し、反射金属若しくは屈折金属の層を形成することにより得られる。また、金属形成されたVCSELの代わりに、非金属被膜化VCSEL(すなわち、電極を含まないVCSEL)を使用してもよい。電極形成及び他の半導体製造プロセスは、上側クラッド層が上側及び下側処理によって形成された後に行われ得る。この場合、CMPストップ層として、金属層25bの表面に被覆されたタングステン(W)層がVCSEL上の電極の代わりに使用される。VCSELと鏡を一体化するため使用された同一の基本処理工程が縦型受光素子を製造するため使用されるので、好ましくは、上記の例で縦型受光素子が製造される。

【0069】上記作製例において、個々の構成部品は、表向きの配置でクラッド層21(又は、VCSELデバイスに対する層25a)に接着される。しかし、これらの個別の構成部品は、以下の変更を加えることによって裏返しの向きで配置してもよい。部品28の場合に、層27は部品28からの接続パッドを含むようにパターンニングされ、部品28は金属拡散ボンディングによって接

(17)

31

続パッドに接続された電極を有する。その前に、クラッド層21は下部層27の接点を露出させるようにパターニングされる。部品28がこのように接合されると、エアポケットを防止するための高温アンダーフィル材料は部品28の下に設ける必要がなくなる。バイアは、部品28の電気接続を完成させるため層27内の経路まで作成される。このようなバイアの形成については既に説明した通りである。

【0070】部品28を裏返して基板に配置することは、部品28が上記エピタキシャルリフトオフ工程によって形成された場合に以下の利点がある。すなわち、GaAsウェーハから部品を除去するため使用されるAlGaAsエッチング工程は、部品がクラッド層21上に裏返しに配置されるまで遅延される。基板412上の配置後、AlAsエッチング工程は、バルクGaAs基板を、部品を収容するエピタキシャル層から分離するため実行される。かくして、GaAsバルク基板は配置工程中に光電子部品を支持する機能を提供するので、そのためにポリマー膜、ガラス基板、或いは、その他の基板を用いる必要がなくなる。GaAsウェーハ全体は、クラッド層21に裏返しに配置され、或いは、GaAs基板は、最初に、個別の部品を互いに分離するためダイシングされても構わないことがわかる。別の利点は、デバイスが導波路形成プロセスの後に埋め込まれ得ることである。これにより、金属拡散の量とデバイス劣化とが低減される。VCSELデバイスの場合に、これらの工程は、層25aと、層25bの下に形成された金属層とを用いて行われる。

【0071】薄膜デバイス統合体を導波路と一体化する別の処理は、図83乃至90に記載されている。図83に示されるように、エピタキシャル導波路光電子層は、GaAs基板上で成長し、メタライゼーション処理され、複数の光電子デバイス620を画成するためパターニングされる。GaAs導波路コア層は、屈折率が急激に変化するが、好ましくは、スポットサイズ変換レーザダイオードのため使用されるような徐々に小さくなる

(例えば、光の伝搬方向に沿ってコア状をなす) 屈折率を有するpin導波路コア層を有する。エピタキシャル膜は、多数の量子化井戸若しくは量子化ドット構造を使用することによって、電子吸収性光変調器、電子光学光変調器、受光素子、光ゲートデバイス、光スイッチ、波長フィルタ、チューナブルフィルタ、波長変換器などを構成する。金属接点層は、Au接触層と共に表面上に堆積され、必要に応じて、タングステンの表面膜が後の処理工程のためCMP工程を停止させる。上部電極及びエピタキシャル層は、次に、通常のパターニング技術を用いてパターニングされる。

【0072】図84に示されるように、デバイス620を含むエピタキシャル薄膜は、エピタキシャルリフトオフによって支持用トランスファース基板(ガラス、推奨、

32

マイラー、或いは、その他の基板)に移される。エピタキシャルリフトオフ膜と支持用基板との間の粘着は、例えば、ベースライン(Vaseline)若しくはブラックワックス、又は、エポキシ、ポリイミド、ボンディングシート、熱可塑性物質、或いは、導電性接着剤のような接着剤によって行われる。

【0073】図85に示されるように、半導体基板がリフトオフされた後、エピタキシャルリフトオフデバイス620は、ガラス、水晶、Si、Al、AlN、或いは、他の様々な基板材料から作られた基板12に設けられた下側クラッド層21の上に移される。エピタキシャルリフトオフデバイス620は、ファンデルワールス力及び粘着性ボンディングを含む従来より公知のメカニズムを利用して、下側クラッド層21に取り付けられる。金属パッドがクラッド層の上に形成された場合、拡散ボンディング、はんだボンディング、トランジエントリキッドボンディング(TLB)、配線相互連結技術(WIT)は、エピタキシャルリフトオフデバイス620を取り付けるため使用され得る。本例の場合に、エピタキシャルリフトオフデバイスの表面は、図91乃至98に關して説明される例に示されるように金属で被覆される。

【0074】エピタキシャルリフトオフ区画のpin型導波路に光学的に結合される3次元導波路を形成するため、コア層24及びクラッド層23は、図86に示されるように、上記の液体ポリマー被覆工程を使用して連続的に形成される。コアの厚さをpin型半導体膜の厚さと同等若しくは半導体膜の厚さ未満に調整し、pinコア層への強い光結合を実現することが望ましい。しかし、エピタキシャルリフトオフ区画のエッジ付近でのコアの厚さの僅かな非一様性及び/又は変動は、光伝搬の効率を著しくは劣化させない。CVD、MLD、蒸着ポリメタライゼーションのような気相堆積法を用いることにより、変動の強度(すなわち、非一様性)は低減され得る。必要に応じて、堆積したコア層24の表面は、表面の滑らかさ及び一様性を高めるためCMPによって平坦化される。CMPは、エピタキシャルリフトオフデバイス620の上部のタングステン(W)膜によって停止される。

【0075】図86に示されるように、上側クラッド層23はコア層24の上に被覆され得る。これにより幾つかの利点が得られる。一つの利点は、コア層を光電子デバイスの高さと一致させるか、或いは、僅かに厚くすることができ、設計の自由度が大きくなることである。また、クラッド層23は光散乱の損失が抑えられたより均一な境界面を有する表面まで研磨されるので、導波路損失は少なくなる。例えば、コア層24の上に堆積された比較的厚いクラッド層は、光学的に滑らかな表面まで逆向きに容易に研磨することができる、また、光学的な場の強度は典型的にコア層24よりもクラッド層23の方で小さいので、クラッド内の研磨表面における光損失

(18)

33

は、CMP研磨表面がコア／クラッドの境界面にある場合よりも減少される。コア層24が硬化された後、選択的な上側クラッド層23は被覆され、次に、ソフトかつ十分に硬化される。コア層24の部分的な硬化は、コアとクラッド層の間の粘着強度を増加させるので望ましい。

【0076】図87に示されるように、コア層24は、細長い導波路の形にパターンニングされ、次に、図88に示されるように別のクラッド層23'が細長い導波路の周辺に形成される。バイア及び電極27は、図89に示されるように電子光デバイス620まで形成され、次に、下側クラッド用基板12が別の基板に移され、図81に示されるように下部電極27及びバイアを作製するため裏面処理が行われる。しかし、基板及び下側クラッド層21のメタライゼーションが薄膜デバイスの取付前に行われる場合、基板除去及び裏面処理は不要である。活性層は、基板を除去する前に別の層若しくは基板に取り付けられる。これは、寸法上の安定性を得るために好適である。必要に応じて、バッファポリマー層613が基板とクラッド層との間に介挿され、メタライゼーションは、図91乃至98による実施例で行われるようにバッファ層613及びクラッド層まで施される。図91乃至98に示された実施例の場合に、デバイスの分割は、エピタキシャルリフトオフ及び金属被覆の後に行われる。

【0077】図91乃至98には、デバイスの電極による光散乱を減少させるためコア層の厚さがデバイスの厚さよりも厚くされる別の実施例が示されている。エピタキシャルリフトオフデバイス620'は、図93に示されるように、基板12に形成されたパッドに取り付けられ、基板12はバッファ層613と誘電体スペース層614の上に形成される。スペース層614は、クラッド層21と同じ材料から作製してもよい。クラッド層21は正しい位置にあるデバイス620'を用いて形成され、次に、コア層24が形成される。得られた構造体は図94に示されている。一部の歪みがエピタキシャルリフトオフデバイス620'のエッジ周辺に配置された短い領域内でコア層24に生じる。このためある種の光学的損失が生じるが、全体的な光損失は散乱長さが短いために小さい。図91乃至98に示された実施例では、これを取り扱うため、CVD、MLD、蒸着メタライゼーション、或いは、他の気相堆積法は、コア層の滑らかさが改良されるようにコア及び下側クラッド層を形成するため使用される。

【0078】次に、図95に示される如く、コア層24は上記のいずれかの方法を用いてパターンニングされ、次に、図96に示される如く、クラッド層23が被覆される。図97には、既に説明したように形成されたバイア及び電極が示されている。デバイスは基板12から除去され、図98に示されるように適当な部品に取り付けら

34

れる。デバイスは、適当な部品に取り付けられた後、基板12から取り外される。

【0079】図83乃至90、及び、図91乃至98に関して説明したように、活性デバイスのエピタキシャルリフトオフ区画のコアの厚さは、好ましくは、他の部分の厚さよりも厚い。これにより、高い電界強度が低い動作電圧で得られる。さらに、図74に示されるようにエピタキシャルリフトオフ光コアの幅が縮小される場合、容量が低減される。この結果として、高速デバイス動作が容易に得られる。

【0080】図90及び図98には、エピタキシャルリフトオフ電極に接続されたバイアが示されているが、他の接続方法を使用してもよい。特に、エピタキシャルリフトオフ電極に接続された電極を直接形成することも可能である。上記のプロセスには多数の変形例が考えられる。図86乃至88をもう一度参照するに、光照射によって硬化された感光材料が使用される場合、CMPは必ずしも必要ではない。その結果として、コア層が被覆された後、コア層が適当な厚さで被覆されている場合、パターン露光によって導波路パターンニングが容易に行われ得る。平坦化は、必要であれば上側クラッド層が形成された後に実施される。メタライゼーションのシーケンスも変更される。例えば、CMPの前に、～3000オングストロームn厚さのタングステン膜をクラッド表面に堆積させることにより、CMPはタングステン膜をCMPストップ層として用いて行われ得る。この場合、Au上のタングステン膜は不要である。また、図83乃至98に示されたプロセスに対し、薄膜デバイスの電極は、上側クラッド層の形成後に作製され得、本例ではエピタキシャル層である薄膜デバイスは、クラッド層21に取り付けた後にパターンニングされ得る。これによって、コア及びクラッド層の硬化中に生ずる金属拡散問題が回避される。これらの工程については、図66乃至77、及び、図12乃至21を参照して後述される。

【0081】上記実施例では一つのエピタキシャルリフトオフ技術について説明しているが、本発明は、基板上に堆積若しくは形成され、基板から選択的にリフトオフされる任意の光学的材料若しくはデバイスに適用されることに注意する必要がある。エピタキシャルリフトオフは、 $Al_{1-x}Ga_xAs$  エッチストップを含む  $GaAs$  基板エッチング、若しくは、 $AlAs$  エッチング可能層を用いることによって実現され得る。しかし、半導体基板は  $GaAs$  だけに限定されない。  $InGaAsP$  に関連したエピタキシャル膜を～1.3  $\mu m$  乃至～1.5  $\mu m$  の波長のアプリケーションに使用することができる。他の材料がリフトオフされてもよい。例えば、 $TiO_2$ 、 $WO_3$ 、 $SiN_x$ 、 $Si$  などのような高屈折率の膜を、 $Si$ 、金属、若しくは、ポリマーのような基板上に堆積させ、基板を選択的にエッチングで除去し、これらの膜を本発明による形で埋め込むことが可能である。

(19)

35

したがって、本発明の教示は、広い範囲の薄膜材料及びデバイスに適用され得る。一例として、希金属ドーパガラス膜が埋め込まれた場合、光増幅器として作用する。ルミネセンス膜、光屈折膜、非線形光学膜のような有機若しくは無機機能膜を埋め込んでもよい。高屈折率材料により構成された光遅延線は同様に埋め込まれる。したがって、本発明は、複数の光学部品を光学的に集積化する汎用的な方法を提供することができる。例えば、抵抗、コンデンサ、増幅器チップ、ドライバチップを埋め込んでもよい。シリコンチップ上に製作された電子素子の場合に、研磨は、エピタキシャルリフトオフの代わりにチップの厚さを減少させるため効果的である。エピタキシャルリフトオフ膜の装着には、多数の材料と、金属拡散、AuSnボンディング、Pbボンディング、或いは、はんだプロセス、WIT、TLBなどのプロセス、並びに、接着プロセスが含まれる。

【0082】本発明の説明中に記載されたすべてのプロセス及び構造体は、移された薄膜の複数のスイッチ部品をネットワーク構造のポリマー導波路によって接続することにより、クロスバー (XBAR) スイッチング用の導波路スイッチングを含むマトリックス光スイッチに適用される。スイッチング素子は、内部全反射スイッチ、マッハ・ツェンダースイッチ、デジタルスイッチ、指向性カップラー、及び、半導体光増幅器、導波路フィルタ若しくはチューナブルフィルタに基づく光ゲートデバイスを含む。本発明の方法は、マトリックス光スイッチ機能を備えた活性基板を実現するため使用され得る。

【0083】上位の活性基板の作製方法は、より複雑な光電子相互連結システムを作製するため多様な形に拡張される。例えば、図22では、上記活性基板20がバックプレーン (若しくは、マザーボード) 100に水平方向に取り付けられている。バックプレーン100は、活性基板20と類似した構造を有する専用の光基板120を含み、光基板は上記の活性基板の作製方法によって作製できる。別の例では、活性基板20は、図32及び33に示されるように、バックプレーン (若しくは、マザーボード) 210に垂直方向に取り付けられる。さらに別の例では、活性基板は、図36乃至38、図80、及び、図118乃至120に示されるように、集積回路チップを含む介在層を間に挟んで互いに積み重ねられる。

【0084】本発明による第1のマルチチップモジュールシステムの構成が示された図22を参照して、活性基板20のバックプレーン (若しくは、マザーボード) 100への水平方向の取付について説明する。バックプレーン100は、図23からわかるように、下側クラッド層121と、パターンニングされ限定されたコア層124と、上側クラッド層123とを用いて内部に形成された複数の光導波路124a-124hを有する活性基板層120を含む。説明の便宜上、しかも、一般性を失わないように、本例におけるバックプレーン100は、4個

36

の同じMCM (マルチチップモジュール) タイプの活性基板20を收容し、各活性基板は4個のICチップを搭載する。光導波路124の経路を示すため、図22における4個の活性基板の中の2個の活性基板20は取り外されているので図示されない。バックプレーン100は、MCM活性基板20との間で光信号を送受信する複数の垂直型光カップラー154、156、160を含み、上記の各MCM活性基板20は、V字溝型光コネクタ13乃至15が対応した垂直型光カップラー44及び48で置き換えられている。これらの変更については、バックプレーン (又は、マザーボード) 100の一般的な説明の後に説明する。

【0085】図22において、左上及び右上のMCM基板20の下側にある導波路及び垂直型カップラーの位置は、左下及び右下のMCM基板20の下側にある導波路及び垂直型カップラーの位置と同じである。これらによって、基板20が実装されているとき (左上及び右上の位置) と、基板20が実装されていないとき (左下及び右下の位置) とにおけるバックプレーン100が図示される。

【0086】バックプレーン100用の光源は、図7乃至11に例示された何れかの発光デバイス136である発光デバイス136により発生される。発光デバイス136の出力は導波路124aに接続され、導波路124aは左上のMCM基板20に隣接した場所まで経路が作られる。この場所から、導波路124aは約90°だけ曲げられ、左上のMCM基板20の下に配線され、右上のMCM基板20の下を通過するように延長される。発光デバイス136と左上のMCM基板20との間で、導波路124aは水平ビームスプリッタ164を通過する。水平ビームスプリッタ164は、光の一部 (例えば、50%) を、導波路124aと直交した導波路124bに分配する。この水平ビームスプリッタ164の構造は、バックプレーン100の一般的な説明の後に詳述する。導波路124bは、左下のMCM基板20が配置される場所に導かれ、さらに、右下のMCM基板20が配置される場所まで経路が作られる。各MCM基板の場所の下側で、導波路124bは、光の一部をMCM基板20の上向きに進行させる垂直ビームスプリッタ154を通過し、その場所で導波路124bは、受信用縦型カップラー44 (図23を参照のこと) を用いて導波路24aに接続される。垂直ビームスプリッタ154及び受信用縦型カップラー44の構造は、バックプレーン100の一般的な説明の後で詳述する。

【0087】導波路124cは、左下のMCM基板20と右下のMCM基板20との間で光信号を伝達する。左下のMCM基板から光信号を受信するため、バックプレーン100は、MCM基板の導波路24hの終端の下側に受信用縦型カップラー160を含む。左下のMCM基板20からの光信号は、送信用縦型カップラー48によ

(20)

37

ってバックプレーン100に向かって垂直に伝達される。この光は、バックプレーン100の受信用縦型カップラー160によって受信され、受信用縦型カップラー160はこの光を90°だけ曲げて、導波路124cの方に進める。導波路124cは、光信号を、右下のMCM基板20の下側にある送信用縦型カップラー156に伝達する。カップラー156は、光信号を90°曲げて、右下のMCM基板20の受信用縦型カップラー44の中へ垂直上向きに進ませる。カップラー44は、光を受容して90°だけ曲げ、基板20の導波路24gの中へ水平方向に進行させる。縦型カップラー44、48、156及び160の構造は、バックプレーン100の一般的な説明の後で詳述する。導波路124eは導波路124cと同様に構成され、縦型カップラーと同じ構造を使用して同様の形で左上のMCM基板20から右上のMCM基板20に光信号を伝達する。

【0088】導波路124dは、通常のV溝コネクタ112によって、一方の端で光ファイバ102に接続され、外部ソースからのファイバ102上の光信号を受信する。導波路124dは、もう一方の端で第2の受信用縦型カップラー156に接続され、第2の縦型カップラー156は、光信号を左下のMCM基板20の受信用縦型カップラー44の中へ上方に進行させる。この縦型カップラー44は、光信号を左下のMCM基板20の導波路24gに進行させる。光導波路124f自体は、V溝コネクタ113を介して一方の端で光ファイバ103に接続され、もう一方の端で第3の縦型カップラー156に接続される。導波路124fは光ファイバ103から外部信号を受信する。

【0089】導波路124gは、一方の端で第2の受信用縦型カップラー160に接続される。この受信用縦型カップラー160は、右下のMCM基板20から光信号を受信し、導波路124gの中に進める。導波路124gのもう一方の端は、通常のV溝コネクタ114によって光ファイバ104に接続され、導波路124g内の光信号はバックプレーン100の出力信号として伝達される。光導波路124hは、同様に（図22には図示されないが、右上のMCM基板20の下にある）第3の受信用縦型カップラー160に接続され、V溝コネクタ115を介して光ファイバ105に接続される。導波路124hは、右上のMCM基板から光ファイバ105へ出力信号を伝達する。

【0090】電源電圧は、図22に示されるように、導電性パッド151及び152によってバックプレーン100からMCM活性基板20に伝達される。電源は、活性基板120内の導電性層によってバックプレーン100に分配される。活性MCM基板20は、パッド151及び152への接続のための対応した電源パッドを含むように増大される。バックプレーン（マザーボード）100は、MCMモジュールの間で電気信号を伝達するた

38

めの電気経路を有する。電気経路は、それぞれの接続パッドまで形成されたパイアを用いて誘電的に絶縁された層内に形成される。

【0091】MCMモジュール若しくはバックプレーンとの間に光信号を伝達するため光ファイバを使用する代わりに、「膜導波路アレイ」、或いは、簡単に「導波路アレイ」と称されるアレイを使用してもよい。このような導波路は、クラッド材料によって囲まれた複数の光導波路を有するポリマー材料の薄い可撓性シートにより構成され、通常は、一端若しくは両端に縦型カップラーを具備する。導波路アレイの一方のエッジは、エッジ内の縦型カップラーが層120内の対応した縦型カップラーと整列されるように活性層120の領域に接着される。ファイバアレイ若しくはイメージングガイドも有効である。光電源136が光電子MCM基板側に配置されてもよく、或いは、光電源は外部光源によって供給されても構わない。光電源が外部光源によって供給される場合、バックプレーン120の活性基板は、導波路、鏡、及び、格子反射器だけを有し、光電子デバイスを含まない。

【0092】バックプレーン（マザーボード）100の構造の一般的な説明に続いて、バックプレーン100並びにMCM基板20のビームスプリッタ及び縦型カップラーについて、図23乃至27を参照して説明する。これらの図面から、下にあるベース基板12は活性基板20から除去され、バックプレーン100と活性基板20との間の光信号の光カップリングが改良されていることがわかる。ベース基板12は、例えば、アルミニウム若しくはシリコン、ガラス、或いは、他の除去可能な基板材料により構成され、エッチング若しくは他の除去方法を用いて除去される。他のエッチング可能な金属及び材料を使用してもよい。この場合、保護用エッチングストッパ層がベース基板12と活性基板20の間に介挿される。さらに、ベース基板12を活性基板20から分離するため、Arjavalinagam他に発行された米国特許第5,258,236号に記載されているような基板解離技術を使用してもよい。これらの方法は、典型的に、透明基板と、透明基板を通して当てられたレーザビームによって消耗され得るポリマー解離層と、活性基板20をレーザビームから保護するためポリマー解離層の上に形成された反射金属層とを使用する。別のアプローチは、基板12として厚いアルミニウム上部層を備えたシリコンウェーハを使用し、（活性基板20の上面に保護被膜が設けられた）ウェーハの側面から横方向にアルミニウム層をエッチングする。

【0093】図23には、バックプレーン100の縦型ビームスプリッタ154及び基板20の受信用縦型カップラー44の領域におけるバックプレーン（マザーボード）100と左上のMCM基板20の断面図が示されている。バックプレーン100は、ベース基板12と、一

(21)

39

方の電源の電位 ( $V_c$ 。若しくはグラウンド) を供給する導電性層151と、下側クラッド121と、コア層124と、上側クラッド層123と、第2の電源の電位 (グラウンド若しくは  $V_c$ ) を供給する第2の導電性層152とにより構成される。層121、123及び125は、既に説明したように、それぞれ、層21、23及び24と同じ材料によって構成してもよい。また、ある種の場合には、層21、23及び24よりも熱的安定性は低い (例えば、エポキシ、アクリレートなどのように高い処理温度に耐えることができない) が、光伝搬損失が低減された材料を層121、123及び124に使用してもよい。縦型ビームスプリッタ154は導波路124bのパス内に形成され、従来技術において公知の如く多様な構造を有する光格子構造155を形成する。格子155は、導波路124bの屈折率とは異なる (大きい若しくは小さい) 屈折率を有する光材料の繰り返し構造を有する。入射光が格子155の材料に当たるとき、光の一部は、格子155の表面から垂直方向に反射され、一部は格子155を通過する。このとき、反射部分と透過部分の比率は、格子155とコア材料124の屈折率の差と、格子内の繰り返しの回数とに依存する。入射光と反射光との間に  $90^\circ$  の角度差を実現するため、少なくとも格子155の表面の一部分は、光導波路124bのパスに対して  $45^\circ$  付近の角度をなす。格子155は表面からの反射の位相が略一致するように離されるので、個々の格子からの反射は、活性基板20に伝達される光ビームを構築するため構造的に加算される。この格子の間隔は、一般的に、材料124及び155で測定されるように光の1波長のオーダーである。Lebby 他に発行された米国特許第5, 116, 461号には、このような格子構造を製作するためポリマー材料に  $45^\circ$  のトレンチをエッチングする方法が開示されている。エッチングされた構造体は、形成された後に、異なる屈折率を有する材料が充填される。上方に反射された僅かな光の量は、格子の数と、屈折率の差との関数であり、当業者に公知の光分析を用いて計算される。

【0094】任意の数の既知の格子構造体を使用することができ、格子155は導波路124bの全高に亘って広がる必要はない。導波路124bが感光性コア材料から作られるとき、その中で格子部155に対応する部分は、ホログラフィック手段によって発生されるような干渉パターンを用いる光照射によって除去される。同様な形で、このような照射は、光屈折コア材料と共に使用される。また、米国特許第4, 806, 454号に記載されているような他のタイプの繰り返し格子構造体を使用してもよい。或いは、格子を使用する代わりに、(例えば、厚さ及び/又は組成が制御された反射率を実現するように選択される) 半透明鏡、又は、多層誘電体フィルタは、光の一部を上方に向けて垂直に反射する同じ機能を実現するため使用され得る。

40

【0095】格子155から垂直方向に反射された光の一部分は、光学式接着剤材料153のボールを基板20まで通過する。光学式接着剤は、コア材料124及び24の屈折率とかなり接近した (例えば、空気屈折率  $n=1$  よりも遙かに近い屈折率) を有する。光学式接着剤は、反射される波の大きさを減少させることにより、バックプレーン100と活性基板20との間の伝送効率を高める。例示的な接着剤は、文献: ノリオ ムラタ, “Adhesives for Optical Devices”, 第48回エレクトロニック・コンポーネント・アンド・テクノロジー・カンファレンス (ECTC, May 1998) に記載されている。ポリイミド材料を使用してもよい。或いは、特開平9-157352号、特開平8-320422号、特開平7-077637号、及び、欧州公開特許EP-689, 067-Aに開示されている光屈折性化合物に基づく光屈折性接着剤を形成してもよい。欧州特許出願EP-689, 067号明細書に開示された自己集光ビーム効果 (SOLNET) は、基板の間に設けられた光学式接着剤の本体内に垂直導波路を形成するため使用してもよい。このプロセスにおいて、光ビームが最初に通過する材料の一部は、光ビームによって高められた屈折率を有するので、この材料の一部からコア材料が作られ、この材料の残りの部分はクラッド材料として作用する。これにより、セルフアライメント型垂直光導波路が作製される。光の初期ビームは、一つの導波路を通じて供給され、或いは、光接合の一方側から送られた書き込み光ビームの外部印加によって与えられる。さらに、両方の導波路からの光、若しくは、光接合の両方の側からのビームを与えることが有効である。

【0096】これらの選択可能な範囲に加えて、基板の間に材料が存在しない場合よりも光カップリングを高めるため、導波路の屈折率に非常に近い屈折率を有する多数の従来のボンディングシート、又は、アンダーフィル材料を使用してもよい。活性基板20の縦型カップラー44は、図9を参照して説明したようなVCSELデバイスの出力に接続された光導波路と同じように構成される。光パイア45は、レーザ穴あけ加工、レーザ溶融、又は、(好ましくは、硬化された後に行われる) プラズマエッチングを用いて層25a、25b及びクラッド層21の中にアパーチャを形成し、これらのアパーチャを、層24が形成されるときに一般的なコア材料で充填することにより形成される。次に、鏡構造は、上記の通り導波路にベベル表面を形成し、反射金属若しくは反射材料の層をベベル表面の上に形成することにより作製される。層25a及び25bの光吸収係数が十分に小さいときのようにある種の場合には、光学的なパイアは不要である。反射防止 (AR) 膜が光の反射を減少させるため基板の表面に堆積される場合がある。

【0097】図24には、光導波路124eが縦型カップラー156と接する領域におけるバックプレーン (マ

(22)

41

ザーボード) 100と右上のMCM基板20の断面図が示されている。縦型カップラー156は、材料層の一部分157のベベル構造エッジに形成された反射金属の層158を含む。このベベル構造は、(材料層に対し45°傾けられた角度を有するレーザを用いる)レーザ溶融、(例えば、米国特許第5,116,461号に記載されているように、45°の角度でチルトしたレーザを用いる)レーザ補助プラズマエッチング、若しくは、傾けられた基板を使用するリソグラフィック露光によって形成される。ベベル構造の切り口を形成する好ましいレーザ溶融方法は、図99乃至110を参照して詳述される。

【0098】縦型カップラー156は、正常な位置に形成され、図12乃至19を参照して説明した活性基板20を形成する処理ステップに組み込むことも可能である。このようなステップは、他の光カップラーの説明後に例示的に説明する。図25には、活性基板20の光導波路24hがバックプレーン100の受信用縦型カップラー160の上にある送信用縦型カップ48内で終端する領域におけるバックプレーン100及び左上のMCM活性基板20の断面図が示されている。送信用縦型カップラー48は、鏡層46の向きを除いて図24に示された受信用縦型カップラー44と同じ構成を有する。受信用縦型カップラー160は、鏡層158の向きを除いて図24に示された送信用縦型カップラー156と同じ構成を有する。バックプレーン側のカップラー156及び158を使用する代わりに、バックプレーン側のカップラー44及び48を使用しても構わないことに注意する必要がある。

【0099】また、縦型ビームスプリッタ154の格子構造は、適切な向きの格子155と共に、任意の縦型カップラー156、160、44及び48の代わりに使用できる点に注意する必要がある。これらの構造において、反射光は、屈折率に大きい差がある材料を選択することにより、伝送された光に関して増大される。或いは、全反射を実現するため、鏡をビームスプリッタ54の代わりに使用してもよい。

【0100】図26には、横型ビームスプリッタ164の上面図が示され、図27にはその断面図が示されている。この横型ビームスプリッタ164の構造は、番号165で示されるように格子が異なる向きに配置されている点を除いて縦型ビームスプリッタ154の構造と類似している。格子165は、コア層124の表面に対して傾けられていないので、格子155よりも簡単に製作することができる。金属、フォトリソマスク(プラズマエッチングだけ)、又は、誘電体多層鏡(レーザ溶融だけ)を用いてコア層124の簡単な非等方性プラズマエッチング若しくはレーザ溶融が格子165用のアパーチャを形成するため使用される。

【0101】次に、図99乃至108を参照して、シャ

42

ドウマスクに45°のチルト角度で衝突する傾斜したレーザを用いてベベル構造カット部を形成する好ましいレーザ溶融方法について説明する。この好ましいベベルカット方法によれば、任意の好ましい導波路方向に整列させたベベル構造鏡が製造される。また、この好ましいベベルカット方法は、異なるベベルカット方向を同じウェーハ上にパターン化することができる。

【0102】第1ステップにおいて、図99に示されるように、金属若しくは誘電体消耗マスク層810はポリマー導波路基板20の上に堆積される。ポリマー導波路基板20は、クラッド層及びコアサブレイヤを有し、選択的に他の成分を含む場合がある。消耗マスク層810はアパーチャ811を用いてリソグラフィ式にパターンニングされ、最終的にすべての鏡が形成される。必要なリソグラフィ式のパターンニングステップ数を減少させるため、付加的な金属シャドウマスク820-1、820-2、820-3及び820-4は、特定のカット方向で除去されるアパーチャを選択するため使用される。シャドウマスク820は、好ましくは、ブロック、又は、アパーチャ811の暗い部分である。好ましくは、シャドウマスク820は、特定の消耗ステップで除去されるべきリソグラフィ式アパーチャ811よりも僅かに大きいアパーチャ821を含む。シャドウマスク820は、ウェーハ表面と直接的に接触するか、若しくは、ウェーハ表面の僅かに上方に配置される。

【0103】第1のベベルカットステップにおいて、金属シャドウマスク820-1は、リソグラフィ式にパターンニングされたアパーチャ811の望ましい一部分を保護するためウェーハ上に配置される。図100を参照するに、基板20とレーザ830は、照射された各リソグラフィ式アパーチャ811の一方のエッジがエキシマレーザビーム830によるポリマー層の露光中に消耗マスク810によって均一に遮蔽され、他方のエッジがカットされるように、相対的に向きを決められる。すなわち、露出した消耗マスクのアパーチャにおいて、トレんチの深さの関数として一定の照度のプロファイルは、平行したパイプ状の領域を形成し、平行したパイプのトレんチの面法線に対する傾きはレーザのチルト角の関数である。屈折及び回折の効果を含む鏡面を形成するため、導波路の底の面法線(すなわち、導波路の上面及び下面)に対し約45°の角度を有するアパーチャ側壁を形成するように基板20及びレーザ830は互いに向きを決められる。レーザビームは、レーザビーム若しくは基板を移動させることにより、又は、両方の移動の組合せによってシャドウマスク及び基板の表面上を走査される。レーザビームが十分に幅広く、基板領域の全体をカバーできる場合、このような移動は不要である。このような走査方法は、「ムービング・ネオン・アブレーション」又はNMA法と呼ばれる。しかし、他のタイプのレーザを使用してもよい。レーザ照射は、図101に84



(23)

43

0-1として示されるように、リソングラフィックマスク層811の遮蔽効果の結果として、遮蔽されていないアパーチャ内で二つの側面上に $45^\circ$ の側壁角度を有する平行したパイプ状のトレンチ840を形成する。但し、同図において、シャドウマスク820-1は除去されている。このプロセスは、基板20の面法線とレーザ830の間の向きを変更し、他のアパーチャを露光するため第2のシャドウマスクを表面の上に配置し、サンプルの向きを別の方向に適切に決めることによって繰り返される。図面中、これらの方向を区別するため、基板のエッジに1乃至4の向きが割り当てられている。例えば、別の二つの側面上にベベル構造カット部を形成するため、サンプルは、図102に示されるようにレーザ830を固定したまま $90^\circ$ 回転され、図103に示されるように異なるシャドウマスク830-2を用いて再度露光される。図104には、これにより得られる傾斜したトレンチ840-2が示されている。このプロセスを繰り返すことにより、任意のカット方向及び位置を備えた鏡面が形成される。これは、図105乃至110に示され、二つの付加的なシャドウマスク820-3及び820-4を使用する二つの付加的な消耗ステップは、対応したトレンチ840-3及び840-4で表される。

【0104】同じ消耗プロセスは、同様に垂直側壁を実現するため変更される。ビームを消耗マスクの表面と垂直な向きに定めることにより、遮蔽は生じない。したがって、レーザ光は、図111乃至113に示されるようにアパーチャに直角方向で進入し、シャドウマスク820-4は、傾斜した側壁カット部ではなく、垂直側壁を形成するため使用される。

【0105】図114及び115は、コーナー回転鏡850の上面図及び断面図である。集積光学の分野で公知のように、垂直側壁は、図114及び115に示されるように、導波路モードを、同じ活性層から形成され異なる方向に向けられた別の共面導波路に偏向させるため使用される。コーナー回転鏡850を形成する場合には、例えば、 $45^\circ$ の反射面を $90^\circ$ の反射角によって導波路モードを水平方向に偏向させるため使用することが有効である。集積光学の分野で周知の如く、コーナー回転鏡の効率は、鏡面の垂直度に依存する。鏡は、鏡面が真の垂直から数度しかずれていない場合でも、著しく効率が低下する。したがって、コーナー回転鏡を形成するためRIEが使用されるとしても、レーザ溶融方法は、より滑らかで垂直性のよい鏡面を与える能力があるので、好ましい方法である。

【0106】図114を参照するに、第1の導波路区画851内の光は、 $45^\circ$ の鏡面850で第2の直交した導波路852の中に反射される。鏡は、好ましくは、ウェーハ表面の法線方向にエッチングされた導波路の一部により構成される。エッチングされた表面は、好ましくは、第1の導波路区画851から第2の導波路区画8

44

52に実質的に完全な光の反射を実現するため、コア層24及びクラッド層23の全域と、層21の一部でエッチングされる。しかし、完全な反射は必要ではない場合、実行反射率が減少されるので、鏡は外側クラッド層で部分的にエッチングされればよい。図115に示されるように、ポリマークラッド層23及びコア層24が除去された後、側壁は反射金属表面853によって被覆され、次に、上側クラッド層が堆積される。この基板は、後で必要に応じて除去される。

10 【0107】多数の異なるマスク構造体がレーザ溶融プロセスに使用される。金属マスクの他に、反射多層誘電体マスクを使用してもよい。多層誘電体マスクは、エキシマレーザの周波数で低い光吸収率を有する材料を含む。また、多層誘電体の誘電率、すなわち、屈折率、及び、層の厚さは、マスクがエキシマレーザ周波数で光を効率的に反射するよう選択される。一般的に、ポリマー層よりも非常に低いレートで消耗するマスクが使用される。多層誘電体リソングラフィックマスクは、非常に薄く、エッジ分解能を高めるので好ましい。レーザ溶融プロセスは、好ましくは、大きい面積を照射するためサンプルに  
20 対しビームを変換する手段を含む。この目的のため、ビームを走査させるための可動ステージ若しくは光学系のような一般的な技術が使用される。エキシマレーザは好ましいレーザであり、THG-YAGレーザ又はFHG-YAGレーザのような他の紫外線レーザを使用してもよい。Heのような消耗ガスを担体として使用してもよい。

【0108】多数の同じ原理が反応性イオンエッチング(RIE)プロセスで使用される。RIEマスクは、ア  
30 パーチャを形成するように基板の表面に堆積され、パターニングされる。付加的なシャドウマスクは、一部のアパーチャをRIEから保護するため使用される。方向性RIEは、傾斜した角度で基板上にイオンを衝突させる。イオンの遮蔽は、マスクによって同様に行われるので、傾斜した側壁が生成される。かくして、図99乃至113に示された上記のプロセスは、レーザビームの代わりにRIEプロセスを用いて繰り返される。

【0109】図116及び117は、 $45^\circ$ の導波路鏡を具備した導波路カップラーの別の実施例の上面図及び  
40 断面図である。フッ素化ポリイミド、又は、紫外線硬化可能エポキシのような導波路クラッド層21は、最初に、アルミニウム基板のような除去可能な基板上に堆積される。次に、コア層24が堆積される。コア層24は導波路内にパターニングされる。上側クラッド層23はパターニングされたコア層24の上に堆積される。コア層24及びクラッド層23は、次に、鏡/カップラー表面を形成するためRIE若しくはレーザ溶融を用いてパターニングされる。表面は、図107及び108に番号853で示されるように金属被覆される。基板の除去  
50 は、膜が別の基板若しくは膜に取り付けられた後に行わ



(24)

45

れる。また、基板が除去される間に、電気コンタクトパッド及びビアの形成のような他の変形例を実施してもよい。選択的なバッファ及びパッシベーション層を追加してもよい。必要ならば、鏡は、コア層24が上側クラッド層23の堆積前に形成された後に形成してもよい。

【0110】上記の通り、図21乃至27に示されるような縦型カップラー156及び160の製作は、図12乃至19を参照して説明した光スイッチ26を作製する製作工程の中に容易に組み込むことができる。この付加的な工程は図28乃至31に示されている。図28を参照するに、スイッチデバイス26の下部電極27を形成するときに同時に、下部金属パッチ159が縦型カップラーのために形成される。金属パッチ159は、後のレーザ穴あけ加工、レーザ溶融、若しくは、プラズマエッチングプロセスに対する障壁層として機能し、主として、レーザビームが後続のエッチング工程で層121に衝突する場所に設けられる。次に、層626と同じ材料層157が形成され、ベベル構造カット部が作製されるアパーチャを有する上部金属マスク層161が形成される。次に、傾斜したアパーチャ162と、縦型カップラーのためのベベル構造エッジとを形成するため、傾斜したエッチングが行われる。傾斜したエッチングは、既に説明したようなレーザ溶融、図99乃至113を参照して説明したムービング・ネオン・アブレーション(MNA)、傾斜したレーザを用いるレーザ補助プラズマエッチングの工程、又は、傾斜した基板を用いるプラズマエッチング、若しくは、先が細くなるマスクを用いる通常のプラズマエッチングなどによって行ってもよい。層161は、傾斜したトレンチを形成するため層626に衝突するレーザ光が通過するアパーチャを設けることによって、この工程のためのエッチマスクとして機能する。MNAの場合に、第2のマスクが使用され、角度を変えながら繰り返し溶融が行われる。材料が感光性である場合、傾斜したカット部は、基板の表面に対し向きが傾けられた化学放射線を基板に照射し、次に、現像することにより画成される。層161はポータブル等角マスク(PCM)として作用するので、化学放射線への一様な露光が行われる。この工程の結果は図28に示されている。

【0111】図28を参照するに、層161が除去され、腐食ストップ/研磨ストップの組合せ層627が上記の工程と同様にして基板の表面上に形成される。続いて、縦型カップラー用の鏡金属158が層627の上に形成され、両方の層は、パターンニングされたフォトレジスト層を通る標準的なパターンエッチング工程によって同時に画成される。基板は、次に、既に説明した方法で、ポリマー材料を選択的に非等方性に標準的なプラズマエッチングプロセスで処理される。このようなプラズマエッチングは従来技術において公知である。これらの工程の結果は図29に示されている。次に、図30に示

46

されるようにコア層124が基板上に形成され、硬化される。最後に、基板は、上記の方法のように化学機械研磨によって研磨される。得られた基板は図31に示されている。典型的に、鏡材料158の最上部は、研磨ストップ層627よりも容易に除去される。基板の処理は、研磨工程の後に、図16に示された既に説明した工程から再開する。選択的な工程として、上側クラッド層123は、ベベル構造区画の上に形成され、コア層124bと同じ材料で充填されたアパーチャを有する。一般的に、光がコア材料から垂直方向に反射される場所でクラッド層123をエッチングする必要はない。その理由は、外に出る光が臨界内部反射角よりも大きい略90°の角度でクラッド層に衝突するからである。しかし、クラッド層の一部が鏡の上方に存在するとき、一部の光は反射され、対応した効率の損失が生じ、反射される光の量は屈折率の差が大きくなると共に増大する。

【0112】CMP研磨表面の境界粗さと関連した光散乱に伴う導波路損失を低減させるプロセスの変形を行うことが望ましい。図30に示されたコア層被膜工程において、選択的なクラッド層は、コア層付近の境界面の平滑さを改良するためコア層の上に被覆され得る。コア層が(部分的若しくは完全に)硬化された後、選択的なクラッド層が被覆され、ソフトかつ完全な硬化が行われる。コア層の厚さが光電子デバイスの高さよりも少しだけ厚いとき、研磨面はコア層の上の選択的クラッド層内にある。この2層アプローチは、コア層とクラッド層の間の境界の平坦さを改良する。その理由は、選択的なクラッド層は共通平面まで研磨され、光散乱損失を潜在的に減少させるからである。また、研磨面は、クラッド層内のかかなり長い距離(例えば、数千オングストローム以上)続いてもよく、その結果として、光強度は研磨面で削減され、散乱損失を減少させる。したがって、コア層の厚さは、上部金属を除く光電子デバイス又は材料の高さ未満になるように選択することが好ましい。その理由は、選択的なクラッド層の厚さが上部金属の厚さの選択によって定められるからである。或いは、光散乱損失は、CMPプロセスがコア層の形成後ではなく上側クラッド層の形成後に適用される場合に、削減される。別のアプローチは、コア層若しくは上側クラッド層のいずれにもCMPプロセスを適用しない。これにより、平面状ではない表面が得られ、この表面は、必要に応じて、上側クラッド層の上に平坦化層を形成し、次いで、平坦化層上でCMPプロセスを実行することにより平坦化される。

【0113】この製造プロセスは、主要な境界面に光散乱損失を生じさせるCMP研磨工程を省くため更に変更される。光照射によって硬化された感光材料が導波路をパターンニングするため使用されるとき、CMPは必要とは限らない。図30に示された工程の後、コア層が適当な厚さの感光材料で被覆されるとき、すなわち、上部金

(25)

47

属を除く光電子デバイス／材料の高さの付近、或いは、高さ未満であるとき、導波路パターンニングは光パターン露光によって実行され得る。パターンニングされた導波路は反射器の45°表面の一部を横切るが、これによって、案内された光を反射する際にその機能が著しく妨げられることはない。更なる平坦化層は、必要に応じて上側クラッド層が形成された後に適用される。

【0114】ベベル構造鏡面を形成する工程は、上部クラッド層がコア層の上に形成された後に実行される。本例の場合、消散する波が反射され得るので、全反射が予測される。すなわち、鏡面は、上側クラッド層及びコア層を介してエッチングすることができ、少なくとも下側クラッド層の一部を通してエッチングすることができるので、全ての光モードが鏡面で遮られ、反射される。集積光学の分野で周知のように、典型的に、光モードパワーの中の一部は、クラッド領域内で消散する「テール」として存在する。かくして、反射モードにおける鏡の効率、鏡面が上側クラッド層及び下側クラッド層を介して拡がる場合に、多少改良される。

【0115】活性層を含む相互連結基板は、バックプレーン（若しくは、マザーボード）に垂直に実装され、光信号は相互接続基板のエッジで送信・受信され、バックプレーンの表面で受信・送信される。図31及び32には、複数の相互連結基板、すなわち、光電子マルチチップモジュール基板10”がバックプレーン210に垂直向きに実装された構造体200の一実施例が示されている。MCM基板10”は、上記のMCM基板10及び10’と同じ形式で製作されるが、MCM基板10”に出入りする信号を伝達する殆どの導波路は、バックプレーン210と接する基板のエッジに繋がれる。バックプレーン210は、ベース基板212と、活性層120”と、活性層120”に形成された複数の導波路224a-224gとを含む。導波路224a-224gは、MCM基板10”の間で光信号を伝達するため使用される。光スイッチデバイス（例えば、変調器）が発光デバイスの代わりに光信号を伝達するため使用されるとき、外部光電源が使用される。外部光電源を設けるため、一例として、MCM基板10”と同じようにバックプレーン210と通信する光電源ボード280が使用される。この場合、導波路224a-224gは、光電源ボード280によって供給される光パワーのソースを伝達する。電源ボードは、複数のレーザダイオードLDを含む。レーザダイオードLDの出力はボード280の導波路に配送され、ボード280の導波路は、バックプレーン210と隣接したボードのエッジに繋がれる。2個以上のレーザダイオードLDの出力は、導波路内でのパワーレベルを増加させ、及び／又は、2個以上の波長の光を同一導波路で加算若しくは乗算するためY字形形成器によって結合される。これは、ボード280上の中央の2個のレーザダイオードLDによって示されている。多数の光

48

の波長は、上記の格子ビームスプリッタと同様に構成された格子フィルタによって互いに分離される。ある種の場合に、格子フィルタは、金属反射層の代わりに、誘電体多層フィルタを形成することにより実現され得る。多重波長信号の逆多重化は、MCM若しくはバックプレーン上で実行される。ボード280は、MCM基板10及び10’と同じように構成される。

【0116】カップラー160のような縦型カップラーは、光信号を、バックプレーン210の導波路224a-224gと、光電子MCM基板の導波路と、電源ボード280との間で光信号を結合するため、基板バックプレーンの活性層120”内に設けられる。図23-24に示されたカップラー154及び156のような他の光カップラーを使用してもよく、鏡がコア層とクラッド層のエッジ部に形成されているカップラ44及び48のような同じタイプのカップラーを使用してもよい。図33には、最前の光電子MCM基板10”がバックプレーン210と隣接する領域でシステム構造体200の断面図が示されている。視覚的な分かり易さのため、図32では、基板10”がバックプレーン210に隣接する様子の詳細は省略されている。図33には、基板10”がバックプレーン210に隣接する様子の詳細が示されている。MCM基板10”の活性層20”は、基板10”がバックプレーン210に接触する場所でエッジに沿ってベース基板12から分離されている。この構造には幾つかの利点がある。第1に、基板10”のベース基板12を、基板10”の端で導波路に損傷を加えることなく、レセプタクル225によって安定して保持することができる。第2に、基板12の上面の電気経路30’を基板のエッジに配線し、レセプタクル225内の通常の電気コネクタ226に機械的に接続することができるようになる。したがって、基板12を通るバイアを形成する必要がなくなる。基板12が多層電気基板により構成される場合、一般的にバイアが設けられる。コネクタ226上の各電気信号は、それぞれのワイヤ227及び接続パッド228とによってバックプレーン210の対応した接続パッド232に送られる。接続パッド228及び232は、一つにはんだ付けされ、電気信号、グランド、電源を伝達し、レセプタクル225をバックプレーン210に取り付けるためにも役立つ。

【0117】第3の利点として、活性層20”を基板12から分離することにより、層20”の導波路を、バックプレーン210の層120”内の縦型カップラー（例えば、カップラー120）とより正確に整列させ得ようになる。基板12は数ミクロンの歪みを含む場合が多く、この歪みによって導波路と縦型カップラーとの間に大きい整列不良が生じる。第2のレセプタクル235は、バックプレーン210の上面に装着され、バックプレーン210内の縦型カップラー（例えば、カップラー160）に対し、より正確な位置に配置される。MCM

(26)

49

基板 10” がレセプタクル 235 に挿入されたとき、活性層 20” の可撓性によって、活性層 20” は第 2 のレセプタクル 235 の中に案内され、縦型カップラーに対して X 軸方向に非常に正確にアライメントできるようになる。図 32 には座標系の定義が示されている。碍子ブリッジ 237 は、X 方向に関して基板 12 から層 20” を離間した状態に保つため MCM 基板 10” で使用される。Y 方向に関して、導波路を縦型カップラーに正確に整列させるため、レセプタクル 235 は、図 33 に示されるようにスロット 239 を含む。スロット 239 の長辺は、Z 方向と平行であり、MCM 基板 10” は、活性層 20” の上面にキー 238 が設けられ、キー 238 はスロット 239 内に寄り添うような形で適合する。Z 方向に優れた光結合を得るため、少量の光学的接着剤又は液体屈折材料がレセプタクル 235 の底に配置され、粘性若しくは粘着性状態まで乾燥され、活性層 20” の端は光学的接着剤の層と接触し、その層に接着される。活性層 20” のエッジを層 123 に直に接触させることにより、光学的接着剤は実質的に同程度の良好な光結合を得るために必要がなくなる。必要に応じて、反射防止膜が活性層 20” 及び 123 の光結合を高めるため両方の層に塗布される。

【0118】従来の光カップラーは、MCM 基板 10” からバックプレーン 210 に導波路を結合するため使用されることが認められる。このタイプの接続は、市販されているコネクタを使用することができるので好都合である。この場合、1 本の導波路当たり 2 つ以上のコネクションが必要になり、カップラーの光学的な挿入損失に起因して光損失が増加する。図 33 を参照するに、第 1 の導波路コネクタが活性層 20” のエッジ若しくは表面に取り付けられ、一方、第 2 の導波路コネクタは縦型カップラー 160 の付近で層 123 の表面に取り付けられる。第 1 及び第 2 のコネクタは一体的に結合してもよい。しかし、導波路とコネクタの境界ごと、並びに、コネクタとコネクタの境界ごとに、推移と関連した光損失が存在する。また、光信号及び光電源は、従来の V 溝コネクション 112 若しくは面法線コネクタによって基板 10” の活性層 20” 内の導波路に接続された光ファイバ 102、膜導波路、光ファイバアレイ、又は、イメージングガイドを介して MCM 基板 10” に供給されることが認められる。

【0119】図 33 では、活性層 20” 及び 120” は、それぞれの基板 12 及び 212 の上に直に作製される場合を考えて図示されている。しかし、図 34 の実施例に示されるように、活性層 20” 及び 120” は別々に作製され、それぞれの基板若しくは印刷基板に接着しても構わないことが認められる。このアプローチによれば、電気相互連結と、光相互連結を作製するため異なる技術を使用できる。また、MCM 基板 10” がバックプレーン 120 と接触するエッジで活性層 20” を基板 1

50

2 から容易に分離することができる。図 33 に示された実施例の場合に、活性層 20” は基板 12 の上に作製され、材料の電気防食用パッチは、活性層 20” が形成される前に、層 20” が基板 12 から分離されるべきエッジに沿って基板 12 の上に配置される。層 20” が形成された後、電気防食用パッチはエッジから横方向に食刻される。

【0120】活性基板技術に基づく更なる発明として、IC チップは、活性基板への取り付けのため膜表面にコンタクトパッドが形成された誘電体膜に封止される。これにより、電気相互連結及び光相互連結の両方の相互連結を有する 3 次元マルチチップモジュールを形成するため IC チップ層と活性基板層を交互に積層することが可能になる。

【0121】図 35 には、活性基板 320 に取り付けられたチップ層 350 の略断面図が示されている。本例の場合に、2 個のチップ 351 及び 352 は誘電体膜に封止され、活性基板 320 は、VCSEL エミッタデバイス 336 と、受光素子デバイス 328 とにより構成される。チップ層 350 は、非等方性導電性膜 302 によって活性基板 320 に積層される。このような膜は従来技術において公知である。VCSEL エミッタデバイス 336 はチップ 351 により制御され、光信号を活性基板 320 内の縦型カップラー 344 に送信する。導波路 324a は縦型カップラー 344 に接続される。導波路 324a は信号を送信用縦型カップラー 348 に伝達し、送信用縦型カップラー 348 は光信号を受光デバイス 328 の方に進める。受光デバイスの電気出力は第 2 のチップ 352 上の回路に接続される。チップ層 350 及び活性基板 320 は、対向したコンタクトパッド 332 を介して電気信号を相互に伝達し、電気経路 330 及び電気パイア 333 を有する。コンタクトパッド 332 は、非等方性導電性膜 302 内に分散された導電性材料の球を介して互いに接続される。パッド 332 により得られる電気接続は、基板の面内の x 軸方向或いは y 軸方向ではなく、垂直方向の接続を行うので、屢々、z 軸接続と呼ばれる。

【0122】視覚的な簡明さのため、活性基板の構造は概略的に示されている。この活性基板の基本的な層構造は上記のマルチチップモジュールシステムの第 1 の実施例における構造と同じであり、活性基板は既に説明した作製工程によって作製される場合を想定する。また、チップ及びパッドに対する活性部品の相対的なサイズは拡大して表示されている。VCSEL 及び受光素子 (PD) は拡大されている。IC チップ層の詳細な構造及び作製方法の例を以下に説明する。

【0123】非等方性導電性材料を用いて IC チップ層 350 を活性基板 320 に接合する代わりに、粘着性ボンディングシートを使用してもよい。層 350 の電気パッド 332 を基板 320 のパッド 332 に接合するた

(27)

51

め、パッドの場所に（例えば、プレパンチングなどによって）ボンディングシートを通る孔が作られ、導電性ボンディング材料は1組のパッドの上に設けられる。基板320及び層350は、熱と穏やかな圧力とによって一体的に積層される。また、1998年11月13日に出版願され、発明の名称が“Multilayer Laminated Substrates with High Density Interconnects and Methods of Making the Same”であり、本願の出願人に譲受され、発明者がHunt Jiang, Tom Massingill, Mark McCormack, Michael Leeである米国特許出願第09/192,003号明細書に記載された多層積層プロセスを使用してもよい。さらに、1998年12月1日に出版願され、発明の名称が“Conductive Composition”であり、本願の出願人に譲受され、発明者がHunt Jiang, Solomon Beilin, Albert Chan, Yasuhito Takahashiである米国特許出願第09/203,126号明細書に記載されたガスを含まないはんだペーストを、ボンディングシートの孔に使用される導電性ボンディング材料に用いてもよい。Ku-Chuan Liu, Michael G. Leeにより発明され、名称が“Transient Liquid Alloy Bonding”である米国特許出願明細書に記載されたZ接続における2個の金属パッドを一体的に拡散ボンディングは、本願の基板の構造に有用である。パッド332のz軸接続は、はんだ接合、若しくは、金属拡散接合によって行われ得る。金属拡散接合は、特に、精密なz接続（すなわち、小さいz接続）を作製するため有効である。また、Loveに発行され、本願の出願人に譲受された米国特許第5,334,804号に記載された配線相互連結構造（WIT）は、好ましくは、アンダーフィル材料と共に使用される。上記の方法及び材料は、いずれも、種々の基板を既に説明した実施例、並びに、以下に説明する実施例に接合するため使用され得る。アンダーフィル材料は、はんだ接合、金属拡散接合、TLB（Transient Liquid Alloy Bonding）接合、若しくは、WIT接続のためのボンディングシートの代わりに使用できる。

【0124】付加的なICチップ層350及び活性基板層320は、図36に示されるように、互いに重ね合わせられ、付加的な非等方性膜302若しくはボンディングシート、又は、他のz接続方法によって相互に接続される。積層中の活性基板32は、好ましくは、活性基板を作製するため使用されたベース基板12から、上記の何れかの基板分離方法を用いて分離される。層350及び基板321の中の一部のバイア333は、グランド及び1個以上の電源電圧をすべての層に伝達し、一方のチップ層350から別のチップ層350に電気信号を伝達するため互いに積層される。非等方性シートを利用しないボンディングシート、Hunt他によって開発された多層積層プロセス、又は、他のz接続方法を使用する利点は、光信号が、非等方性導電性膜で屢々使用される導電性球或いは不透明材料によって遮られることなく、活性

52

基板320とICチップ層350との間で垂直に伝達されることである。光z接続は図示されていないが、カップラー344及び348のような導波路カップラーによって容易に実現することができる。

【0125】活性基板320の導波路及び他の活性部品は、図37-38に示されるように別々の層に作製してもよい。本例の場合、活性基板は、導波路層320aと活性部品層320bとに分割される。層320a及び320bは、上記の粘着性ボンディングシート302'、Hunt他による多層積層プロセス、はんだ接合、金属拡散接合、TLB接合、又は、WIT接続によって一つに接合される。はんだ接合、金属拡散接合、TLB接合、又は、WIT接続が使用される場合、従来のアンダーフィルをボンディングシートの代わりに使用してもよい。

【0126】図39乃至42には、発光デバイス（例えば、VCSEL）と、スイッチデバイス（例えば、光変調器）が多層に組み込まれる種々の形態を概略的に表わす図である。図39において、2個の別々の層内の2本の導波路は、対応した導波路の端に取り付けられた送信用縦型カップラー及び受信用縦型カップラーを介して互いに光結合（光学的z接続）される。光変調器デバイスは、2個の縦型カップラーの間の光学路に設置され、別個の層に収容される。光変調器デバイスは、電子光材料（若しくは、電子吸収（EA）材料）と、本体部の各面に作製された2個の接点とにより構成される。電子光（若しくは、電子吸収）材料の本体部は、層の製造中にセットされた個別のチップを含み、或いは、本体部は、図12乃至19に示されたスイッチデバイス25の電子光材料に対し行われたように、元の場所に形成してもよい。図41には、下部導波路がエミッタデバイス（例えば、VCSEL）によって置き換えられている点を除いて同じ構造を有する。両方の例において、層は、ボンディングシート及びz接続方法を使用することなく、積層製作工程によって互いに積層される。しかし、必要ならば、或いは、望ましいならば、3層が別々に製作され、ボンディングシート、アンダーフィルとはんだ接合、金属拡散接合、TLB接合、又は、WIT接続によって一体的に接合される。図40にはその一例が示され、図41に示された層構造と同じ光接続性を提供する。最後に、図42には、光変調器デバイスを介入することなく第2の層の導波路に接続している第1の層のエミッタデバイスが示されている。上記例では、光電子デバイスへの接点は、バイアを使用して下面に配線される。逆に、図35乃至38の例の場合に、上記層の中の少なくとも一部は積層製作プロセスによって互いに積層される。一般的に、本発明の任意の積層構造は積層プロセスによって製作される。

【0127】層が別々に製作され、選択的に組み付けられる例の場合に、光屈折性アンダーフィル材料、又は、光屈折性ボンディングシートを個々の層の間に使用して

(28)

53

もよい。このようなアンダーフィルを用いる場合に、参考のため引用する欧州公開特許出願第E P - 6 8 9, 0 6 7 - A号に記載されたSOLNET導波路形成プロセスを使用することにより部品及びアンダーフィルの数層の積層を通る縦型導波路を形成し得る。この欧州特許出願は、本願の出願人に譲受され、特願平6-140502号、特願平6-200974号、特願平6-204922号、特願平7-59240号及び特願平7-61092号に基づく優先権を主張している。このSOLNET導波路形成プロセスの場合に、光ビームは、縦型導波路が形成されるべき場所に集光され、光屈折性材料はこのビームにตอบสนองして屈折率が大きくなる。

【0128】図35乃至42には、図面を見易くするため、1個の発光デバイス(VCSEL)と、1個の受光デバイス若しくは光変調器(スイッチ)デバイスだけが示されている。本発明の典型的なアプリケーションは、このような電子デバイスを数個又は多数個含む。VCSEL、受光素子、及び、光スイッチの代わりに、それぞれ、ドライバ集積VCSEL、ドライバ集積スイッチ(変調器)、及び、増幅器集積受光素子を使用できる。このような場合、既に説明したように電源及びグランド用の付加的なパッドが必要である。チップ351及び352は、VCSELのドライバ及び/又は増幅器である。ICチップは互いに積層できる。例えば、プロセッサチップ用の第1のICチップ層は、ドライバ及び増幅器用の第2のチップ層の上に積層され、第2のICチップ層が積層され、活性基板は、第1のチップ層の出力及び入力第2のICチップ層のドライバ及び増幅器に供給され、第2のチップ層のドライバ及び増幅器が活性基板の光電子デバイスに接続される構造を提供する。この例の場合、ドライバ及び増幅器の接続パッドは第1のICチップ層のパッドと対向するように作製される。また、ドライバ/増幅器薄膜チップを通過するバイアを形成することが可能である。或いは、チップは、周囲のポリマー層にバイアを形成するVCSEL及び受光素子に対応した小片に分割してもよい。また、膜ではなく、通常のプロセッサ用のダイチップを使用してもよい。この場合、プロセッサダイ/ドライバ増幅器IC層/活性基板のような構造が作製される。図119及び120には、同じ状況が実現され得、チップ層のチップはチップを通過するバイアを備えた薄膜ドライバ/増幅器チップでもよく、或いは、分割された薄膜ドライバ/増幅器チップでもよい。上記のドライバ/増幅器チップは、ドライバ回路、増幅器回路、バイアス回路、温度安定化回路、クロック又は信号スキュー補償回路、同期回路、並びに、その他の適切な回路を含む。したがって、一部の場合に、ドライバ/増幅器チップは「送信器回路/受信器回路」チップと呼ばれる場合がある。図35乃至42、119及び120において、ドライバ/増幅器チップ、及び/又は、プロセッサ/メモリチップを含むチ

54

ップは、VCSEL、受光素子、及び、その他の素子のような光電子デバイスと同じ層に共存する。各層の上、又は、層間の境界面上にできる限り広いグランド又は電源面を形成することにより、各層内の電気ノイズを低減することができる。

【0129】チップ層内のチップは、バイアを具備した薄膜ドライバ/増幅器チップ、或いは、分割された薄膜ドライバ/増幅器チップである。図35乃至42、119及び120に示された構造は、FOLM及びOE-MCMを含む本発明のすべての実施例に適用され得る。また、視覚的な分かり易さのため、これらの図に示されている導波路は分岐を含まないが、典型的なアプリケーションは、前に説明した図に示されている通り分岐型の導波路を含む。接続密度が高い場合には、導波路は多層構造でもよい。一般的に、本発明のすべての実施例において、接続密度が高い場合に、多層導波路が必要に応じて使用される。

【0130】多層構造は、積層プロセス、若しくは、z接続プロセスによって製造され得る。一部のアプリケーションでは、スイッチデバイス(例えば、変調器)及び/又は発光デバイス(例えば、VCSEL)からの導波路は、複数の導波路を担う外部光ファイバ、ファイバアレイ、ファイバイメージガイド、或いは、外部薄膜に接続される。ファイバアレイ、ファイバイメージガイド、或いは、外部薄膜は、「膜導波路アレイ」、若しくは、簡単に「導波路アレイ」のように称される。これらの光ファイバ及び導波路アレイは、図35乃至42に示された積層部品によって作られるシステムから外に光信号を伝達する。同様な形で、これらの外部光ファイバ、ファイバアレイ、ファイバイメージガイド、及び、導波路アレイは、活性層の受光デバイスに光信号を伝達する。いずれの場合も、光ファイバ、ファイバアレイ、ファイバイメージガイド、又は、導波路アレイは、内部導波路、縦型カップラー若しくはビームスプリッタに直接的に光結合された場所でシステム層に取り付けられる。積層されたスタックの寸法を超える一方の側面にタブ部を有するように層320、320a、320b若しくは350を形成し、外部導波路アレイをこの拡張されたタブに取り付けることによって、導波路アレイはこれらの層の中のいずれか一つの層に接続される。面法線接続は、下部層及び上部層で使用される。この構造による更なる利点は、層320、320a、320b、350の間の占有されていないギャップが構造体の中を流れる冷却用ガス若しくは液体のチャネルとして使用されることである。

【0131】ICチップ層350を作製する方法の一例が図43乃至50に示されている。図43を参照するに、ICチップ層350を通るバイアは、最初に暫定的な基板412を取り、この暫定的な基板の上面にバイアポストを形成することにより形成される。暫定的な基板

(29)

55

の取り付け及び除去は、上記のいずれの方法を使用して行ってもよい（例えば、Arjavalingham他に発行された米国特許第5,258,236号を参照のこと）。バイアポストは、電気めっき、スパッタリング、或いは、その他の方法によって形成される。電気めっきによる形成法の場合、暫定的なシード層は、従来技術において公知の如く、基板412の表面にスパッタリングされ、次に、厚いフォトレジスト層が基板面に形成され、リソグラフィパターン露光及びパターン現像によってパターンニングされる。これによりバイアアパーチャが形成され、導電性材料が通常の電気めっき法によってバイアアパーチャ内にめっきされる。現時点では、銅が好ましい材料であるが、他の金属を使用しても構わない。導電性材料は、最終的な構造に必要とされる厚さ（若しくは高さ）よりも多量にめっきする方が好ましい。スパッタリング法の場合、厚い導電性材料の層が基板の全面にスパッタリングされる。次に、フォトレジストがスパッタリングされた層の上に形成され、パターン露光され、バイアが形成される場所の上にフォトレジストの部分を残すように現像される。残りの露光されたフォトレジスト層の部分は食刻される。エッチングの後、残りのフォトレジストが除去される。

【0132】バイア形成プロセスの次の工程として、フォトレジスト層が除去され、めっきシード層が除去される。ICチップ層350を形成する基本的な方法に対する変形例として、シード層を維持し、層350の底面に電気経路を形成するため後の処理工程で使用してもよい。シード層は、ICチップ層350の底面に電気経路330及び相互連結パッド332を画成するため、この方法の一般的な工程でパターンニングしてもよい。シード層を一般的な工程でパターンニングする場合、シード層は、例えば、一様な電気めっき工程を用いて付加的な導電性材料を堆積させることによって比較的厚くされる。バイアポストがフォトレジスト層に形成された後、フォトレジスト層は、底面に形成されるべき経路及びパッドを画成するため、もう一度パターン露光され、現像される。このパターンニング工程は、経路、パッド、及び、バイアが形成されるべきではない場所からポジのフォトレジストを除去する。この2回目のパターンニング工程は、望ましくないシード層を露出させ、適当な化学腐食液によってこのシード層を食刻する。残りのフォトレジストは、次に除去される。厚いシード層の画成工程は、以下に説明するように最終工程まで延期される。従来技術において公知の如く、フォトレジスト層は、場合によっては、像を改良するため、パターン露光された後に、ソフトベーク処理が施される。このような露光後ベーク処理は、温度が製造元によって指定された値を超えたときに、ポジのフォトレジスト内の光触媒の量を減少させることが可能である点に注意する必要がある。したがって、有効な2回目の露光を行うため、1回目のパタ

56

ーン露光後のソフトベーク工程中に、フォトレジストの臨界温度を超えるべきではない。臨界温度を超えることを回避できない場合、並びに、ネガのフォトレジストが使用された場合、エッチマスクを通して非等方性プラズマエッチングを行うことによってフォトレジスト層をパターンニングしてもよい。

【0133】図44を参照するに、このプロセスの次の工程で、ICチップ351及び352が暫定的な基板412の表面に取り付けられる。そのため、薄いポリマー粘着層414がスピンコーティングによって基板412の表面に形成される。チップ351及び352（又は、活性部品）は、正しい位置に設置され、層414に接合させられる。層414は、層414の材料が硬化を必要とし溶媒を含む場合に、粘着性を高め、次の硬化工程での溶媒の蒸発量を減少させるため、ソフトベーク処理してもよい。チップ装着工程は、図12乃至19に示された上記の活性基板20を形成する方法で使された工程と同様であるので、これ以上の説明は行わない。前の工程のシード層が、完全な形若しくはパターンニングされた形で維持される場合、層414が形成される前に、薄いクロム粘着層をシード層の上に形成することが好ましい。このような粘着層は、材料414が基板412の特定の材料に対し許容できない程度に僅かな粘着力しか持たない場合に好適である。チップ351及352を装着する別のアプローチとして、金属パッドをシード層に形成し、チップの裏面を金属で被覆してもよい。チップは、上記の金属ボンディング及びTLB法、並びに、通常のはんだ付けを用いて取り付けられる。層350が完成するまでに、チップの裏面の金属パッドは層350の底面の信号線から絶縁されるべきである。しかし、一定のグランド若しくはバイアス電位へのカップリングは、電気回路の必要に応じて使用される。

【0134】次の研磨プロセスが使用されるので、チップ351及び352は、好ましくは、上記の多層金属構造体27x、27y、27z（図12）を含む電極27を有し、サブレイヤ27yはタングステンのような研磨ストップ金属を含む。この多層構造体は、ICチップがウェーハ形式であるとき、すなわち、ダイス形ではないときに最もうまく形成される。チップの表面で電極が存在しない領域が広い場合、次の研磨プロセスで窪みが生じないようにするため、それらの領域に研磨ストップ材料の離間したパッチを堆積させることが好ましい。このような研磨ストップ層は、好ましくは、チップの上部のパッシベーション層に形成される。チップ351及び352は、典型的に、上記のエピタキシャルリフトオフプロセスで製作され、（数ミクロンから数10ミクロンの範囲の）非常に薄いチップ部品を作製できる。チップが厚いウェーハ技術を用いて製作される場合、チップは、厚さを減少させるため、裏面側で予め研磨（プレ研磨）される方が好ましい。従来技術において公知のこのプレ

(30)

57

研磨は、チップが未だウェーハ形式である間に行われる。従来技術において、非常に均一な研磨方法が知られ、かつ、研磨方法の改良が続けられているので、ELOを用いずに研磨することによって薄膜チップを得ることができる。この点に関して許容されるチップの厚さは、 $5\mu\text{m}$ 乃至 $50\mu\text{m}$ である。

【0135】図44に示されたICチップ351及び352は表向きに配置されているが、チップは裏返しに配置されても構わない。層350の底面のパッド及び電気経路が前の工程で形成された場合、粘着層414を使用せずに、金属拡散ボンディング、TLBボンディング、はんだボンディング、WIT接続などを用いてチップのパッドを底面の経路にそのまま接触させることができる。チップがこのように接合された場合、高温アンダーフィル材料は、エアポケットを防止するためチップの下側に設けなくてもよい。層350の底面のパッド及び電気経路が未だ形成されていない場合、ICチップ351及び352の上面は層414に接着され得る。エアポケットを防止するため、層414は、チップが配置されるときに可塑性流動可能状態に保たれ、チップは真空の条件下で層に押しつけられる。チップを基板の上に裏返しに配置することにより、GaAsチップに上記のエピタキシャルリフトオフプロセスを使用する際に以下の利点が得られる。すなわち、チップをGaAsウェーハから除去するため使用されるAlAsエッチング工程

(又は、AlGaAsエッチング工程)は、チップが暫定的な基板412に裏返しに配置されるまで延期しても構わない。基板412への配置後、チップの回路を収容するエピタキシャル層からバルクGaAs基板を分離するため、AlAs (又は、AlGaAs) エッチング工程が行われる。かくして、配置工程中にICチップを支持する機能はGaAsバルク基板によって得られるので、ICチップを支持するため、ポリマー膜、ガラス基板、若しくは、他の基板を用いる必要がない。GaAsウェーハ全体は基板412に裏返しに配置してもよく、合う理は、GaAs基板は個々のチップを相互に分離するため最初にダイス化されても構わないことが認められる。ウェーハ全体が配置される場合、バイアポスト333が形成される前に、配置が行われる。デバイスウェーハを基板412に装着する別の利点は、デバイスウェーハの裏面がチップの厚さを減少させるため研磨され得ることである。これは、特に、エピタキシャルリフトオフ工程を用いて除去することが困難、若しくは、除去できないチップの場合に有用である。

【0136】図45を参照するに、このプロセスの次の工程は、バイアポスト333、チップ351及び352、粘着層414の露出部分の上にポリマー層416を形成することである。層416は、これらの部品を単一のポリマー膜内に収める。コア材料、クラッド材料、ポリイミド、紫外線硬化可能エポキシ、及び、光屈折性材

58

料の多数のポリマー材料が使用される。不可欠ではないが、光屈折性材料は、SOLNET導波路形成プロセスで積層された層内に縦型導波路を形成したい場合に使用が必要がある。ポリマー層416は、好ましくは、材料をスピニングすることにより形成される。層が形成された後、一般的に材料が硬化を必要とする場合に、層は硬化される。チップ351及び352の厚さが約 $15\mu\text{m}$ よりも厚い場合、2回以上の別個の被覆及び硬化工程がある種のポリマー材料、特に、硬化中に非常に収縮される材料に対し必要とされる。

【0137】図46を参照するに、基板は、チップ351及び352の電極 (例えば、パッド) と、バイアポスト333の上部とを露出させ、より平坦な表面を得るために研磨される。従来技術において公知の通常の研磨及び化学機械研磨プロセスを使用することができる。図47を参照するに、電極経路330及び接続パッド332の組が上面に形成される。これは、従来のいずれの導電性層形成方法を使用して行ってもよい。従来の形成方法の中の多くは図12乃至19を参照して既に説明した。例えば、導電性材料が一樣にスパッタリングされた後に、パターニングされた基板のエッチングプロセスが使用される。

【0138】ここで、処理は異なる方向へ進められる。電気経路330及び接続パッド332が上記の通り厚いシード層をパターニングすることにより予め形成されている場合、ICチップ層350の形成は完了し、ICチップ層350は暫定的な基板412から取り外される。しかし、基板412は層350に非常に優れた寸法的な完全性を与えることができるので、暫定的な基板412を除去する前に、層350の上面はz接続組立工程で別の部品層に積層される。底側経路及びパッドが未だ形成されていない場合、プロセスの次の工程は、可溶性粘着層419を用いて第2の暫定的な基板418をICチップ層350の上面に取り付けることである。この取り付けの終了後、第1の暫定的な基板412が除去される。この工程の結果は図48に示されている。多数の可溶性エポキシ及び粘着材料は従来技術において公知であり、第1の暫定的な基板412に関する上記の方法と互換性がある。この時点以降の処理において、更なる硬化工程は必要とされないので、可溶性エポキシ及び粘着材料の選択の幅は大きくなる。可溶性粘着層を使用する代わりに、米国特許第5,258,236号に開示された基板解離技術における通常の粘着層、或いは、透明基板418と、紫外線が照射されると粘着性能が失われる粘着層419とを使用してもよい。透明基板418を使用する後者の場合、基板は、透明基板を通して伝達された紫外線光を粘着層に照射することにより剥離され、溶媒に晒される。上記の他の基板解離技術を使用してもよい。

【0139】次に、ポリマー粘着層414を除去し、チップ351及び352の厚さを選択的に減少させるた



(31)

59

め、選択的な研磨又はエッチング工程が行われる。この工程の結果は図49に示されている。次に、上側面に電気経路及びパッドを作製するため使用される何れかの工程を用いて底側電気経路330及び接続パッド332が形成される。この工程の結果は図50に示されている。完成したICチップ層350は、次に、暫定的な基板が未だ元の位置にある間に、z接続組立工程において、一般的に上側面が別の部品層に装着される。これによって、z接続組立のための積層プロセスにおいて、層350の良好な寸法上の完全性が得られる。第2の暫定的な基板418は、(例えば、粘着層419が可溶性であるならば粘着層419を溶解し、米国特許第5,258,236号に記載された除去工程を実施し、或いは、粘着層419に紫外線光を照射するような)適切な除去工程によって層350から解離される。

【0140】図43乃至50には、本発明の実施例で説明される他の処理工程と組み合わせて様々な形態で使用されるプロセス工程が示されている。例えば、経路及びパッドを形成するだけでなく、上記の底側処理には、例えば、ビームスプリット用の45°の鏡面及び光格子などの他の機能的部品を作製する工程が含まれ得る。また、図43乃至50に記載されたプロセスは、チップ351及び352が設置された後にバイアポストが形成されるように変更してもよい。この場合、チップ351及び352を基板上により滑らかに設置できる利点がある。さらに、図43乃至50のプロセス工程は、種々の単一基板、或いは、多数の基板が積層された構造体を製作するため、チップ351、352以外の異なるタイプのデバイス(すなわち、光電子膜)、及び/又は、導波路層に埋め込まれたデバイスを用いて繰り返してもよい。

【0141】図43乃至50に記載された方法は、ICチップを光電子部品若しくは材料と置き換えることによって、活性部品層320bを作製するため同様に適用される。導波路層320aは、下側クラッド層に埋め込まれたパターンニングされた導波路コアを形成するため詳細な説明に記載された任意のプロセス工程を追加し、及び/又は、デバイス設置プロセスを削除することによって、図43乃至50に示された工程と同じ工程で作製される。例えば、バイアポスト形成の後に、クラッド層形成と、コアパターン形成と、上側クラッド層形成と、CMPと、上部メタライゼーション(或いは、下側クラッド層形成前のメタライゼーション)の工程が続けられる。導波路層320aは、例えば、図12乃至19に示された製作工程のような上記の作製工程の中の一部の工程から形成され、使用されない工程は活性部品の組み込みに関連している。

【0142】本発明の説明のため記載されたすべての実施例、特に、精細(すなわち、非常に細かい)パターン及び形状を有する実施例の場合に、ポリマー層は、本願

60

の出願人に譲受された米国特許第5,444,811号に記載されているようなCVD(化学蒸着法)、蒸着メタライゼーション法、及び/又は、MLD(分子層堆積法)、或いは、これらの方法と他の通常の被膜方法との組合せによって形成される。さらに、本発明のすべての実施例において、部品層の上側面及び底側面は、反射ノイズを低減するため部品の上に形成された反射防止層である。

【0143】ICチップ層350を形成する幾つかの実施例を説明したので、次に、ポリマー導波路層320aを形成する方法について説明する。図51を参照するに、クラッド層21は、暫定的な基板450の上に形成され、上記の何れかの方法で硬化される。暫定的な基板450は、アルミニウム、水晶、ガラス、或いは、上記の暫定的な基板の構造により構成される。クラッド層21を形成する前に、粘着層及びシード層が基板450の表面に形成され、シード層は、層320aを通る導電性パイアのためのパイアポストを電気めっき形成するため使用される。図52を参照するに、コア層24が、上記の何れかの方法に従ってクラッド層21の上に形成され、硬化される。層320aがビームスプリット若しくは波長フィルタを有する場合、コア層24は、この時点で、部品の格子を形成するためエッチングされ、若しくは、光照射される。次に、格子は、異なる反射率を有する材料で充填される。

【0144】図53を参照するに、光導波路454の側面を画成するためレーザ切断が使用される。図53及び54は、3本の平行光導波路の側面図である。クラッド層21は、約10 $\mu$ mの厚さを有し、コア層24は約10 $\mu$ mの厚さを有し、導波路は10 $\mu$ m乃至50 $\mu$ mの幅を有し、導波路は約250 $\mu$ mのピッチで互いに離間されている。レーザ切断は、コア層24と同じ深さまでで構わないが、實際上、クラッド層21とコア層24の合成された厚さと同じ深さに達する場合がある。レーザ切断の幅は、約20 $\mu$ m乃至75 $\mu$ mである。クリーニング動作は、好ましくは、レーザ切断工程からの破片を除去するため行われる。このクリーニングはプラズマエッチング工程によって実行してもよい。プラズマエッチング工程は、クラッド層21及びコア層24よりも速いレートで破片を食刻する傾向がある。除去されるべき破片の量を減少させるため、レーザ切断動作が実行される前に、フォトレジスト、或いは、他の硬化されないポリマー材料の層をコア層24の上に形成してもよい。切断動作中に、破片の大部分はフォトレジスト層の上部に残されるので、フォトレジスト層に溶媒若しくは現像溶液を塗布してにフォトレジスト層を除去することによって容易に破片を取り除くことができる。簡単なプラズマエッチングは、レーザでエッチングされたトレンチが汚れていないことを保証するため行われる。

【0145】図54を参照するに、上部クラッド層23



(32)

61

は、上記の何れかのクラッド層形成方法を用いて、パターンニングされたコア層24の上に形成され、次に、硬化される。このとき、バイアポストは、シード層にアパーチャをレーザ穴あけ加工し、クリーニングし、めっきすることにより形成される。また、クラッド層23の上面に電気経路及びパッドを形成してもよい。

【0146】図55及び56は平行導波路の側面図であり、レーザ溶融によって形成されたようなレーザ切断部が、縦型カップラーの鏡面素子のためのベベルエッジを形成するため導波路の端に作製される。これらの切断部の角度は、図55に符号455で示されるように内向きであるか、或いは、図56に符号456で示されるように外向きである。導波路は、一方の端に内向き切断部を有し、もう一方の端に外向き切断部を有する。必要に応じて、上記の如く、金属のパッチがより正確なレーザ切断部をえるためにレーザ切断部位毎に形成される(図28の層161を参照のこと)。このとき、ベベル構造エッジは、簡単なプラズマエッチング工程でクリーニングされ、反射金属若しくは反射材料の層458が、外向きレーザ切断部456によって残されたベベル構造エッジの上に堆積される。電気経路及びパッドがクラッド層23の上面に予め形成されている場合、レーザ切断動作及び一様な堆積工程が行われる前に、最初にフォトレジストリフトオフ層を経路及びパッドの上に形成することが望ましい。

【0147】内向き切断部のベベル上に鏡面素子を形成するため、図57及び58に示されるように、第2の暫定的な基板452が上記の何れかの方法によって層320aの上部に装着され、第1の暫定的な基板450が除去される。図57に示された実施例の場合に、粘着層453は、第2の暫定的な層452と層320aとの間にある。ベベルは簡単なプラズマエッチングによってクリーニングされ、反射金属若しくは反射材料の層457によって被覆される。電気経路及びパッドは層320aの底側面に形成される。層320aはかくして完成し、ICチップ層350或いは活性部品層320bに組み付けられ、次いで、第2の暫定的な基板452が除去される。内向き切断部のベベルに鏡面素子を形成する別のアプローチによれば、反射金属は、第2の暫定的な基板が装着される前に、直接電解めっき、無電解めっき、直接めっき、又は、高圧CVD(10ミリトール乃至100ミリトール)を用いて内側面に堆積させられる。直接電解めっきの場合に、シード層が存在しなければならない。無電解めっきの場合に、ポリマー材料の表面に適当な活性化及び触媒処置が施される。

【0148】図46乃至58に示されたプロセスの変形例として、導波路は、レーザ切断ではなく、コア層24のプラズマエッチングによって画成される。コア層が形成され、硬化された後(図52)、クロムを含むような粘着層が層24に形成される。厚いフォトレジスト層が

62

粘着層に形成され、導波路454が形成されるべき場所を定めるようパターンニングされる。クロム粘着層の露出部分は、クロム用の高速化学腐食液によって食刻され、得られた構造体は、図59及び60に示されるように、層24の露出部分を除去するためプラズマエッチングされる。導波路に光の漏れが生じないことを保証するため、好ましくは、下側クラッド層21の中まで少しだけ余分にエッチングされる。プラズマエッチングの後に、残りのフォトレジスト層及び粘着層が除去され、クラッド層23が形成され、硬化される(図60)。残りの処理工程は、図55乃至58に示されているように実施される。

【0149】上記のように、他のプロセスの場合に、コアは受光材料により構成され、光照射によって硬化される。この場合、コアパターンニングは、RIEプロセスではなく、パターン化された露光プロセスによって行われる。この場合、RIE技術のレーザ切断の他に、特願平8-262265号明細書に記載されているような傾斜したリソグラフィ露光技術がベベル構造エッジを作製するため使用される。フォトマスクを介した直接的な露光は、プロセスの単純化のため好適である。しかし、表面がソフト硬化後に十分に適当であるならば、金属マスクがフォトマスクとして作用するよう表面に形成される。さらなる平坦化が求められる場合、上側クラッド層が形成された後に、CMPが行われる。

【0150】一般的に、図55に示された内向き切断部の鏡面よりも、図56に示された外向き切断部の鏡面を製作する方が簡単であるが、両方のタイプの鏡面構造を経済的に製作できることが望ましい。図55及び56を参照するに、内向き断面部及び外向き断面部の両方の鏡面は、互いに鏡像である台形を画成する。図56の台形状表面の上面が光電子基板に装着された場合、装着された光電子基板上で内向き切断部の鏡面として作用する。したがって、外向き切断部の鏡面として製作された鏡面は、図56に示されるように、図58の内向き切断部の鏡面として機能する別の光電子表面に装着される。この方法によって、内向き切断部の鏡面を有する多層光電子基板を製作する高歩留まりプロセスが容易に実現される。

【0151】図61乃至65には、活性部品層を導波路層に追加する方法の一例が示されている。図61乃至65に示された導波路層及びバイアポストは、例えば、図43乃至50及び図51乃至60を参照して説明した方法で作製される。図57に示された導波路層320aから始めて、切断部455及び456により作成されたボイドは、通常、ポリマー材料である材料によって充填され、表面が平坦化される。電気経路及び相互連結パッドはクラッド層21の露出面上に形成され、バイアポストは、先に説明したバイア形成工程の電気めっきにより形成される。この工程の結果は図61に示されている。次

(33)

63

に、図62を参照するに、VCSEL発光デバイス36は基板上に裏返しに配置され、電極は金属拡散ボンディングによって対応したクラッド層21上のパッド332及び／又は経路330に接合される。高温アンダーフィルは、好ましくは、発光デバイス36の下側に施される。受光素子デバイスのような他のデバイスは、同様に取り付けられ、処理されるが、視覚的な明瞭さのため図示されていない。このように図62に配置された各デバイスは、導波路の端、若しくは、縦型ビームスプリッタの分岐で鏡面構造458の上に重なる活性領域を有する。

【0152】図63を参照するに、ポリマー層25は、デバイス36及びバイア333をポリマー材料の膜に封止するため表面上に形成される。SOLNETプロセスによって縦型導波路を形成するため有効なクラッド材料、コア材料、ポリイミド、エポキシ、紫外線硬化可能エポキシ、及び、光屈折材料を含む任意のタイプの材料が使用される。層25は、必要に応じて硬化され、バイア333の上部を露出し、層25をより平坦化し、場合によっては、部品への付加的な電気接点を作成するような必要があれば、層25に埋め込まれたデバイスの表面を露出させるため研磨される。これらの工程の結果は図64に示されている。次に、図65に示されるように、電気経路及びパッドは研磨された層25の上面に形成される。経路は、既に説明したいずれのパッド／経路形成工程を用いて形成しても構わない。活性基板320はかくして形成され、寸法制御のための暫定的な基板452を用いて、ICチップ層350又は、導波路層のような他の活性層、若しくは、チップに組み付けられる。この組立は、上記のいずれの方法を用いても構わない。組立後、暫定的基板452は上記の何れかの基板解離方法によって除去される。

【0153】或いは、図61乃至68に示されたような形で導波路層を活性デバイス層の上に積層してもよい。この場合、VCSELは表向きに配置されるべきである。さらに、導波路層、活性デバイス層、チップ層のような種々の層の組合せが、図43乃至65に示された何れかの工程の組合せによって積層される。図59乃至77についての説明既に説明したように、チップ上に予め構築され、導波路材料の屈折率よりも高い屈折率を有するスイッチデバイス又は横型発光デバイスを使用するとき、ある種の場合に、導波路とチップデバイスとの間に良好な光カップリングを実現するため、デバイスの幅を導波路の幅よりも狭くすることが推奨される。導波路とチップデバイス間の高カップリング効率は、多数の電子光プロセスの効率を高めるので望ましい。例えば、高いカップリング係数によって、光モードはスイッチ／変調器と強く相互作用するので、より低電圧のスイッチ及び変調器を使用することができる。活性デバイスのデバイス幅を狭くと、デバイス容量が減少するので、より高

64

速の動作を実現できるようになる。同じ理由から、チップ部品のたかさを導波路の高さより低くし、チップを導波路の中心に配置することが望ましい。活性デバイスの厚さを減少させることにより、デバイス内の電界が大きくなるので、低電力（電圧）動作が可能になる。高さを低くしてチップの中心を位置決めする工程については後述するが、この工程は上記の作製工程に組み込んでも構わない。図67は望ましい結果の平面図であり、図68は望ましい結果の断面図である。高い屈折率を有するチップ形式の4個のスイッチデバイス26a-26dは、  
10 大きい幅と厚さを有する4個の対応した導波路24a-24dと直線状に接続される。導波路24a-24dとデバイス26a-26dとの反射を減少させるため、デバイス26a-26dの端は徐々に細くなるようテーパが付けられる。最適なカップリングのためのこのテーパの量と、各デバイスと導波路24の間の幅の減少量は、屈折率の差に依存する。最適カップリングのため必要な値は、光学的なシミュレーションによって非常に良く計算される。図76及び77は、スイッチデバイス26a  
20 のチップが導波路24bの高さよりも低い高さを有し、チップの中心が導波路の中央に位置決めされている様子を示す断面図である。中心の位置決めは、下側クラッド層21aの上に形成されたクラッド層21bのペDESTALによって行われる。

【0154】図66を参照して、図74乃至77に示された構造体を作製する工程の一例を説明する。ベース基板12から始めて、第1のクラッド層21aがベース基板12の表面に形成され、硬化される。クラッド層21aは上記のいずれのクラッド材料により構成されても構  
30 わない。次に、第2のクラッド層21bがクラッド層21aの上に形成される。このクラッド層は、感光クラッド材料を含む上記のいずれのクラッド材料でもよい。クラッド層21bが硬化される前に、前例の作製方法で行われたようにデバイスチップ26がクラッド層21bに接着される。層21bは、ソフトベーク処理され、ポリマークラッド層をフッ素化するため使用された溶媒が除去される。これらの工程の結果が図67の断面図と図68の平面図に示されている。クラッド層21bが感光材料ではない場合、好ましくは、この時点で硬化される。  
40 これらの工程中に、適切な電極構造体が上記の如く層内に形成され得るが、電極構造体を形成する工程は省略されている。しかし、当業者は、電極構造体の形成工程を上記の作製工程に容易に組み込むことができるであろう。

【0155】このプロセスの段階で、チップ26は、個々のデバイス26a-26dを画成するようにパターンニングされた大きい材料片である。これは、クラッド層21b及びチップ26の上部にフォトレジスト層を形成し、フォトレジスト層をパターン露光、現像し、個々の  
50 デバイス26a-26dが形成されるべき場所にチップ

(34)

65

26上にフォトレジストのパッチを残すことによって行われる。チップ26の露光部分は、適当な腐食液によってエッチングされ、個々のデバイスが画成される。これらの工程の結果は、図69の断面図と図70の平面図に示されている。このパターンニング及びエッチング工程は、チップデバイスにテーパを付ける。チップ26が多層構造体である場合、異なる腐食液を使用する複数のエッチ露光段階が必要になる。

【0156】クラッド層21bが感光材料を含む場合、フォトレジスト層のパターン露光は、十分に長い露光を用いることによって、チップ26の下側を除くクラッド層21bのすべての部分をパターンニングすることができる。この場合、クラッド層21bの部分は、フォトレジスト層の現像工程で除去される。しかし、これは有害な結果ではない。必要に応じて、フォトレジスト層が完全に露光され、クラッド層21bが不完全に露光されるように、露光工程のエネルギーを調節することができる。また、この段階でクラッド層21bが露光されないように携帯型等角マスキング構造体を使用してもよい。

【0157】次の工程として、パターンニングされたデバイス26a-26bの下側を除くクラッド層21bのすべての部分は除去される。層21bが感光性である場合、これは、化学放射線を一様に露光し、クラッド層21bが保持されるべき場所に放射線が衝突することを阻止するため個々のチップ26a-26dを使用することによって実現される。クラッド層21bは、次に現像、硬化される。これによって、層21bのセルフアライメントされたパターンニングが行われる。これらの工程の結果は図71の断面図に示されている。前のパターンニング工程で個々のチップ26a-26dの上部に残されたフォトレジスト材料は、この一様な露光を受け、現像溶液、場合によってはクラッド層21bの現像工程で使用される現像液によって除去される。フォトレジスト層及びクラッド層21が適合しない化学的性質を有する場合、バリア層が二つの層の間に形成される。バリア層は、好ましくは、不透明であり、フォトレジスト層がデバイス26a-26dをパターンニングした後に除去される。クラッド層21bは、上記と同様に、一様な露光によって画成される。クロム又はタングステン層がバリア層として使用される。

【0158】クラッド層21bが感光材料を含まない場合、望ましくないクラッド層21bの部分は、個々のチップをエッチングマスクとして用いるプラズマエッチングによって、必要に応じてフォトレジストパッチと共に除去される。この場合、余分なフォトレジストはエッチング工程後に除去される。エッチング時間は層21bだけをエッチングするよう制御可能であるが、層21bが形成される前にプラズマエッチ・ストップ層を層21aの上に形成し、プラズマエッチング工程によって層21bが画成された後にプラズマエッチ・ストップ層を除去

66

してもよい。このストップ層のため、クロム層を使用できる。

【0159】このプロセスの次の工程は、図72に示されるように、得られた構造体の上にコア層24を形成する。このコア材料は、図74の平面図と図73の断面図に示されるように、導波路を画成するためパターンニングされる。感光材料又は光屈折材料及び光照射を含む上記のいずれのパターンニング方法を使用してもよい。導波路の端は、好ましくは、デバイス26a-26dのテーパ側に接し、又は、テーパ側に部分的に侵入する。次の工程で、図76に示されるように、クラッド材料の層23が構造体の上に形成され、硬化される。経路、パッド、鏡面素子、ビームスプリッタ素子、及び、上記の他の特徴を形成するための付加的な処理工程は、この段階で行われる。

【0160】次の工程として、デバイスの上部電極、バイア、及び、層の上面の電気経路が形成される。この層は、別の支持用基板に取り付けられ、元の基板12は取り外される。デバイスの底側電極、バイア、層の底面の電気経路を形成するため、裏側処理が行われる。金属電極が第2のクラッド層21bの上部若しくは内部に形成されたとき、ミニチップがこれらの金属電極に配置され、先に説明した金属拡散、金属ボンディング技術、TLB、及び、はんだボンディングによって金属電極に接続される。また、金属電極がミニチップの表面に形成された場合、1個以上のチップの電極がクラッド層23の上面に形成された金属パッドに接着させられる。これにより、電気的接続及び物理的取付の両方が得られる。さらに、ミニチップへの信号が対向面上の経路から得られる場合に、面間のバイアは、よりコンパクトな接続配置が得られるように接続パッドの下側にある。これによって、ミニチップへの電気接続を作成するために表面積を効率的に利用できる。

【0161】図72に示されたコア層被覆工程において、選択的なクラッド層がコア層の上に被覆され得る。コア層が部分的又は完全に硬化した後、選択的なクラッド層が被覆され、ソフト・アンド・フル硬化される。コア層の厚さが光電子デバイスの高さよりも僅かに大きい場合、研磨された表面はクラッド層内にある。この2層アプローチは、コア層とクラッド層の間の境界面の平坦さを改善し、光散乱損失を減少させる。或いは、光散乱損失は、CMPプロセスが上側クラッド層の形成後に行われた場合に削減される。

【0162】別のプロセスの変形例では、1回以上のCMP工程は、CMP平坦化表面からの光モード散乱と関連した光散乱損失を減少させるため削除される。光照射によって硬化されるような感光導波材料が使用されるとき、コア層付近のCMP平坦化は不要である。図72に示された工程後、導波路パターンニングは、パターン化された光照射によって行われる。平坦化工程は、必要に応

(35)

67

じて上側クラッド層が形成された後に行われる。

【0163】コアパターニングプロセスの別の変形例として、ミニチップは、ミニチップを図67のクラッド層21bに取り付ける前のコア及びクラッド構造体を含む。この場合、チップ26、デバイス26a-26cは、図75及び77に示されるように、素子26'、26a'、26b'及び26c'によって置き換えられる。これには、幾つかの利点がある。屈折率プロファイルは、ミニチップのエッジに向かって制御される。特に、チップコア及びチップクラッドの屈折率は、非常に接近させること（屈折率の差を小さくすること）が可能であり、これにより、ミニチップの両方のエッジで導波路への光カップリングの効率を高めるためビームスポットサイズを容易に拡大することができる。

【0164】図12乃至21、図66乃至76、図83乃至90、及び、図91乃至98に示された実施例は一例に過ぎず、当業者は、特定のアプリケーションの要求に従って、これらの実施例及びその他の実施例、並びに、本発明を実現する装置と方法に関係したすべての実施例の本質的な面を組み合わせることが容易である。図66乃至76に記載された方法は、多数の非エピタキシャル膜と共に使用することができる。例えば、TiO<sub>2</sub>、WO<sub>3</sub>、SiN<sub>x</sub>、又は、Si膜のような高屈折率膜を同じ方法で埋め込むことができる。これらの膜は、Si、金属、又は、ポリマー基板のような選択的に除去可能な基板を用いてリフトオフされた膜として得ることができる。高屈折率導波路は、光遅延ラインとしても使用される。希金属ドーパントガラス膜が埋め込まれた場合、光増幅器として使用される。ルミネッセンス膜、光屈折膜、非線形光学膜のような他の光学膜は、図66乃至77に示された方法を使用して光導波路として同様に組み込むことができる。埋め込まれた膜の屈折率がコア材料よりも大きい場合、コア材料は層21bのために使用してもよい。この場合、埋め込まれた膜（図73）の上のコア層のエッチングは不要であり、上側クラッド層は図72に示された工程の後に被覆することが可能である。

【0165】上記製造プロセスは、活性光電子デバイスを含み、導波路層を含まない膜を製作するために使用してもよい。図155には、デバイスが埋め込まれた光電子膜を製作するプロセスの一例が示されている。電気パッド、電気ライン及び電極は、基板上に形成される（図155の（a））。薄膜デバイスは基板上の金属パッド／ラインに配置される（同図の（b））。薄膜デバイスは、ELOプロセスを用いて製作される如何なる薄膜デバイスでもよい。ポリマー膜は基板を被覆するため使用され、薄膜デバイスをポリマー中に埋め込む（同図の（c））。ポリマーは、次に、研磨によって薄膜デバイスのレベルまで平坦化される（同図の（d））。表面コンタクトパッド及びバイアは、平坦化されたポリマー上

68

に形成される（同図の（e））。光電子膜の基板は、光電子デバイスが導波路層のような別の層に取り付けられる前（同図の（f））若しくは後（同図の（g））に除去される。或いは、薄膜デバイス配置工程の後にバイアポストを作製し、その後に、埋め込み、平坦化、コンタクトパッド形成の工程を続けてもよい。さらに別の選択として、バイアの形成方法とは無関係に、バッファポリマー層を基板、パッド、電気ライン及び電極の間に挿入してもよい。また、電極を含まない薄膜デバイス（例えば、エピタキシャル層）を使用することが可能である。この場合、デバイスは、金属パッドの代わりにバッファポリマー層に配置される。上部電極を形成するメタライゼーション工程、及び／又は、他のデバイス処理工程（例えば、イオン注入、拡散）は、ポリマー被覆工程の後に行うことができる。デバイスの底側のメタライゼーションは、裏側処理によって行われる。このアプローチは、ポリマー硬化中の金属拡散及びデバイス劣化を減少させる。

【0166】図78乃至81に関する説明についてマルチチップモジュール相互連結構造について更に説明する。これらのモジュールは上記の製作方法によって製作することができる。図78に示されたフリースペース（自由空間）光相互連結システムにおいて、光信号は2枚の積層されたボード501と502の間の自由空間を伝達される。積層された各ボード501及び502は、光を空気の区画、すなわち、自由空間を介して対向した受光素子508に伝達する複数の光スイッチ506を有する。各光スイッチは導波路503によって光パワーが供給され、導波路503はパワーをスイッチ506の一方の表面と格子ビームスプリッタ504を有する。光は光デバイス（例えば、電子吸収若しくは電子光材料のミニチップ）の一方の表面に垂直に入射し、光デバイスの反対側の表面から垂直に出射する。光がボード501及び502から出る前に、材料層510に形成されたマイクロレンズ511を通過する。光は、受光素子デバイス508に入射する前に他のマイクロレンズを通過する。マイクロレンズは層510のバルク材料よりも高い屈折率を有する材料の一区画であり、光が放射されるとき、及び、光が集められるときに、光を集束させる機能がある。マイクロレンズはそれだけで使用してもよいが、必要に応じて、マイクロレンズの光学的焦点を調節するため他の光素子をボード501と502の間に挿入してもよい。

【0167】マイクロレンズは、好ましくは、光屈折材料（例えば、デュポン社から入手できるポリガイド(Polyguide)）のシートを使用し、マイクロレンズを形成するための書き込みビームによってそのシートを露光することにより、SOLNETプロセスによって作製される。層510の表面から見たときの各マイクロレンズの断面は、円形若しくは矩形である。層510の表面は、

(36)

69

光カップリングを改善するため反射防止材料によって被膜される。また、マイクロレンズの屈折率に近い屈折率を有する光学材料が光カップリングを改善するためボード501と502の間に設けられる。

【0168】ボード501と502の層は、上記のプロセスに従って、別々に作製され、次に、一つに積層される。各層の間には、デバイスとマイクロレンズの間の光カップリング、並びに、パワー導波路503と光スイッチ503の間の光カップリングを改善するため、ボンディングシート若しくはアンダーフィルが使用される。これらの層は、勿論、図79に示されるようにボード501及び502によって一体的に形成してもよい。

【0169】図78乃至79に示された実施例と、図37乃至42に示された実施例との間の主要な相違点は、送信器としてVCSELの代わりに縦型光スイッチ（若しくは光変調器）が使用されることである。しかし、マイクロレンズアレイは、光をこのアプリケーションにおける光スイッチ506に結合するため任意の技術と組み合わせ使用される。例えば、光電源をスイッチ506に結合するため格子を使用する代わりに、45°の鏡面を使用してよい。或いは、図39乃至42に示されるような形で分岐した導波路は、光スイッチ506に光を結合するために使用され得る。縦型光スイッチ506は、電子吸収変調器のような多数のスイッチ構造体を含む。

【0170】この概念は、図80に概略的に示されるように活性層320とICチップ層350の積層に縦型光接続を形成するため拡張される。図80によれば、VCSEL、受光素子、及び、変調器のような活性部品は、説明の便宜上省略されているが、縦型カップラーを備えた基板内に含まれる。図80に示されるように、一つの実現可能な方法として、層は光反射材料から作製される。SOLNETプロセスは、互いに積層されたときに縦型導波路、或いは、いわゆる光学z接続を形成する縦型マイクロレンズを製作するため使用される。光屈折材料から作られたボンディングシートは、活性層320b、導波路層320a、及び、ICチップ層350を一体的に積層するため使用される。各層に光学z接続を製作するため、他の方法をSOLNETに加えて適用してもよい。

【0171】縦型光接続は、図81に示されるように、活性基板705の組の両側に結合された別々のユニット710として構成してもよい。活性基板705は図37に示された形式でもよい。ユニット710は、z方向に形成された複数の縦型導波路を有し、基板705のエッジで導波路に光結合する。ユニット710は、図82に示されるような製造工程のシーケンスを使用して作製してもよい。屈折性材料（例えば、ポリガイド）の複数のシートから始めて、ボンディングシートの短い区画がシートの左側エッジに取り付けられる。これらのシートは

70

一体的に接着され、書き込みビームを用いてSOLNETプロセスが光屈折シートの右側エッジに適用され、縦型導波路が形成される。次に、シートが硬化され、基板705に組み立てられる。

【0172】図118乃至120には、別の光電子3次元(OE-3D)スタック構造が示されている。チップは、光相互連結を形成するため能動デバイス膜及び受動デバイス膜を含む多数の異なる光電子膜基板構造体に組み込まれる。図121は、本発明において、多層OE基板を作製するため複数のOE膜が光学z接続を用いて積層される様子を説明する図である。図122乃至125に示されるように、スタック構造は、多数の異種の膜を含む。図122に示されるように、OE膜は、付加的な電気ライン、パッド、バイア、電圧面、及び、グランド面を含む受動ポリマー導波路により構成される。図123に示されるように、ポリマー膜は、付加的なメタライゼーションを含むポリマー膜に埋め込まれた光電子デバイスを有する。能動光電子デバイスには、VCSEL、光変調器、光スイッチ、光増幅器、波長フィルタ、チューナブルフィルタ、波長変換器、受光素子、ドライバチップ、増幅器チップ、LSI、光部品、抵抗、コンデンサ、及び、その他の電気部品のような上記のあらゆるデバイスが含まれる。複数の部品が集積化されたミニチップを埋め込んでもよい。図124に示された実施例の場合に、受動導波路及び能動光電子デバイスは、付加的なバイア及びコンタクトメタライゼーションと共に一つの膜に集積される。図124には、導波路、VCSEL及び受光素子を含む第1の実施例が示され、図125には、導波路に接続された光変調器及び受光素子が示されている。さらに複雑な多層導波路は、図122、124及び125の実施例に含まれている。

【0173】電氣的及び光学的z接続を用いて異なるOE膜タイプを積層する能力によって、多数のパッケージ構造が得られる。図126乃至129には、膜光リンクモジュール(FOLM)の側面図が示されている。FOLM構造は、他のボード又は他のシステム素子に接続されるべきチップ、CSP又はMCMから光信号を簡便に取り出すことが可能であり、システムエンジニアは、チップのモジュールを多様な形式で光リンクする柔軟性が得られる。図126に示されるように、導波路、VCSEL及び受光素子を含む光電子膜(OE-膜-DW)は、電子-光変換及び光-電子変換のため使用される。集積ドライバを含むVCSELと、集積増幅器を含む受光素子を使用してもよい。ファイバアレイ、イメージガイド、又は、導波路アレイは、コネクタを用いて、光電子膜の端で導波路と接続され、他の素子への光リンクを形成する。VCSELは、チップの出力に応答して、光リンク(ファイバアレイ、導波路アレイ、又は、イメージアレイ)を介してOE膜に接続されたボード若しくはユニットに伝達される光信号を放出する。ファイバアレ

(37)

71

イ、イメージガイド、又は、導波路アレイは、好ましくは、ボード及び／又はユニットの間で光相互連結を行うため、他のボード又はユニットと接続される。逆に、OE膜の外側から光リンクを介して導波路に接続された光信号は、OE膜内の受光素子によって受信される。光信号は電気信号に変換され、チップに入力される。

【0174】図127に示されるように、同じ機能は、受動導波路基板(OE-膜-W)を、能動OEデバイス(OE-膜-D)だけを有する他の基板とインターポーザー(介挿物)の形で積み重ねることによって実現される。VCSELは、チップ出力に応じて、電子光変換機能を実現し、一方、受光素子は、受信された光信号に応じて、光電子変換機能を行う。図128には、膜光リンクモジュール(FOLM)の一実施例が示されている。この膜光リンクモジュールでは、導波路と、VCSELと、受光素子とを備えたOE基板(OE-膜-DW)は、チップが実装されたMCMの下側にある。図129には、受動導波路膜(OE-膜-W)と能動OEデバイス膜(OE-膜-D)とが相違している点を除いて図128の実施例と類似した膜光リンクモジュールの実施例が示されている。

【0175】図128に示された構造体において、OE膜は、基板の端の下に延びる左側のエッジを具備しない基板の上に積層される。図126、127、129及び134で使用されている横型光コネクタは、OE膜への縦型2次元光コネクタによって置き換えられる。縦型コネクタは、OE膜の導波路を2次元(2D)ファイバアレイ(又は、ファイバイメージアレイ)の端に接続する。縦型コネクタの場所において、縦型カップラー(例えば、鏡面)が、OE膜内の光信号を2Dファイバアレイの方に向けるため、或いは、逆向きにOE膜内に形成される。2Dファイバアレイ内の複数の導波路コアの端は、縦型コネクタの接続面で終端し、各導波路コアの端はOE膜内の対応した縦型コネクタの上に設けられる。このタイプの面法線カップリングは、殆どの並列相互連結の場合に有効であり、このタイプのアプリケーションに好適である。この面法線カップリングは、OE膜が2Dファイバアレイ(若しくは、ファイバイメージガイド)に光結合されている本発明のあらゆる実施例と共に使用することができる。

【0176】上記の通り、図35乃至42、及び、図119乃至120に記載されたスタック構造は、膜光リンクモジュール構造を作製するため使用される。例えば、図126及び128の場合、ドライバ/増幅器チップ層は、OEデバイス(例えば、VCSEL、フォトダイオード、変調器など)と、チップ若しくはMCMモジュールの入出力端子との間の境界面として機能するようにOE-膜-DWの上に積層され得る。図127及び129の場合に、ドライバ/増幅器チップ層はOE-膜-D上に積層され得る。どちらの場合も、OE-膜と、ドライ

72

バ/増幅器チップ層は、z接続(ラミネーション)プロセス、若しくは、ビルドアッププロセスによって積層することができる。勿論、ドライバ/増幅器チップ層は、例えば、ドライバ回路、増幅器回路、バイアス回路、温度安定化回路、スキュー補償回路、同期回路、並びに、その他の適当な回路のような任意の補助回路を含み得る。また、チップ及びOEデバイスは、同じ層(OE-膜)に共存してもよい。

【0177】電気入出力端子間と、電子光或いは光電子変換部品との間の距離は、従来の光リンクモジュールにおける距離よりも短縮される。このため、相互連結性能が改善される。さらに、従来の光リンクモジュールでは、余分な空間が必要とされる。本発明の膜光リンクモジュール構造の場合に、余分な空間は殆ど必要とされない。

【0178】図130は、必要に応じて、信号スキューを緩和させるべく光路長を調節するため導波路を湾曲させることができるようにOE膜の一部が十分な空間を有している、膜光リンクモジュール構造の平面図である。より詳細には、種々のチップ/領域、ボード、ユニット、若しくは、モジュールの出力から入力までの信号の移動時間が一致するように、導波路のルート、パス長を調節することが望ましい。他の導波路パラメータ(例えば、屈折率)を変更するような移動時間を調節する他の技術は、スキューを防止するため利用できる。

【0179】図131の平面図及び図132の断面図に示されるように、コネクタは、好ましくは、信号をコネクタに容易に連通させる光調節機能を実施するためコネクタバッファを含む。例えば、コネクタバッファは、スポットサイズを調節し、導波路ピッチ(すなわち、導波路の間隔)を変更する。例えば、コネクタバッファは、湾曲した導波路パスを有するので、1個以上の平面状のポリマー導波路の1次元アレイを導波路の2次元アレイに接続することができる。図130に示されるように、可撓性基板領域の拡張部は、リボン状にパターンニングされ、それぞれに複数の導波路が含まれる。複数のリボンらはせん状になり、その結果としてリボンの端は2次元導波路アレイを形成する。長さ5cmのリボンの場合に、個々のリボンは、かなり小さい応力で90°ずつ曲げられる。ポリマー膜の厚さは、約10乃至250ミクロンの範囲内に収まることが好ましい。各リボンは、例えば、約30乃至250ミクロンの範囲内のピッチで12本の導波路を収容する。複数のリボンの端は、フレームコネクタの形に積み重ねられ、2次元導波路コネクタを形成するように研磨される。コネクタバッファの外側面は、好ましくは、外部光コネクタへのカップリングが容易に行えるように成形される(例えば、平面状表面とカップリングする表面を形成するため研磨、スライス、或いは、その他の成形処理をされる)。これにより、膜光リンクモジュールFOLMの導波路を、2次元

(38)

73

ファイバアレイ及びイメージガイドのような多数の光カップラーに接続できるようになる。図133には、コネクタバッファ内の光信号が、アレイ状に配列された複数の導波路コアを含む2次元導波路アレイコネクタに回送される様子が示されている。コネクタバッファは、好ましくは、光調節機能を実行するので、光電子膜の複数の導波路は、2次元光コネクタのような市販されている光コネクタに光学的に結合される。古河電工製のMTコネクタは、好ましいマルチファイバコネクタの一例である。コネクタバッファは、本発明による膜光リンクモジュール構造に波長分割多重化機能を付加するため、波長マルチプレクサ (MUX) 及び波長デマルチプレクサ (DEMUX) などのような波長分割多重化 (WDM) 機能を含む。図128に示された面法線の場合に、上記の機能及び部品と同じ機能及び部品が使用される。

【0180】図134には、高速膜光リンクモジュールの一実施例が示されている。高速光変調器は、外部入力光から光信号を発生させるためチップの出力によってドライブされる。光変調器は、VCSELよりも低い電流散逸及び低い電力散逸で動作し得る。高い光信号レベルでは、高速及び低熱発生タイプの増幅器／ドライバを含まない光電子基板 (OE-ADLES) を使用することが好ましい。OE-ADLESの場合に、光変調器はチップの出力と適合する電圧ドライブ特性を有するので、光変調器はチップ出力によって直接的にドライブされる。したがって、付加的なドライバは、チップから変調器をドライブするために必要とされない。さらに、入力光パワーを増加させることにより、受光素子における光信号は十分に強くなるので、受光素子増幅器を省略してもよい。参考のため引用する1998年10月12～15日に千歳で開催された第8回Iketani Conference, 第4回International Conference On Organic Nonlinear Optics (ICONO'4) おいて発表されたヨシムラ他による "Optoelectronic Amplifier/Driver-Less Substrate, OE-ADLES, For Polymer-Waveguide-Based Board Level Interconnection-Calculatation Of Delay And Power Dissipation" には、OE-ADLES装置及び方法が記載されている。OE-ADLESは、光電子基板のコスト及び複雑さを増大させるドライバと増幅器を省略でき、かつ、ドライバと増幅器に起因する信号遅延が減少させる点で好ましい。

【0181】膜光リンクモジュールは、多数の光電子膜基板が積層された構造体により構成される。図135乃至137には、膜光リンクモジュール (FOLM) 構造体の好ましい一実施例の細部が示されている。図135はFOLM構造体の側面図であり、図136はFOLM構造体の全体の上面図であり、FOLM導波路を市販されているMTコネクタに接続するスポットサイズコンバータが設けられている。図136に示されるように、16個のMTコネクタ出力の一つずつに12本のFOLM

74

導波路が繋がるので、FOLM内で光信号を通信する19本のチャネルが存在する。市販されているMTのコアは、62.5ミクロン×62.5ミクロン、5のコアを有するので、長さ5cmのFOLMは、(コア寸法が15ミクロン×15ミクロンの) 光電子導波路のスポットサイズを徐々に増大させ、MTコネクタに効率的に結合するように導波路を変形するコネクタバッファとして機能する。面法線カップリングの場合に、リボンの代わりに、2次元アレイコネクタ (例えば、16×16=256) を、基板にしっかりと積層されたOE-膜に取り付けることが可能である。

【0182】図137の(a)及び(b)には、好ましい製造方法によって、金属被覆処理された45°の鏡面によって導波路に電気的及び光学的に接続されたVCSELが得られる様子を説明するFOLM構造体の一部の詳細が示されている。図137の(a)及び(b)からわかるように、VCSELのAuコンタクト層の一部分は、鏡面金属被膜に電気的に接続され、VCSELへの電気接続が容易に行えるようになる。約10ミクロン×10ミクロンのオーダーの面積を有するVCSELの発光窓は、光が金属被覆された鏡面上に衝突し、導波路内へ反射されるように向きを決められる。

【0183】FOLM構造体の製造プロセスの一例は、好ましくは、アルミニウム基板、ガラス、水晶、又は、後で好適に除去され得る他の適当な基板の上に第1のポリイミド膜を形成する工程を含む。第1のポリイミド膜が形成された後、コンタクトパッド及び電極がポリマー層の表面上に堆積される。パッドはVCSEL及び受光素子を実装するためパターニングされる。エピタキシャルリフトオフVCSEL及び受光素子は、コンタクトパッドに載せられる。好ましくは、VCSELをコンタクトパッドに接着するためAu/Sn/Au金属拡散が使用される。第2のポリイミド層若しくは他の適当なポリイミド層はVCSEL上に被覆される。表面はCMPによって平坦化される。導波路クラッドフッ素化ポリイミド層 (又は、紫外線硬化可能エポキシ層) が平坦化されたウェーハ上に形成される。次に、コア層が、堆積、パターニングされ、先の実施例に関して説明したように上側クラッド被膜内に埋め込まれる。45°の鏡面は、RIE及びレーザ溶融のような上記の何れかの製造プロセスに従って形成される。鏡面は次に金属被覆される。同じ金属被覆が好ましくはVCSELの電極及び/又はVCSEL用のパッド及び/又はバイアを接触させるため使用される。ポリイミド層は、表面上に被覆され、必要に応じて、CMPで平坦化される。Al基板は次に除去され、第1のポリイミド層は、光電子膜への接点及び/又はパッド及びバイアを作成するため除去若しくはエッチングされる。或いは、Al基板の除去は、光電子膜が別の基板に取り付けられた後に実行され得る。

【0184】図138乃至145に示されるように、複



(39)

75

数のチップ／CSP／MCMが実装され、光電子介挿物（或いは、光電子インターポーザー）（OE-IP）、又は、上記の製造プロセスによって製作された光電子膜マルチチップモジュール（OE-film-MCM）を使用して電氣的及び光学的に接続され得る。OE-IPは、チップ、CSP若しくはMCMと、単層若しくは多層のOE層の間に介挿され、好ましくは、少なくとも1個の他の素子への光接続を提供する。多数のOE層は、既に説明した方法と同じ方法で構築され得る。OE層は、はんだボンディング、TLB、WIT、金属拡散、及び、米国特許第5,334,804号に記載された方法、コンダクティングペースト、又は、その他の積層プロセスによって積層される。一つの好ましいペーストラミネーションは、本願出願人に譲受され、参考のため引用される米国特許出願第09/192,003号明細書に記載されたMAJICペーストラミネーションである。

【0185】本発明による光電子介挿物OE-IPは、種々の方法でOE-IPに配置された多数の光源、及び／又は、受光素子若しくは他の部品、及び／又は、集積部品を含む。図138に示されたOE-IPの一実施例において、VCSEL及び受光素子は、OE-IPのポリマー膜に埋め込まれる。図141には、VCSELの代わりに光源に接続された光変調器と送信器とを使用するOE-IPが示されている。光源は、OE層又はOE-IP上の光源から供給される。光源は、図142に示されるように、光ファイバ、光ファイバアレイ、イメージガイド、又は、フレックス導波路アレイを介して、外部源から供給してもよい。適当な光変調器は、マッハ・ツェンダー・変調器、内部全反射スイッチ、デジタルス  
30 イッチ、指向性カップラースイッチ、若しくは、電子吸収（EA）変調器のような電子光デバイスを含む。

【0186】図146には、OE-IP光相互連結がチップ／CSP／MCM実装面に対し図138及び139の場合とは反対側配置された例を示す図である。VCSEL及びフォトダイオードは、底側層付近のOE層に埋め込まれる。図143には、OE-IPの両側に実装されたチップ／MCMへの光相互連結を備えたOE-IP  
40 の一例が示されている。OE-IPはOE層と併合してもよい。すなわち、VCSELと受光素子は、底側面及び上側面の付近でOE層内の埋め込まれてもよい。

【0187】本発明のOE-IPは、他のOE層と共に複数の形で使用される。図147及び図138はOE-IPの実施例であり、図139及び図148にはOE-膜-MCMの実施例が示されている。図144及び145には、外部若しくはフレキシブル相互連結を有するOE-膜-MCMが示されている。このフレキシブル相互連結は、OE-膜-MCMが並列光リンクモジュールとして使用できるようにする。図144及び145に示されるように、フレキシブル光コネクタは、少なくともO

76

E-膜-MCMのエッジに取り付けられる。フレキシブル相互連結は、例えば、光信号の光パワー源のカップリング、又は、他のOE-IP又はOE層へのカップリング手段を提供するなどの多数の目的のため有用である。しかし、フレキシブル相互連結は、膜光リンクモジュール（FOLM）又は光ジャンパーを形成するためにも用いられる。

【0188】本発明は、図149及び150に示されているように、いわゆる「スマートピクセル」を製作するために使用できる。通常のスマートピクセルは、チップから他の素子への光電子通信を容易に行うため、チップ上にVCSELと受光素子のアレイを集積化する。しかし、従来のスマートピクセルは、製造コストが高く、歩留まり率が低い。図149に示されるように、VCSEL及び受光素子のアレイが内部に埋め込まれたポリマー膜（OE-膜-D）は、スマートピクセルと同じ機能を実現するため使用される。チップへの別の電気パッドはバイアスを用いて作成される。図150に示されるように、スマートピクセルは、導波路が集積された活性光電子膜（OE-膜-DW）を使用して作製できる。スマートピクセルは、受光素子及びVCSELのアレイをポリマー膜内に埋め込み、次に、ポリマー膜をチップに電氣的に接続することによって作製される。本発明のスマートピクセルは、従来のスマートピクセルよりも実質的に容易に作製し得る。OE-膜-Dは、従来のチップタイプのスマートピクセルチップ内のVCSEL／受光素子アレイと同じ役割を果たす。このOE-膜は、比較的高価な半導体装置がOE-膜-D内で必要とされる場所だけに配置される点が有利である。これにより、潜在的なコストの削減が得られる。さらに、ポリマー膜は、バイア、パッド及び電気ラインを容易に処理できるようにする。

【0189】図143には、両側にパッケージングされたOE-膜の一実施例が示されている。図143の

(b)の断面図に示されるように、第1の受動導波路基板は、光信号をOEバックプレーン層、すなわち、第2の受動導波路基板に伝達する。これによって、チップ又はMCMは、各受動導波路の両側に接続される。図143の(a)の斜視図に示されるように、3次元モジュールを容易に作製できるようになる。好ましくは、要求された機械強度を3次元モジュールに与えるために必要に応じて付加的なサポート部材（図示されない）が使用される。

【0190】本発明は、OE印刷回路基板又はマザーボードを含むように拡張することができる。図151に示されるように、OE印刷回路基板（OE-PCB）は、好ましくは、45°の鏡面光カップラーを用いてOE-MCMに光学的に接続される。勿論、それ以外の光カップラーを使用してもよい。各チップの電気出力は、各OE-MCM内のVCSELを制御する。一部のVCSEL



(40)

77

Lからの発光は、他の（MCM内の）チップ、又は、同一チップ（チップ内）の別の光端子に結合される。しかし、他のVCSELからの光は、OE膜に対する裏面からOE-PCBに接続され、OE-MCMのような他の素子との光通信が行えるようになる。

【0191】図152には、MCM内及びMCM間の光接続に使用されるスタック状のOE膜構造体が表示されている。発光素子及び受光素子を含む第1のOE膜は、MCM内光相互連結のため使用される。図152に示されるように、第1の膜は、例えば、4個のチップを光相互連結する。第1のOE膜は第2のOE膜にも接続される。第2のOE膜は、MCM間（例えば、ボード間）の光相互連結に使用される受動導波路を有する。同図に示されるように、第2の膜は、例えば、ボード上の4個の4チップMCMを接続する。第1のOE膜と第2の受動OE膜の導波路の寸法は、別々に最適化することができる。同図に示されるように、第2の受動膜内の導波路及びカップラーは、例えば、大きいビームスポットサイズに対応したより広いアパーチャを有する。好ましくは、受光素子アパーチャは、導波路カップラーのビームスポットサイズに応じて拡大される。適切な電気接続は電気ボードへのパイアによって作成される。

【0192】図153及び154には、MCM内及びMCM間（例えば、ボード内相互連結）のため使用されるスタック状のOE膜構造体の別の実施例が表示されている。図153及び154に示されるように、導波路、受光素子及び発光素子を組み込む活性膜の機能は、受動導波路膜と、能動デバイス膜との組合せによって実現される。これによって、図152に示された実施例よりも高い歩留まり率が得られる可能性がある。

【0193】

【発明の効果】簡潔に言うと、本発明による方法は、介挿物、マルチチップモジュール、又は、マルチチップ間パッケージ内の他の電子光デバイスへの効率的な信号の光伝送と両立した形で、電子デバイス及び部品、並びに、多様な能動及び受動電子光デバイスを膜に埋め込むことができる。また、本発明の方法は、多数の受動導波路膜構造体、電子光デバイス及び電気デバイスが埋め込まれた膜、並びに、受動導波路及び能動電子光デバイスを共に含む膜を製作するため汎用化される。単一の膜の平面性を保持し、信号膜を通過するパイア及び従来のZ接続を拡張する能力によって、膜の複雑な3次元スタック構造を製作できるようになる。この柔軟性は、チップ内の端子に信号を結合するため、或いは、複数のチップ、CSP、MCM若しくはボードの間で信号を結合するために、高歩留まり率、低コスト、高速のマルチチップモジュール、基板、光リンクモジュールなどを設計する際に有効である。

【0194】上記の説明では、特に実施例に関して本発明が説明されているが、本発明の範囲を逸脱することな

78

く、本発明の開示に基づいて種々の代替、変更及び適応をなし得ることが当業者に明らかであろう。また、上記の通り、本発明は現時点で想到し得る最も実際的かつ好適な実施形態に関して説明されているが、本発明は、開示された実施例に限定されることはなく、特許請求の範囲に記載された事項の範囲内に含まれる種々の変形及び等価な構成を含むよう意図されていることに注意する必要がある。

【図面の簡単な説明】

10 【図1】本発明による光電子マルチチップモジュールの第1実施例の構成図である。

【図2】本発明による光スイッチの第1実施例の断面図である。

【図3】本発明による光スイッチの第1実施例の平面図である。

【図4】本発明による受光素子デバイスの第1実施例の構成図である。

【図5】本発明による受光素子デバイスの第2実施例の構成図である。

20 【図6】本発明による受光素子デバイスの第3実施例の構成図である。

【図7】本発明による光電子マルチチップモジュールの第2実施例の構成図である。

【図8】本発明による横型発光デバイスの実施例の断面図である。

【図9】本発明による横型発光デバイスの実施例の上面図である。

【図10】本発明による縦型発光デバイスの実施例の断面図である。

30 【図11】本発明による縦型発光デバイスの実施例の上面図である。

【図12】本発明による活性基板の作製方法の説明図である。

【図13】本発明による活性基板の作製方法の説明図である。

【図14】本発明による活性基板の作製方法の説明図である。

【図15】本発明による活性基板の作製方法の説明図である。

40 【図16】本発明による活性基板の作製方法の説明図である。

【図17】本発明による活性基板の作製方法の説明図である。

【図18】本発明による活性基板の作製方法の説明図である。

【図19】本発明による活性基板の作製方法の説明図である。

【図20】本発明による活性基板の作製方法の説明図である。

50 【図21】本発明による活性基板の作製方法の説明図で



【図 90】本発明の他のプロセスに従って製作される集積デバイス及び導波路を含む薄膜の一実施例の概要図で 50

50 【図107】本発明による縦型及び横型光カップラーを

(43)

83

形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図108】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図109】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図110】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図111】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図112】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図113】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図114】本発明によるコーナー回転鏡の一実施例の上面図である。

【図115】本発明によるコーナー回転鏡の一実施例の断面図である。

【図116】本発明による導波路鏡を含む導波路カップラーの他の実施例の上面図である。

【図117】本発明による導波路鏡を含む導波路カップラーの他の実施例の断面図である。

【図118】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図119】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図120】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図121】本発明によるZ接続を用いて光電子膜の構造体を積層する更なる実施例の略側面図である。

【図122】本発明による光電子膜の種々の実施例の略側面図である。

【図123】本発明による光電子膜の種々の実施例の略側面図である。

【図124】本発明による光電子膜の種々の実施例の略側面図である。

【図125】本発明による光電子膜の種々の実施例の略側面図である。

【図126】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図127】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図128】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

84

【図129】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図130】本発明によるFOLM構造体の光電子膜の略上面図である。

【図131】本発明によるFOLM光電子膜の他の実施例の略側面図である。

【図132】本発明によるFOLM光電子膜の他の実施例の略上面図である。

【図133】本発明によるFOLM光電子膜の更なる実施例の斜視図である。

【図134】本発明によるFOLM光電子膜の更なる実施例の略側面図である。

【図135】本発明によるFOLMの一実施例の略側面図である。

【図136】本発明によるFOLMの一実施例の上面図である。

【図137】(a)は本発明によるFOLMの一実施例の略側面図であり、(b)は本発明に従って光電子デバイスが埋め込まれた(a)の実施例のポリマー層の上面図である。

【図138】本発明によるチップと、チップサイズパッケージ(CSP)と、マルチチップモジュール(MCM)とに適した光電子介挿部(OE-IP)の一実施例の構成図である。

【図139】本発明によるマルチチップモジュールに適した光電子介挿部の他の実施例の構成図である。

【図140】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図141】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図142】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図143】光電子介挿部の両面に実装されたチップ/マルチチップモジュールへの光相互連結を含む光電子介挿部の別の実施例の構成図である。

【図144】本発明による外部フレキシブル相互連結を含む光電子介挿部の一実施例の構成図である。

【図145】本発明による外部フレキシブル相互連結を含む光電子介挿部の一実施例の構成図である。

【図146】本発明による介挿部の光相互連結がチップ/チップサイズパッケージ/マルチチップモジュールの反対側にある光電子介挿部の一実施例の構成図である。

【図147】本発明による光電子膜及びマルチチップモジュールを有する一実施例の構成図である。

【図148】本発明による光電子膜-マルチチップモジュールの一実施例の構成図である。

【図149】本発明によるスマートピクセルの実施例を示す図である。

【図150】本発明によるスマートピクセルの実施例を示す図である。

(44)

85

【図151】本発明による光電子印刷回路基板／マザーボードの実施例を示す図である。

【図152】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

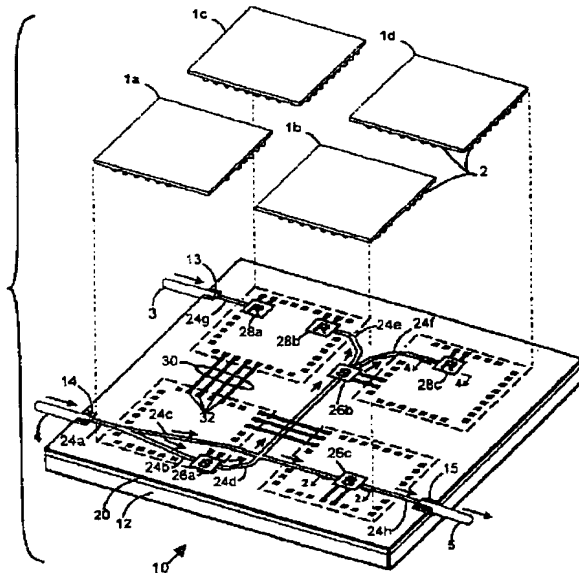
【図153】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

【図154】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

【図155】本発明による埋め込まれたデバイスを備えた光電子膜を製作する一例の方法によって製作された例示的な構造体の略側面図である。

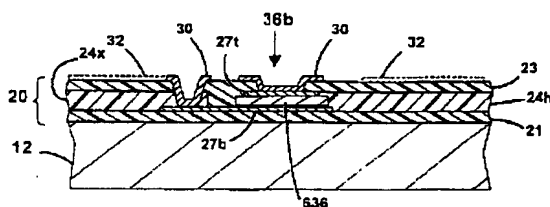
【図1】

本発明による光電子マルチチップモジュールの第1実施例の構成図



【図8】

本発明による横型発光デバイスの実施例の断面図



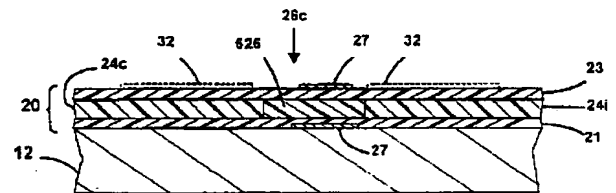
86

## 【符号の説明】

- 1 a, 1 b, 1 c, 1 d ICチップ  
 2 コネクタ  
 4 光ファイバ  
 10 光電子相互連結基板  
 12 ベース基板  
 20 活性層  
 21, 23 クラッド層  
 24 a - 24 h 光導波路  
 26 a - 26 c 光電子スイッチングデバイス  
 27 電極  
 28 a - 28 c 受光素子デバイス  
 30 電気経路  
 32 電気接続パッド

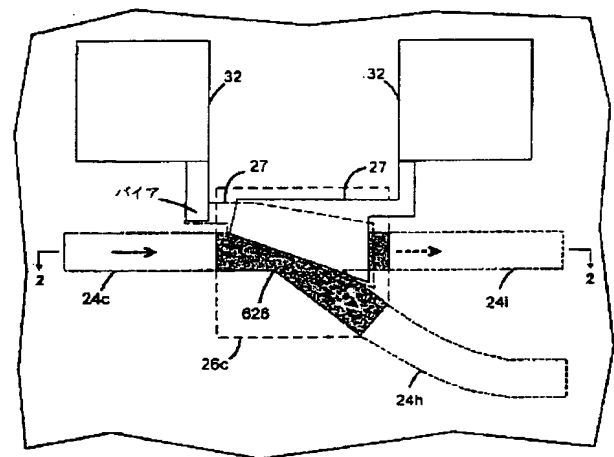
【図2】

本発明による光スイッチの第1実施例の断面図



【図3】

本発明による光スイッチの第1実施例の平面図

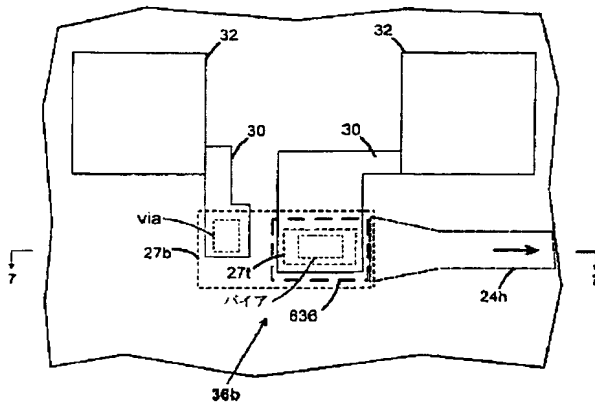




(46)

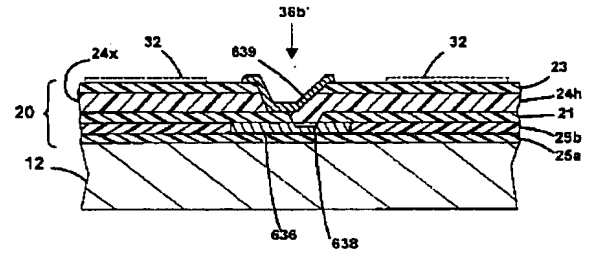
【図9】

本発明による縦型発光デバイスの実施例の平面図



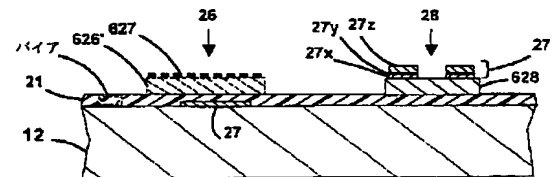
【図10】

本発明による縦型発光デバイスの実施例の断面図



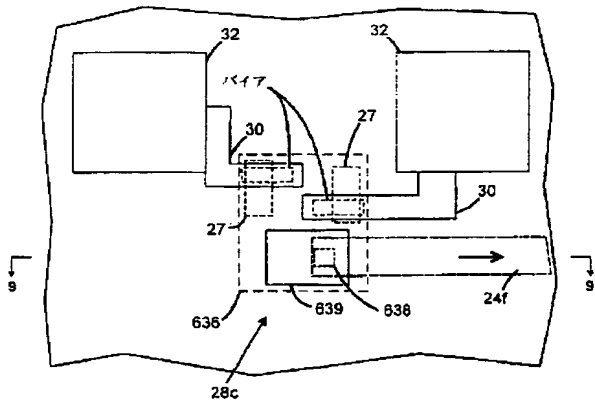
【図12】

本発明による活性基板の作製方法の説明図



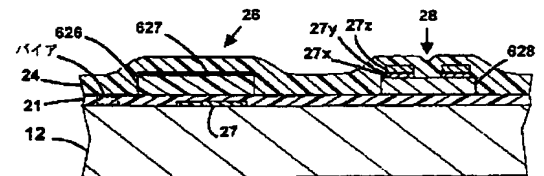
【図11】

本発明による縦型発光デバイスの実施例の平面図



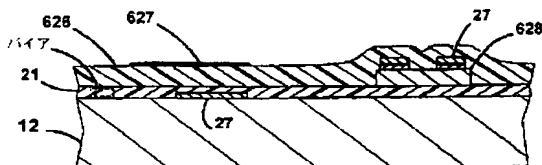
【図15】

本発明による活性基板の作製方法の説明図



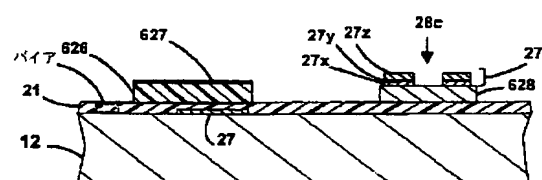
【図13】

本発明による活性基板の作製方法の説明図



【図14】

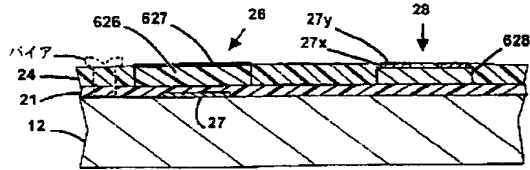
本発明による活性基板の作製方法の説明図



(47)

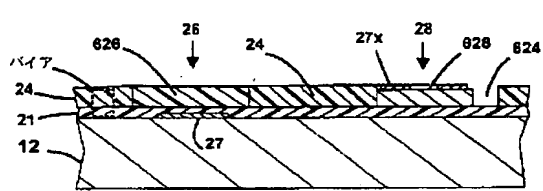
【図16】

本発明による活性基板の作製方法の説明図



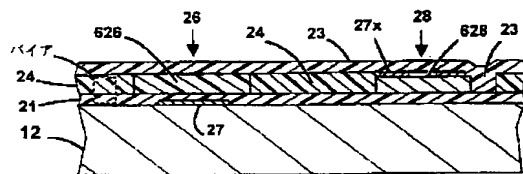
【図17】

本発明による活性基板の作製方法の説明図



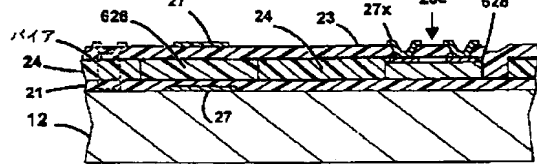
【図18】

本発明による活性基板の作製方法の説明図



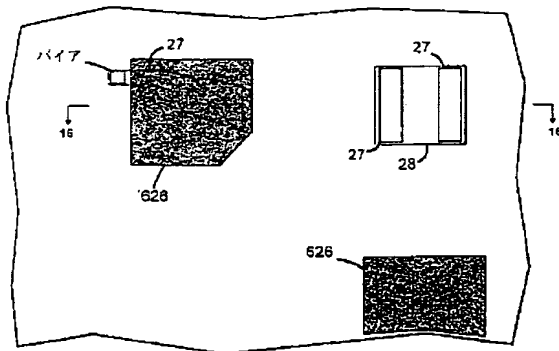
【図19】

本発明による活性基板の作製方法の説明図



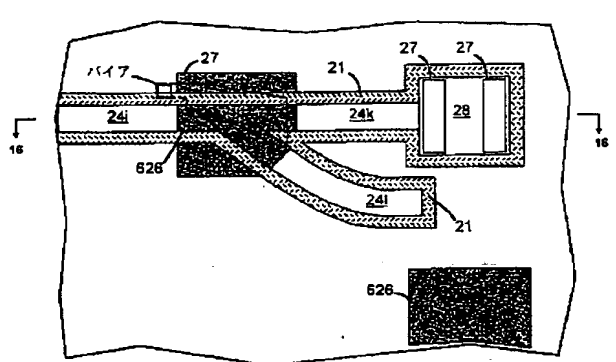
【図20】

本発明による活性基板の作製方法の説明図



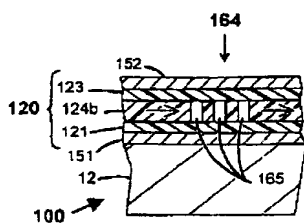
【図21】

本発明による活性基板の作製方法の説明図



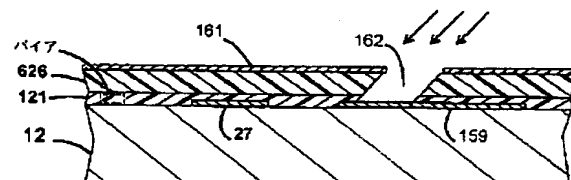
【図27】

本発明による第1のマルチチップモジュールシステムの構成図



【図28】

光スイッチの製作中に縦型カップラーを作製する方法の一実施例の説明図

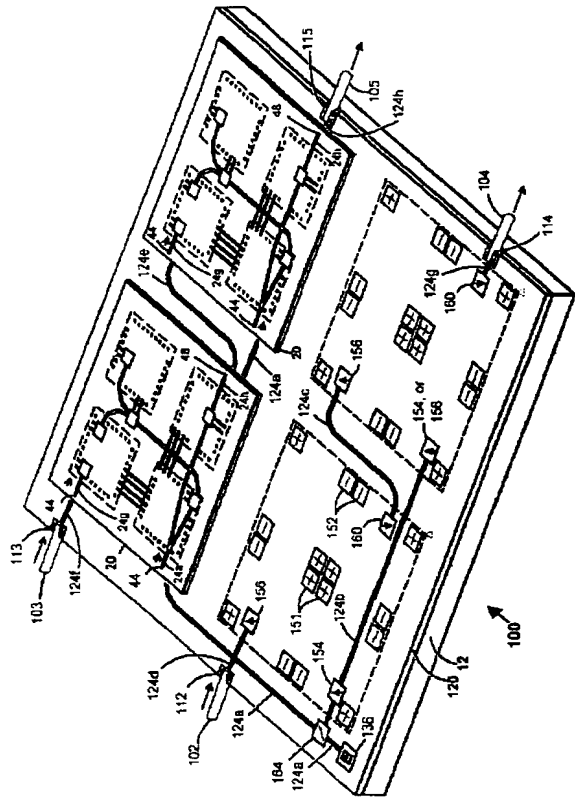




(48)

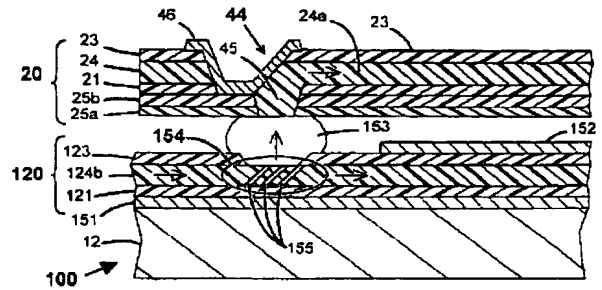
【図22】

本発明による第1のマルチチップモジュールシステムの構成図



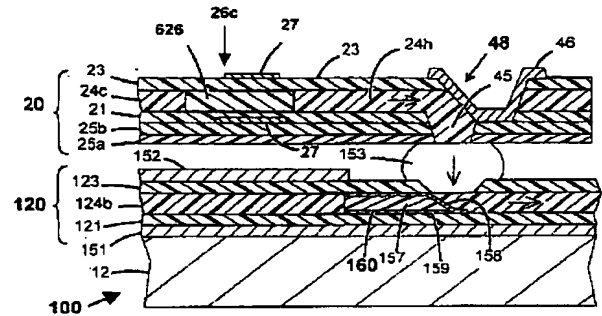
【図23】

本発明による第1のマルチチップモジュールシステムの構成図



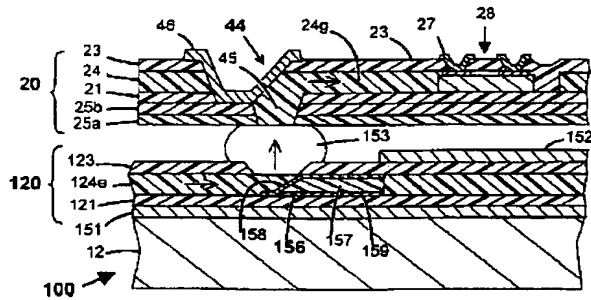
【図25】

本発明による第1のマルチチップモジュールシステムの構成図



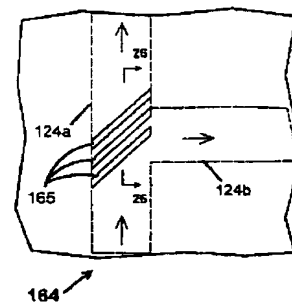
【図24】

本発明による第1のマルチチップモジュールシステムの構成図



【図26】

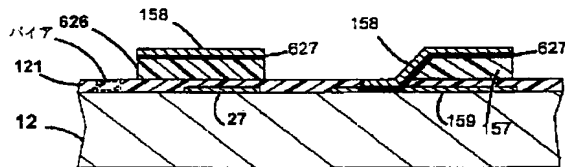
本発明による第1のマルチチップモジュールシステムの構成図



(49)

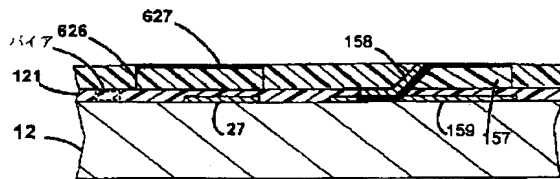
【図29】

光スイッチの製作中に縦型カップラーを作製する方法の一実施例の説明図



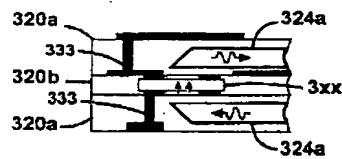
【図31】

光スイッチの製作中に縦型カップラーを作製する方法の一実施例の説明図



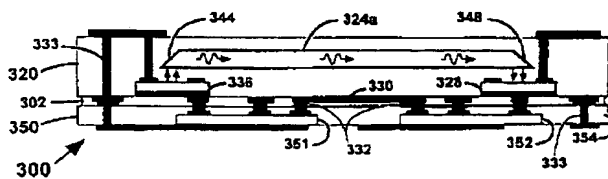
【図39】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



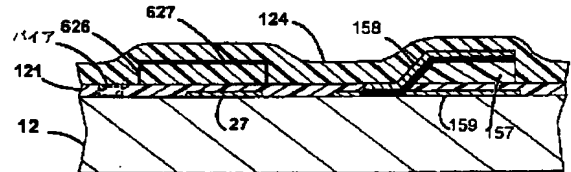
【図35】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



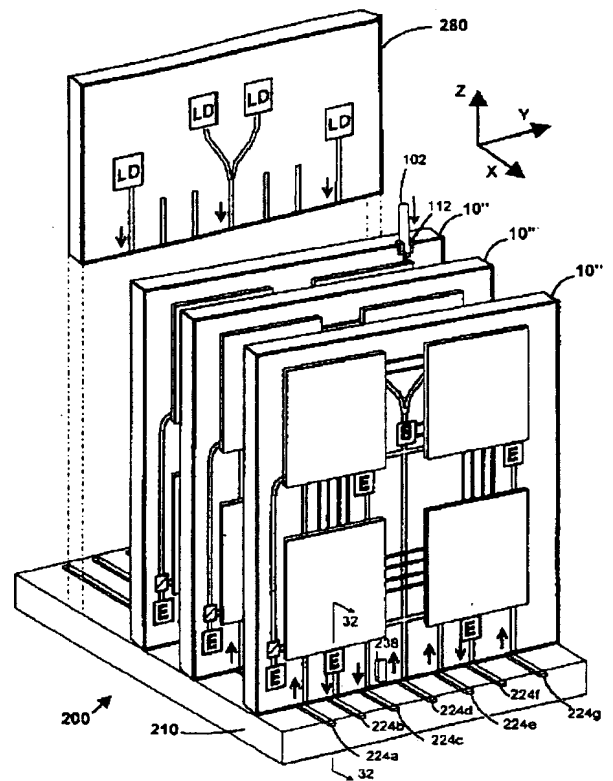
【図30】

光スイッチの製作中に縦型カップラーを作製する方法の一実施例の説明図



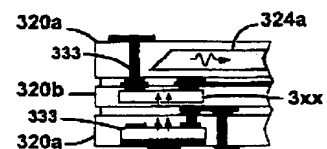
【図32】

本発明による第2のマルチチップモジュールシステムの構成図



【図40】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図





(51)

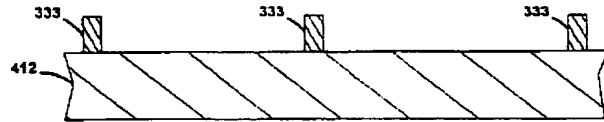
【図42】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



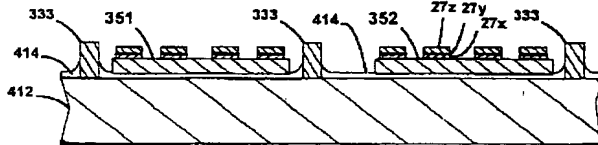
【図43】

ICチップ層を作製する方法の一例の説明図



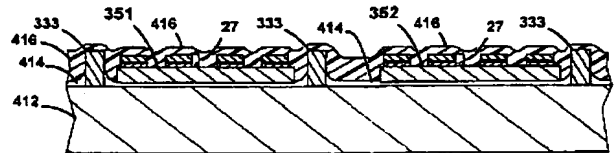
【図44】

ICチップ層を作製する方法の一例の説明図



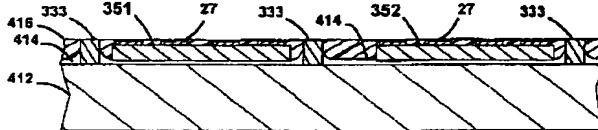
【図45】

ICチップ層を作製する方法の一例の説明図



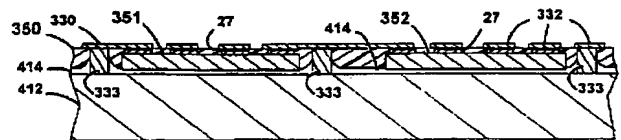
【図46】

ICチップ層を作製する方法の一例の説明図



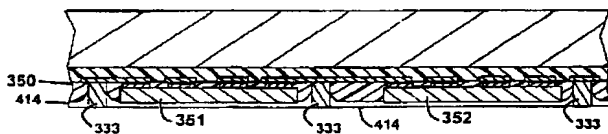
【図47】

ICチップ層を作製する方法の一例の説明図



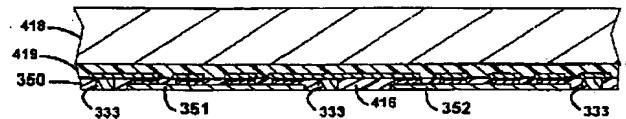
【図48】

ICチップ層を作製する方法の一例の説明図



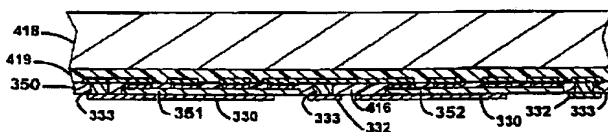
【図49】

ICチップ層を作製する方法の一例の説明図



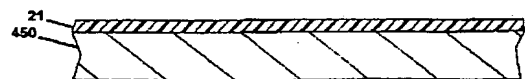
【図50】

ICチップ層を作製する方法の一例の説明図



【図51】

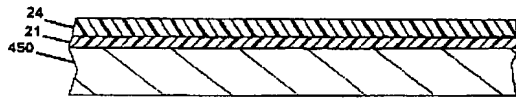
本発明によるポリマー導波路層の作製方法の実施例の説明図



(52)

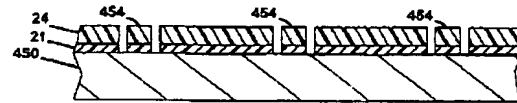
【図 5 2】

本発明によるポリマー導波路層の作製方法の実施例の説明図



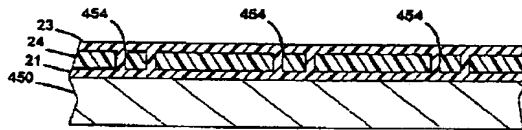
【図 5 3】

本発明によるポリマー導波路層の作製方法の実施例の説明図



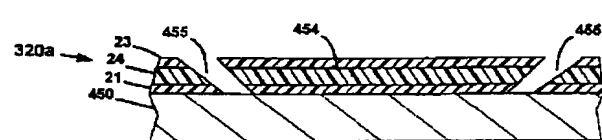
【図 5 4】

本発明によるポリマー導波路層の作製方法の実施例の説明図



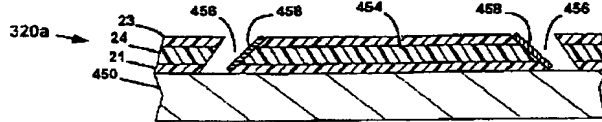
【図 5 5】

本発明によるポリマー導波路層の作製方法の実施例の説明図



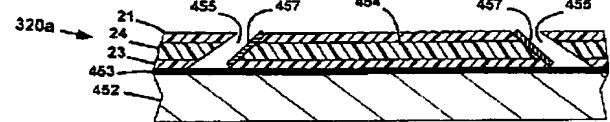
【図 5 6】

本発明によるポリマー導波路層の作製方法の実施例の説明図



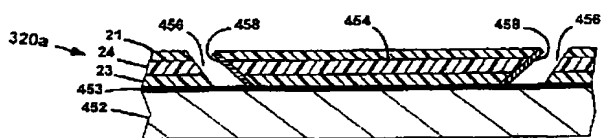
【図 5 7】

本発明によるポリマー導波路層の作製方法の実施例の説明図



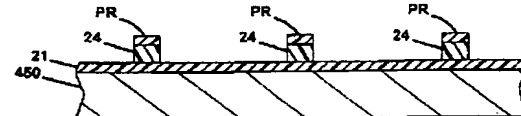
【図 5 8】

本発明によるポリマー導波路層の作製方法の実施例の説明図



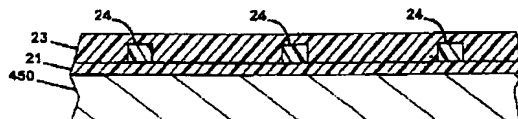
【図 5 9】

本発明によるポリマー導波路層の作製方法の実施例の説明図



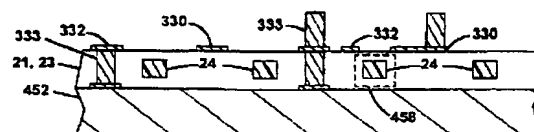
【図 6 0】

本発明によるポリマー導波路層の作製方法の実施例の説明図



【図 6 1】

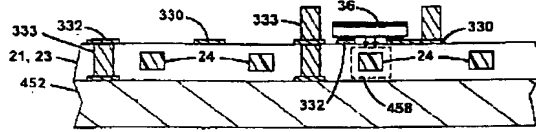
活性部品層を導波路層に追加する方法の一例の説明図



(53)

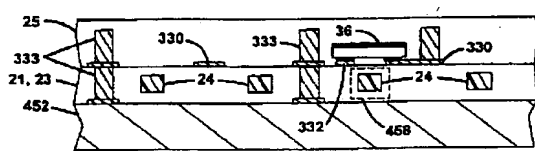
【図62】

活性部品層を導波路層に追加する方法の一例の説明図



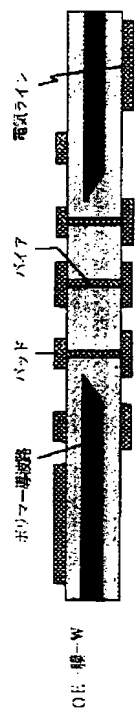
【図63】

活性部品層を導波路層に追加する方法の一例の説明図



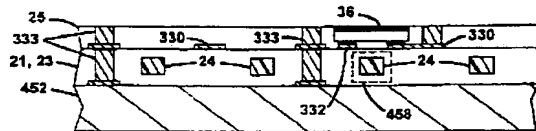
【図122】

OE膜の説明図



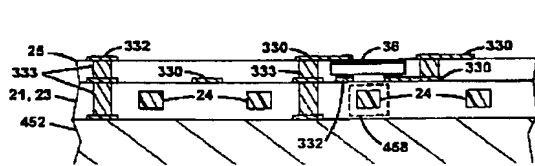
【図64】

活性部品層を導波路層に追加する方法の一例の説明図



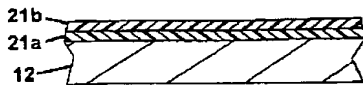
【図65】

活性部品層を導波路層に追加する方法の一例の説明図



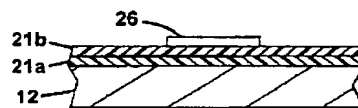
【図66】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



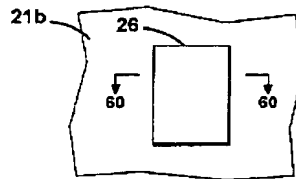
【図67】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



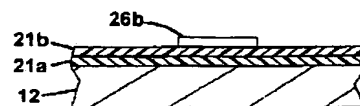
【図68】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



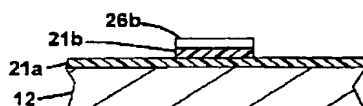
【図69】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



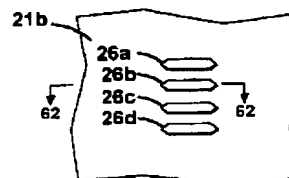
【図71】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



【図70】

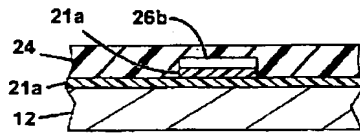
本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



(54)

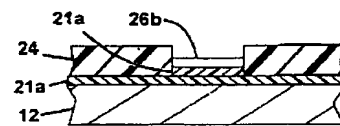
【图 7 2】

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



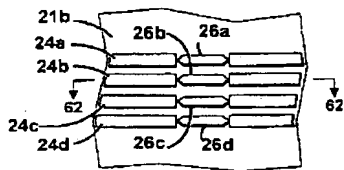
【図 7 3】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



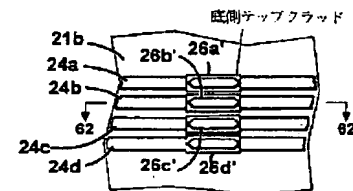
【图 7 4】

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



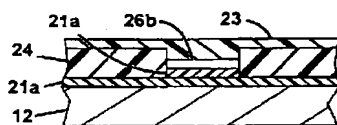
【図 7 5】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



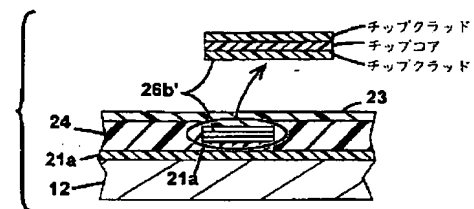
【図 7 6】

本発明による光電子マルチチップモジュール基板の他の作製方法  
の説明図



【图 7 7】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



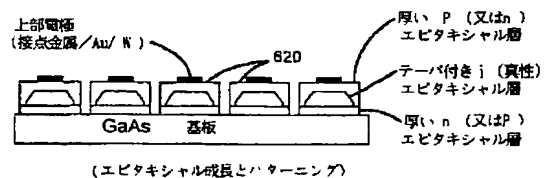
【図 7 9】

本発明による自由空間MCMシステムの説明図



【图 8 3】

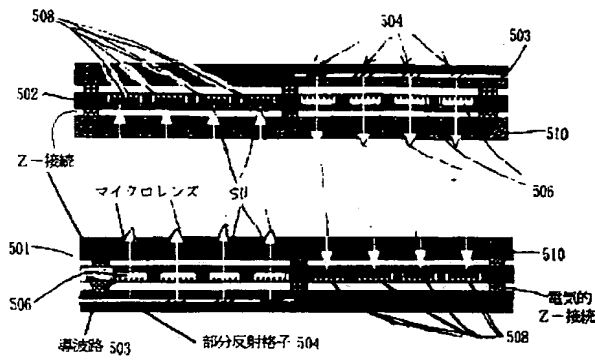
薄膜デバイスと導波路を一体化する処理の説明図



(55)

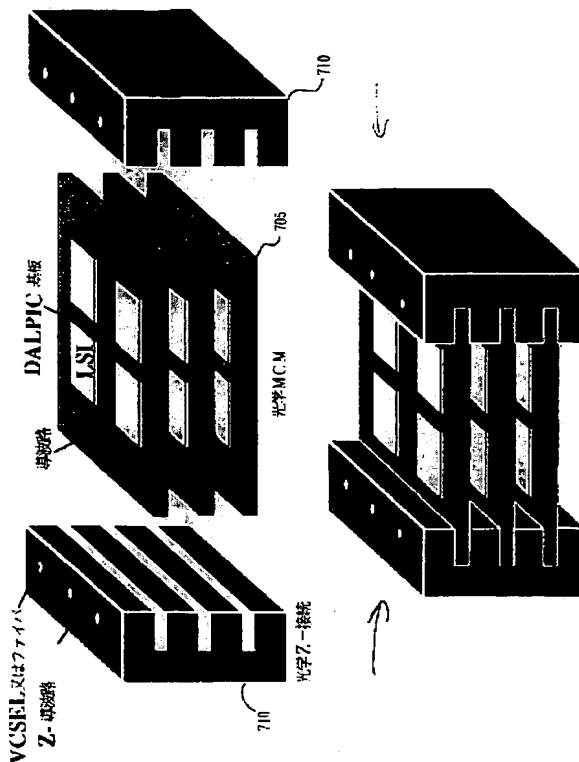
【図 78】

本発明による自由空間MCMシステムの説明図



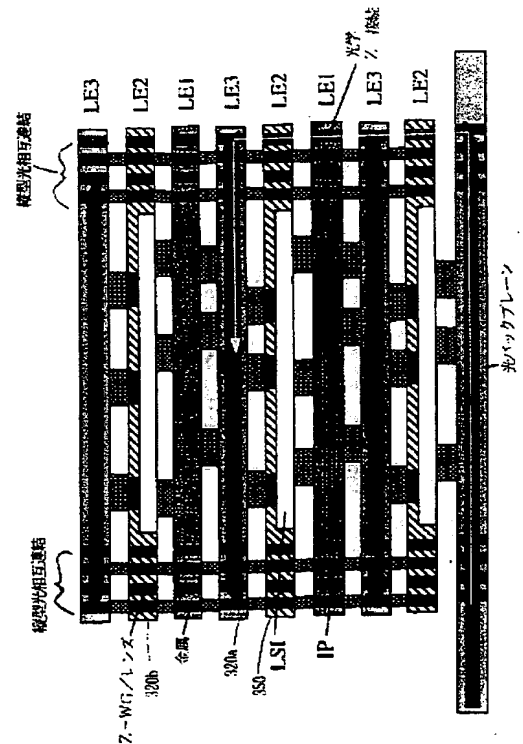
【図 81】

本発明による 3 次元 MCM システムの説明図



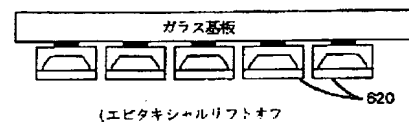
【図 80】

本発明による 3 次元 MCM システムの説明図



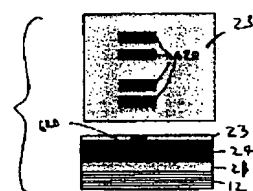
【図 84】

薄膜デバイスと導波路を一体化する処理の説明図



【図 86】

光変調器又は受光素子の集積化の例の説明図



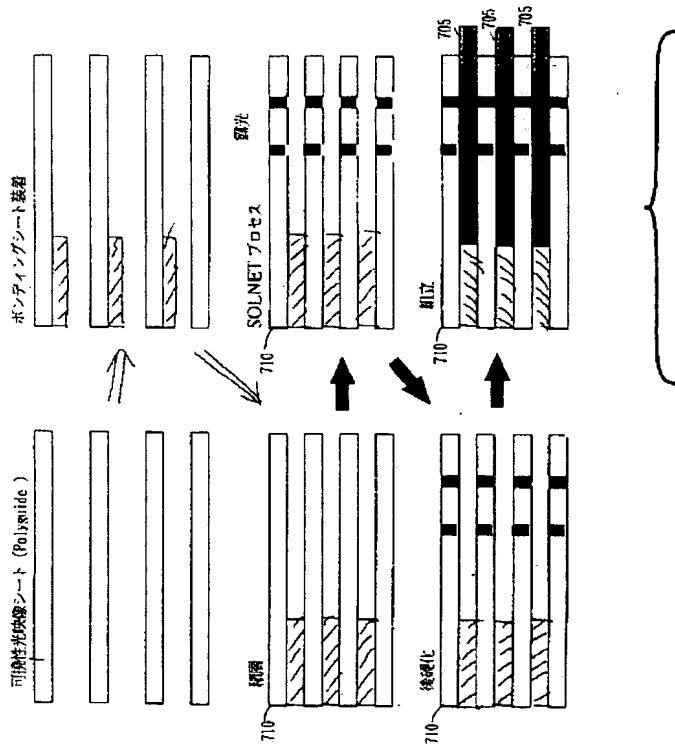
コア被膜/クラッド被膜/CMP



(56)

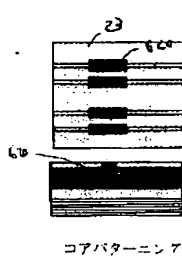
【図82】

本発明による3次元MCMシステムの説明図



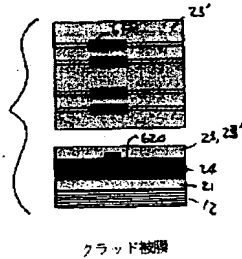
【図87】

光変調器又は受光素子の集積化の例の説明図



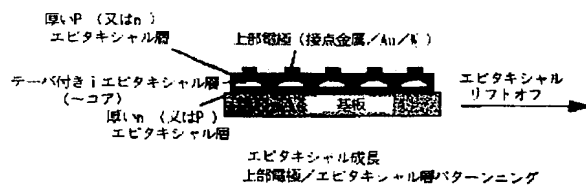
【図88】

光変調器又は受光素子の集積化の例の説明図



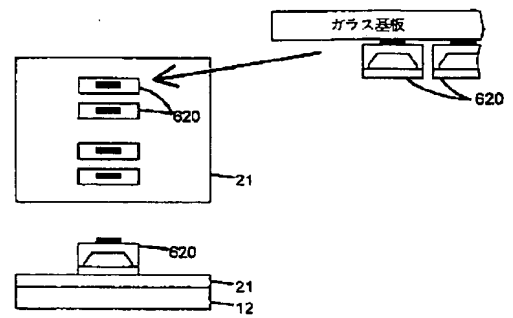
【図91】

集積デバイスと導波路を含む薄膜の作製例の説明図



【図85】

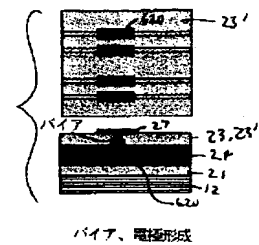
薄膜デバイスと導波路を一体化する処理の説明図



(トランスファー)

【図89】

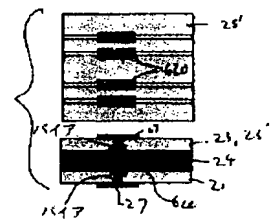
光変調器又は受光素子の集積化の例の説明図



バイア、電極形成

【図90】

光変調器又は受光素子の集積化の例の説明図

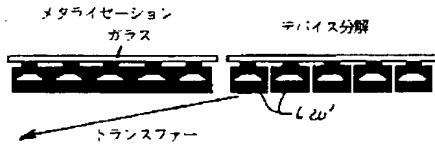


基板除去/裏側メタライゼーション

(57)

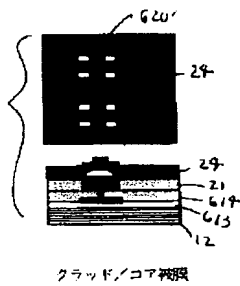
【図92】

集積デバイスと導波路を含む薄膜の作製例の説明図



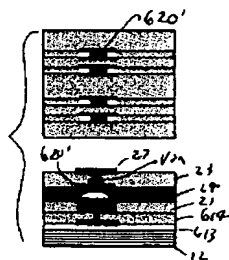
【図94】

集積デバイスと導波路を含む薄膜の作製例の説明図



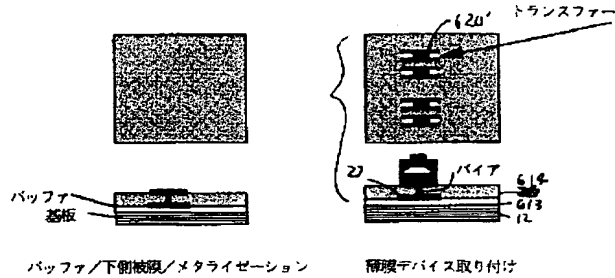
【図97】

集積デバイスと導波路を含む薄膜の作製例の説明図



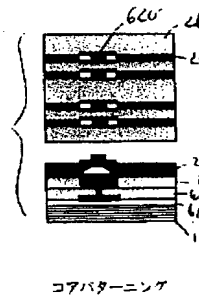
【図93】

集積デバイスと導波路を含む薄膜の作製例の説明図



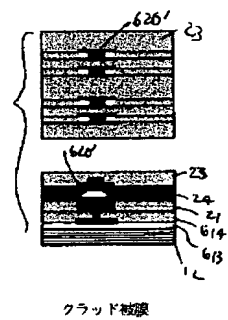
【図95】

集積デバイスと導波路を含む薄膜の作製例の説明図



【図96】

集積デバイスと導波路を含む薄膜の作製例の説明図



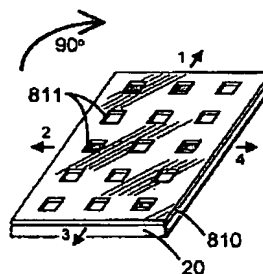
【図98】

集積デバイスと導波路を含む薄膜の作製例の説明図



【図102】

本発明によるベベル構造のカット部の形成方法の説明図



(58)

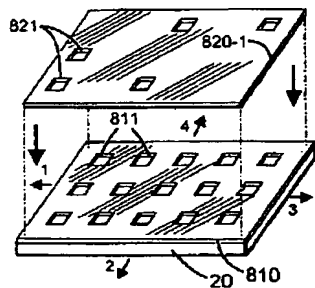
【图 9 9】

【図 100】

【図 118】

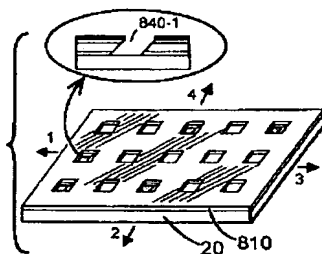
本発明によるベベル構造のカット部の形成方法の説明図 本発明によるベベル構造のカット部の形成方法の説明図

OE-3 Dスタック構造の例の説明図



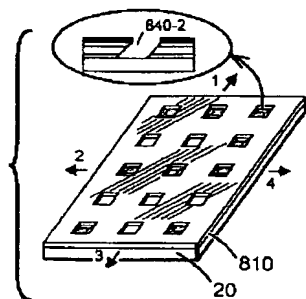
【図 101】

本発明によるベベル構造のカット部の形成方法の説明図



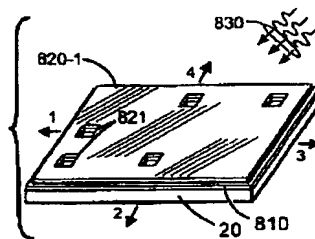
【图 104】

本発明によるベベル構造のカット部の形成方法の説明図



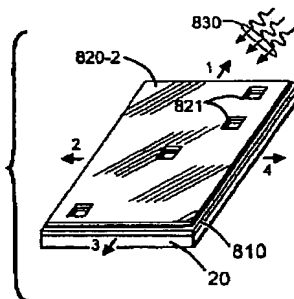
【図 1 1 7】

導波路カップラーの一実施例の断面図



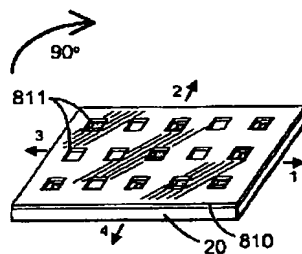
【図 103】

本発明によるベベル構造のカット部の形成方法の説明図



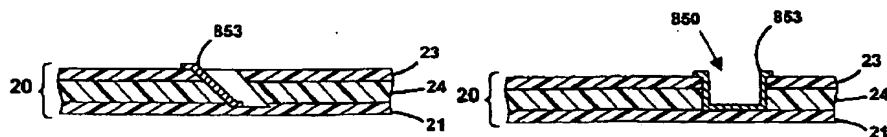
【図 105】

④ 本発明によるベベル構造のカット部の形成方法の説明図



【図 115】

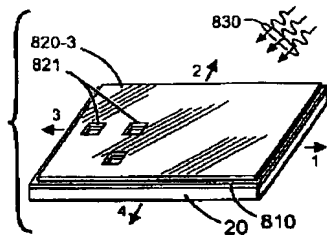
コーナー回転ミラーの 実施例の断面図



(59)

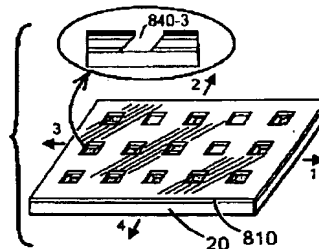
【図106】

本発明によるベベル構造のカット部の形成方法の説明図



【図107】

本発明によるベベル構造のカット部の形成方法の説明図

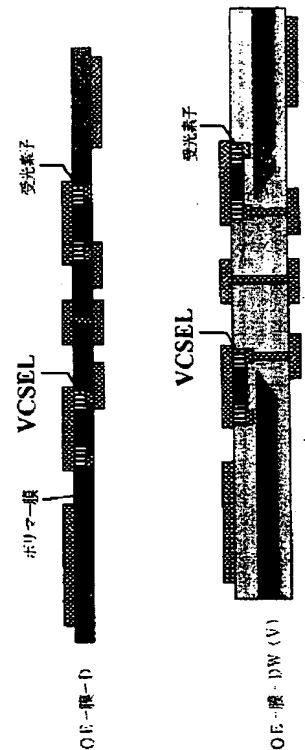


【図123】

OE膜の説明図

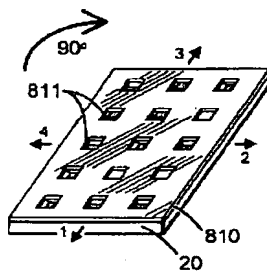
【図124】

OE膜の説明図



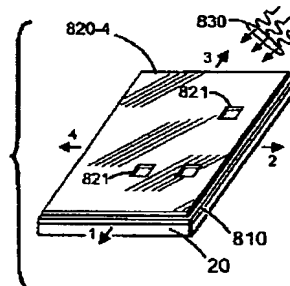
【図108】

本発明によるベベル構造のカット部の形成方法の説明図



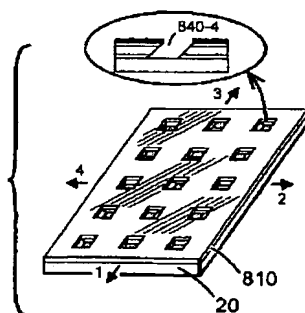
【図109】

本発明によるベベル構造のカット部の形成方法の説明図



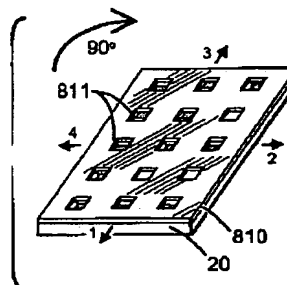
【図110】

本発明によるベベル構造のカット部の形成方法の説明図



【図111】

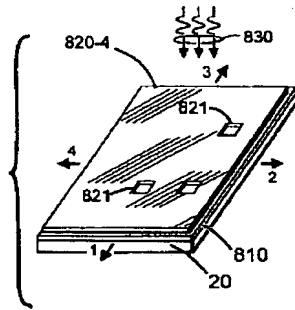
本発明によるベベル構造のカット部の形成方法の説明図



(60)

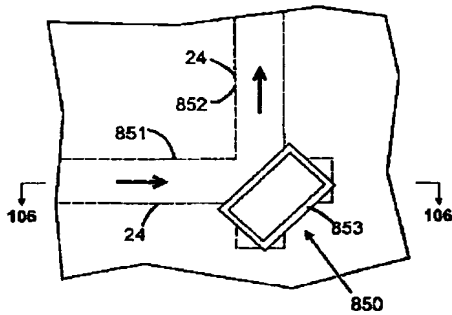
【図112】

本発明によるベベル構造のカット部の形成方法の説明図



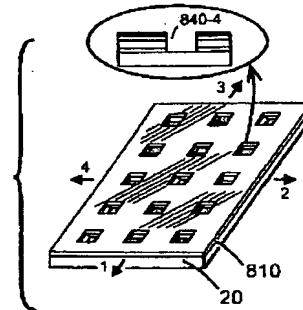
【図114】

コーナー回転ミラーの一実施例の平面図



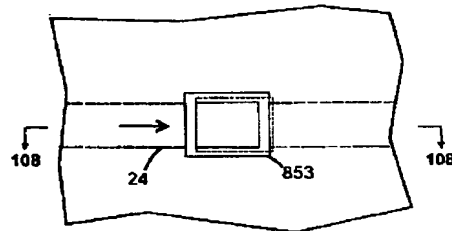
【図113】

本発明によるベベル構造のカット部の形成方法の説明図



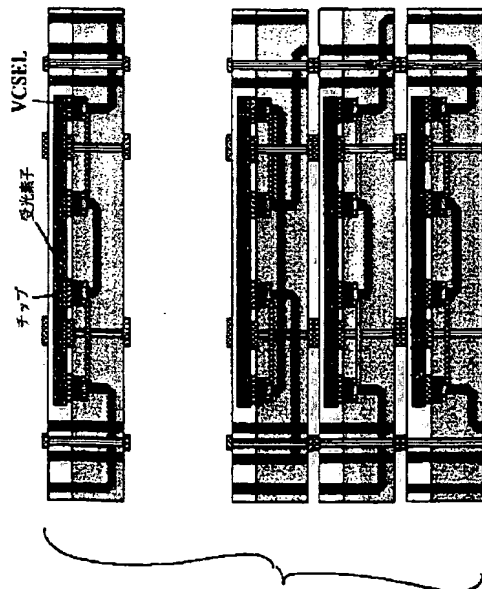
【図116】

導波路カップラーの一実施例の平面図



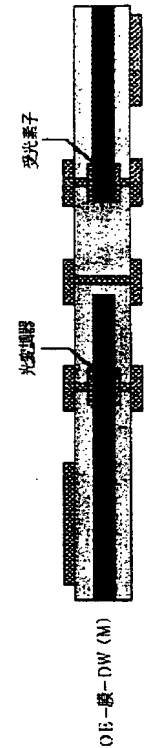
【図119】

OE-3Dスタック構造の例の詳細な説明図



【図125】

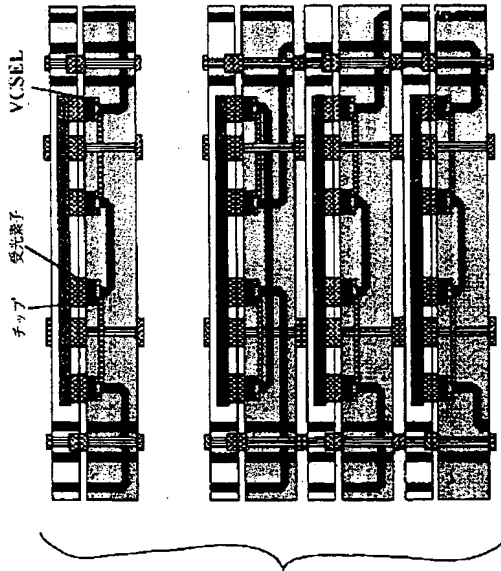
OE膜の説明図



(61)

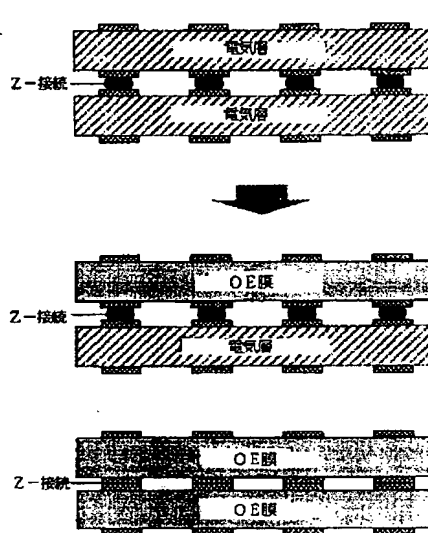
【図120】

OE-3Dスタック構造の例の詳細な説明図



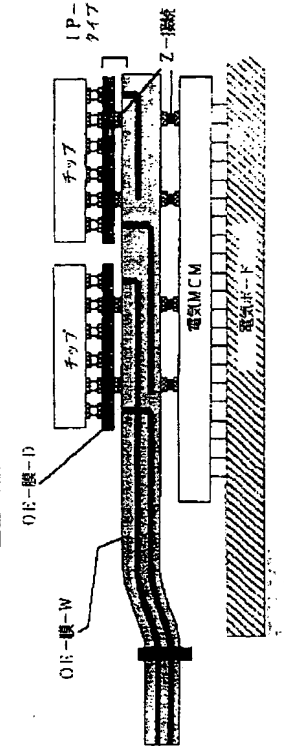
【図121】

OE膜とZ接続が設けられたOE基板の説明図



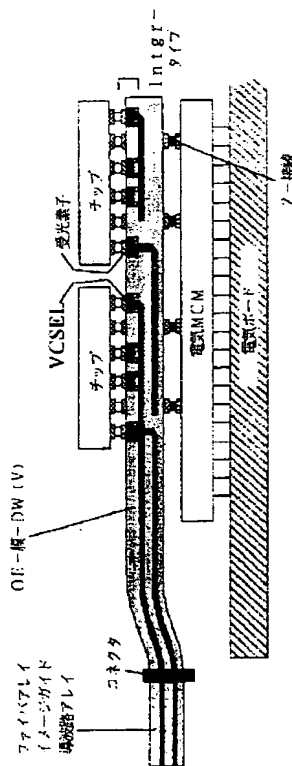
【図127】

膜光リンクモジュールの説明図



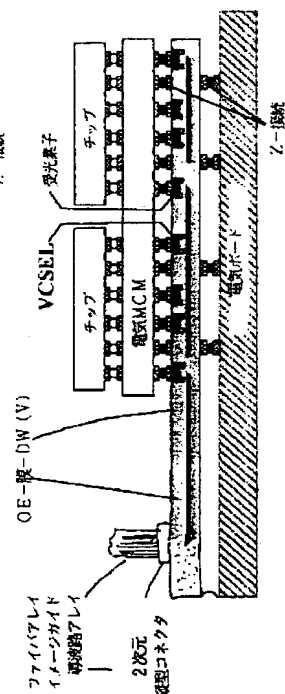
【図126】

膜光リンクモジュールの説明図



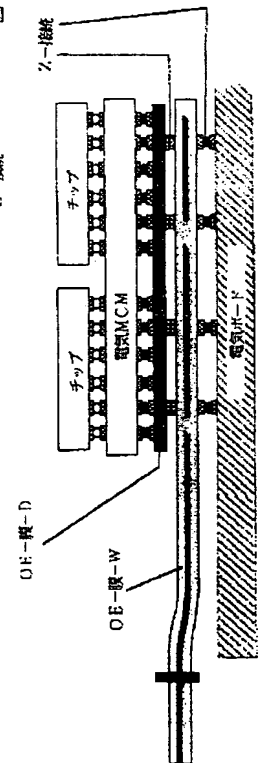
【図128】

膜光リンクモジュールの説明図



【図129】

膜光リンクモジュールの説明図



【図149】

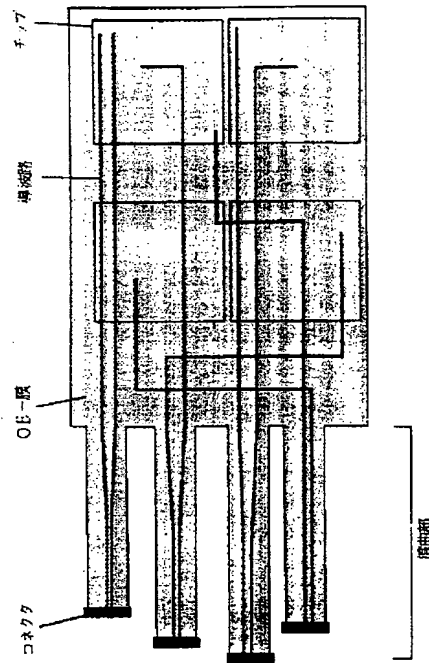
スマートピクセルを含むOE-膜の一例の実施例の説明図



(62)

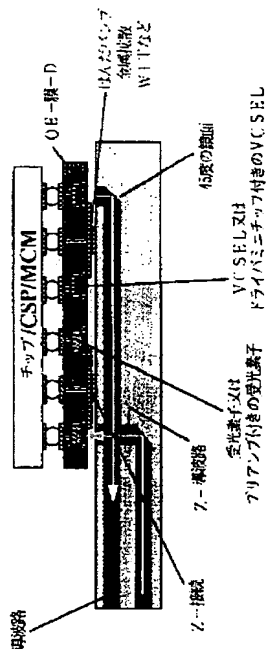
【図 130】

光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



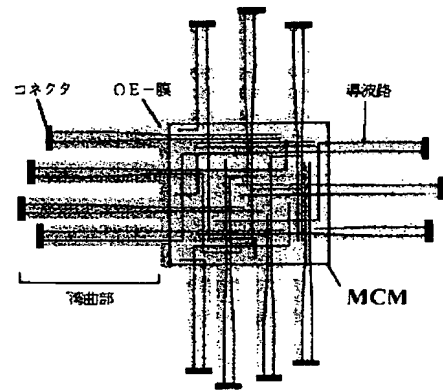
【図 138】

OE-IPとOE-膜-MCMとを含むOE-膜の一実施例の説明図



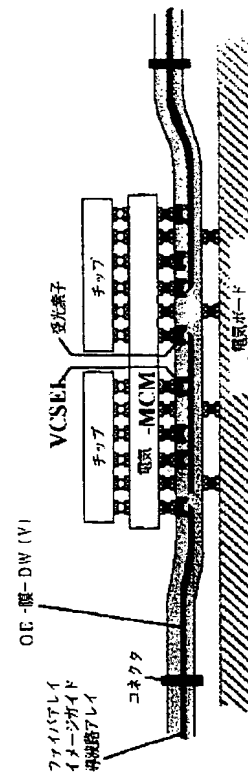
【図 131】

光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



【図 132】

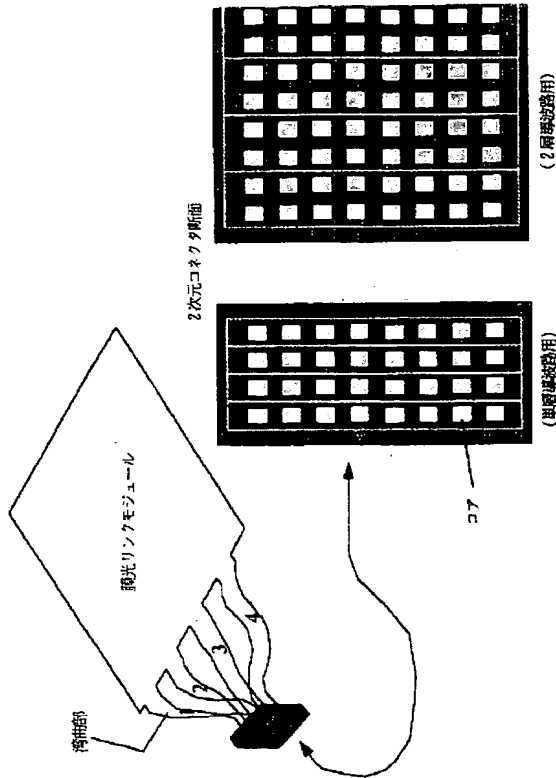
光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



(63)

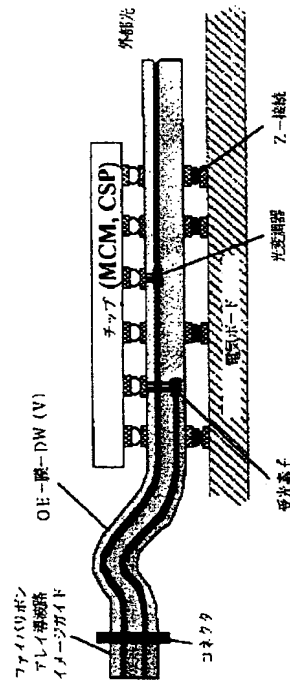
【図133】

2次元導波路コネクタを備えた膜光リンクモジュールの説明図



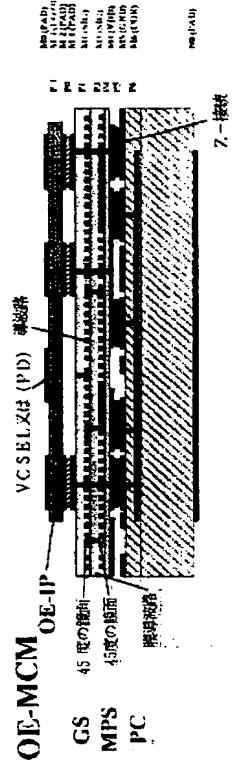
【図134】

膜光リンクモジュールの高速オプションの説明図



【図147】

OE-MCMの一実施例の説明図

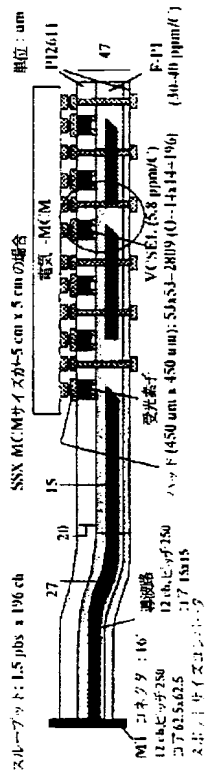




(64)

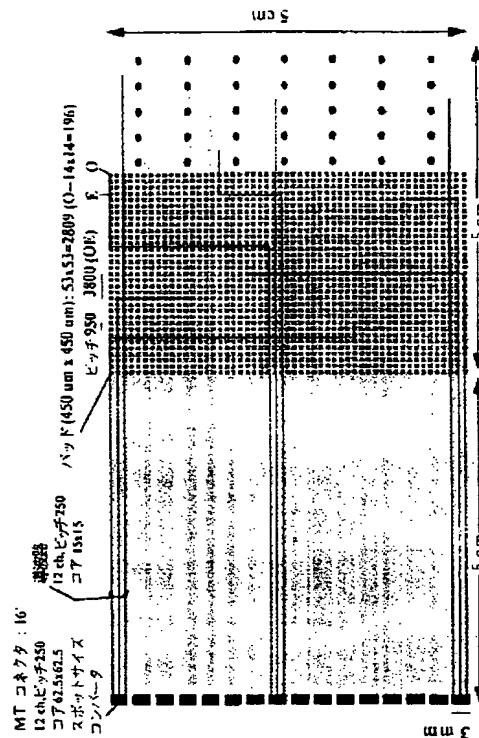
【図 1 3 5】

膜光リンクモジュール構造体の一例の全体図



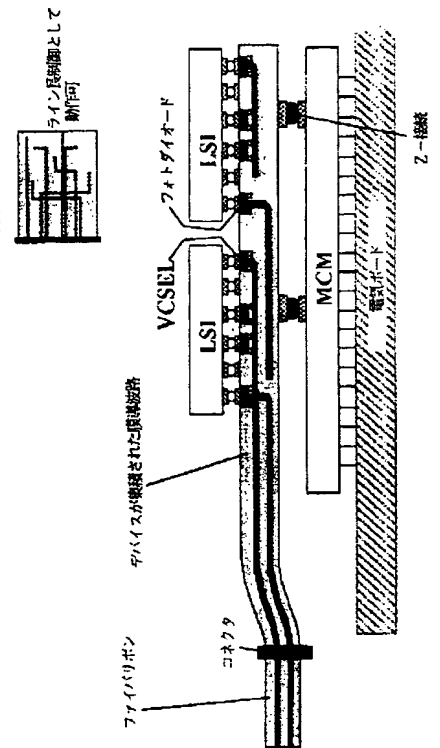
【図 1 3 6】

膜光リンクモジュール構造体の一例の全体図









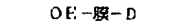

【图 144】

L S I からの直接ジャンプの一例の説明図



【図 155】

### デバイス集積プロセスの説明図

- |     |      |                   |                                                                                     |
|-----|------|-------------------|-------------------------------------------------------------------------------------|
| (a) | (1)  | パッドノライン形成         |  |
| (b) | (2)  | 薄膜デバイスの配置         |  |
| (c) | (3)  | ポリマー被膜            |  |
| (d) | (4)  | 平坦化               |  |
| (e) | (5)  | バイアノパッドノ<br>ライン形成 |  |
| (f) | (6)  | 基板除去              |  |
| (g) | (6') | 導波路形成プロセスへジャンプ    |  |
|     |      |                   |  |

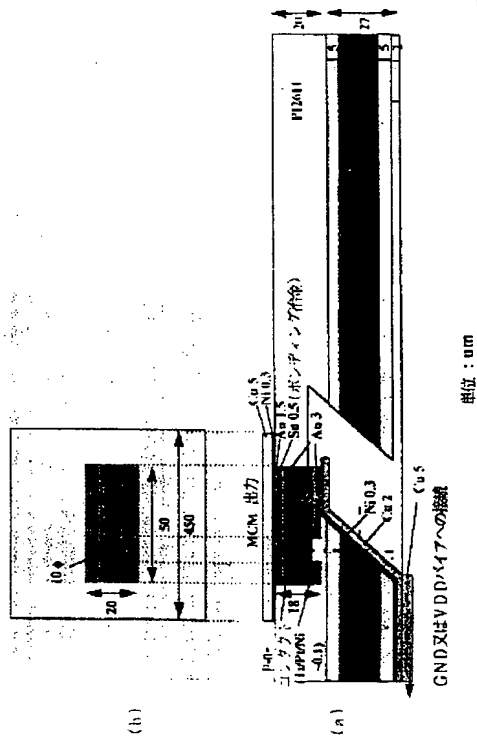
(65)

【図 1 3 7】

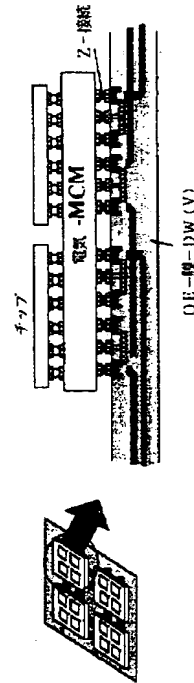
【图 139】

【図 148】

膜光リンクモジュール構造体の一例のVCSEL部の構成図 OE-IPとOE-膜-MCMとを含むOE-膜の一実施例 OE-MCMの一実施例の説明図



の説明図

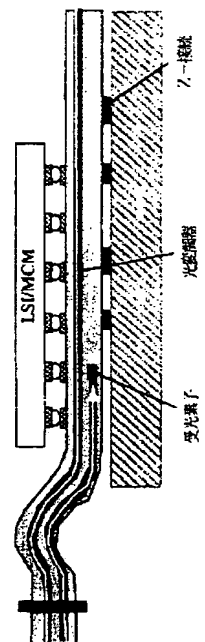
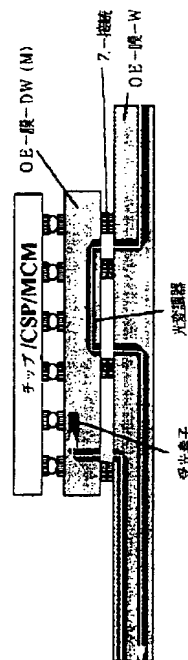


【図 140】



【図 145】

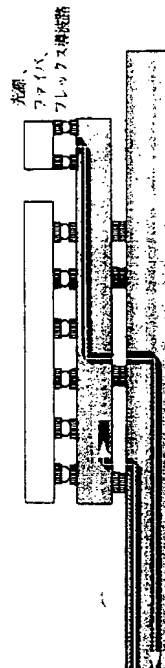
光変調器と送信器を含むＯＥ－膜の一実施例の説明図１５１からの直接ジャンプの一例の説明図



(66)

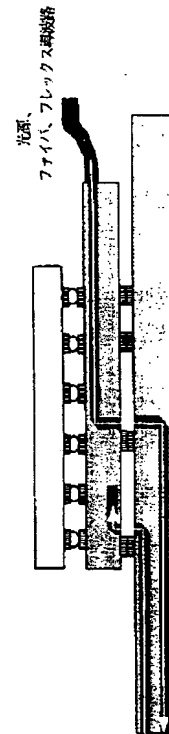
【図141】

光変調器と送信器とを含むO/E膜の一実施例の説明図



【図142】

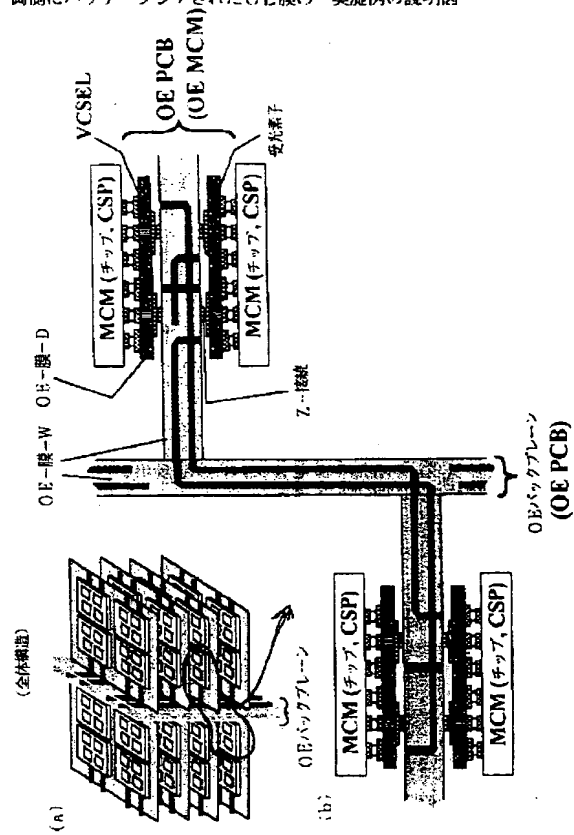
光変調器と送信器とを含むO/E膜の一実施例の説明図



(67)

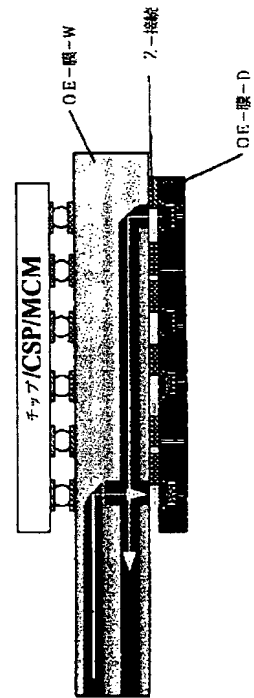
【図143】

両側にパッケージングされたOE膜の一実施例の説明図



【図146】

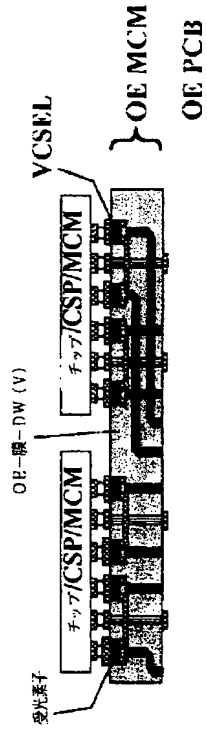
OE-IPが反対側に配置された一実施例の説明図



(68)

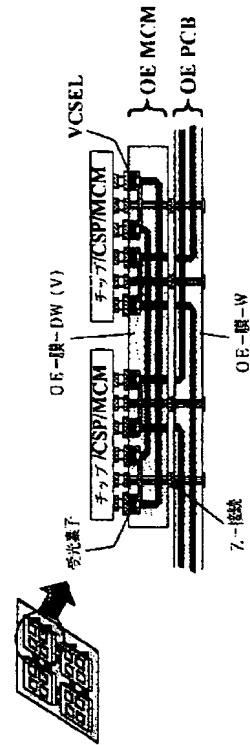
【図 150】

スマートピクセルを含むOE-膜の一実施例の説明図



【図 151】

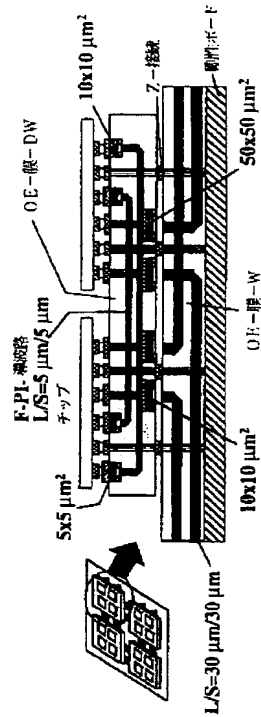
裏面接続されたOE-膜のスタック構造の一実施例の説明図



(69)

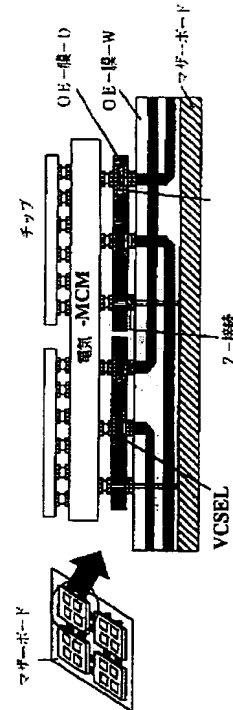
【図152】

裏面接続されたOE-膜のスタック構造の一実施例の説明図



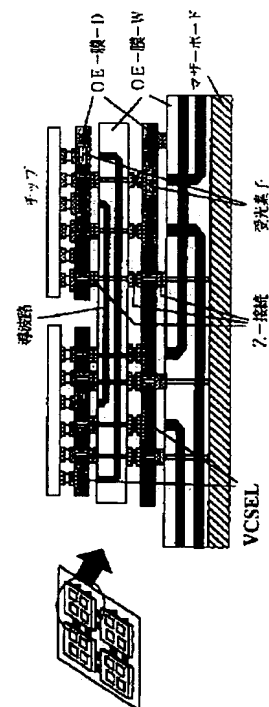
【図153】

OE-MCMとOE-ボードのスタック構造の一実施例の説明図



【図154】

OE-MCMとOE-ボードのスタック構造の一実施例の説明図



(70)

フロントページの続き

- (72)発明者 高橋 康仁  
アメリカ合衆国, カリフォルニア 95129,  
サンノゼ, イングルウッド・ドライブ  
5234番
- (72)発明者 稲生 正章  
アメリカ合衆国, カリフォルニア 95129,  
サンノゼ, オールバニー・サークル 4671  
番 137号
- (72)発明者 マイケル ジー リー  
アメリカ合衆国, カリフォルニア 95120,  
サンノゼ, セイジ・オーク・ウェイ 6064  
番
- (72)発明者 ウィリアム チョウ  
アメリカ合衆国, カリフォルニア 95014,  
クパティーノ, レイク・スプリング・シー  
ティー 11551番

- (72)発明者 ソロモン アイ ベイリン  
アメリカ合衆国, カリフォルニア 94070,  
サンカルロス, クラブ・ドライブ 83番
- (72)発明者 ウェン・チョウ ヴィンセント ワン  
アメリカ合衆国, カリフォルニア 95014,  
クパティーノ, エドミントン・ドライブ  
18457番
- (72)発明者 ジェイムズ ジェイ ローマン  
アメリカ合衆国, カリフォルニア 94087,  
サニーヴェイル, ルービス・ドライブ  
854番
- (72)発明者 トマス ジェイ マッシングル  
アメリカ合衆国, カリフォルニア 95066,  
スコッツ・ヴァレイ, ノースリッジ・ドラ  
イヴ 170番

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**